

## REALIZACJA RÓWNOLEGLYCH ALGORYTMÓW PRZETWARZANIA OBRAZÓW W OPARCIU O WIELOPROCESOROWY UKŁAD TMS320C80

*Komputerowe rozpoznawanie i analiza obrazów jest zawsze procesem wieloetapowym, na początku, którego musi wystąpić pewne przetworzenie wstępne obrazu, w celu poprawy jego jakości bądź wypuklenia informacji istotnych z punktu widzenia procesu rozpoznawania. Ponieważ operacje wstępnego przetwarzania obrazów są bardzo czasochłonne, z uwagi na olbrzymia ilość danych zawartych w obrazie, w artykule zaproponowano wykorzystanie, w celu ich realizacji, wieloprocesorowego układu TMS320C80 firmy Texas Instruments. Dokonano gruntownej analizy operacji przetwarzania obrazów, pod kątem możliwości ich zrównoleglenia oraz zamieszczono przykłady implementacji wybranych algorytmów wstępnego przetwarzania obrazów dla różnych typów architektur wieloprocesorowych zrealizowanych w oparciu o układ TMS320C80.*

### THE REALISATION OF PARALLEL IMAGE PROCESSING ALGORITHMS BASED ON THE TMS320C80 MULTIPROCESSOR SYSTEM

*The computer image recognition and analysis is always a multistage process, at the beginning of, which there must be some image pre-processing to make some image quality improvement or to extract some information important for further recognition. Because, pre-processing operations are very time consuming, due to the great amount of information contained in the image, in the article the usage of a multiprocessor system the TMS320C80 for their realisation is proposed. In the paper, the image pre-processing operation are analysed regarding the possibilities of their parallelisation and some examples of implementation of different multiprocessor architectures for the chosen image pre-processing operation, based on the TMS320C80 multiprocessor system, are also presented.*

#### 1. OPERACJE PRZETWARZANIA OBRAZÓW

Aplikacje związane z dziedziną przetwarzania i rozpoznawania obrazów cyfrowych charakteryzują się dużym zapotrzebowaniem na moc obliczeniową wykorzystywanych procesorów. Powodem powyższego zjawiska jest olbrzymia ilość informacji zawarta w obrazie (obraz cyfrowy jest dwuwymiarową tablicą liczb o dużych rozmiarach). W związku z powyższym, wykonywane w trakcie procesu przetwarzania obrazu pewne elementarne operacje (np. splot z maską filtru 3x3) muszą zostać powtórzone dla wielu setek tysięcy pikseli. W przypadku przetwarzania, analizowania i rozpoznawania obrazów w czasie rzeczywistym (systemy wizyjne robotów przemysłowych, systemy nawigacyjne) odpowiedni dobór jednostek obliczeniowych, będących w stanie zapewnić dostateczną mocą obliczeniową, potrzebną do realiza-

cji postawionych przed nimi zadań, staje się kluczowym problemem. Fakt powyższy jest bezpośrednią przyczyną coraz częstszego sięgania w stronę rozwiązań wieloprocesorowych. Naprzeciw rosnącemu zapotrzebowaniu na moc obliczeniową ze strony aplikacji związanych z przetwarzaniem i analizą obrazów, wyszła firma Texas Instruments dostarczając na rynek system wieloprocesorowy DSP wykonany w postaci pojedynczego układu scalonego. Układ scalony TMS320C80 został wyposażony w cztery stałoprzecinkowe, 32-bitowe procesory DSP o architekturze specjalizowanej do efektywnej i szybkiej realizacji operacji, związanych z dziedziną przetwarzaniem obrazów cyfrowych.

W skład wieloprocesorowego układu TMS320C80 MVP (ang. *Multimedia Video Processor*) wchodzi 32-bitowy procesor nadrzędny MP, o architekturze typu RISC i mocy obliczeniowej 100 MFLOPS oraz cztery równoległe 32-bitowych, stałoprzecinkowe procesorów DSP (PP0, PP1, PP2 i PP3). Układ TMS320C80 zawiera ponadto kontroler TC, nadzorujący przebieg procesu wymiany danych pomiędzy pamięcią wewnętrzną układu, a urządzeniami peryferyjnymi, kontroler VC sterujący procesem akwizycji i wyświetlania sygnałów wizyjnych, 50 KB wewnętrznej statycznej pamięci RAM oraz układ przełącznicy, pozwalający na automatyczne zestawianie połączeń pomiędzy portami komunikacyjnymi poszczególnych procesorów, a blokami wspólnej (dla wszystkich jednostek układu) wewnętrznej pamięci.

Krzemowa struktura układu TMS320C80 zawiera około czterech milionów tranzystorów CMOS, a moc obliczeniowa, zrealizowanej w oparciu o niego architektury typu MIMD, szacowana jest na ponad dwa miliardy elementarnych operacji typu RISC, wykonywanych w ciągu jednej sekundy. Wieloprocesorowy układ TMS320C80 został zintegrowany z układami akwizycji danych wizyjnych, w ramach współpracującej z komputerem PC karty o nazwie *Software Development Board*.

Zdecydowana większość operacji wykonywanych na obrazach cyfrowych poddają się zrównolegleniu w łatwy i naturalny sposób [1]. Fakt powyższy związany jest bezpośrednio z postacią struktury danych, jaką stanowi obraz (dwuwymiarowa tablica liczb). W najprostszym przypadku, sposób postępowania polega na podziale obrazu na tyle równych części, iloma procesorami dysponuje dany system równoległy. Każdy z procesorów systemu wykonuje te same elementarne operacje na przydzielonym mu fragmencie obrazu (w pewnych przypadkach analizowane fragmenty obrazu muszą zachodzić na siebie na szerokość jednego bądź kilku pikseli, co związane jest bezpośrednio z rozmiarami zastosowanych masek filtrów).

Z drugiej strony, operacje analizy i rozpoznawania obrazów są często procesami wieloetapowymi, składającymi się z szeregu wykonywanych kolejno po sobie operacji (np. filtracja dolnoprzepustowa, progowanie obrazu, detekcja krawędzi obiektów), dzięki czemu możliwa jest ich bezpośrednia implementacja w systemie potokowym, poprzez przypisanie poszczególnych operacji kolejnym stacjom potoku.

Ponieważ często możliwe jest alternatywne wykorzystanie dwóch zaprezentowanych powyżej rozwiązań, a nawet utworzenie ich pewnych kombinacji, dobór właściwej konfiguracji systemu wieloprocesorowego, pozwalającej na optymalizację czasu wykonania obliczeń, staje się często kluczowym zagadnieniem. W związku z powyższym, w dalszej części rozdziału zamieszczono przykłady implementacji wybranych algorytmów przetwarzania obrazów dla różnych typów architektur wieloprocesorowych, zrealizowanych w oparciu o układ TMS320C80.

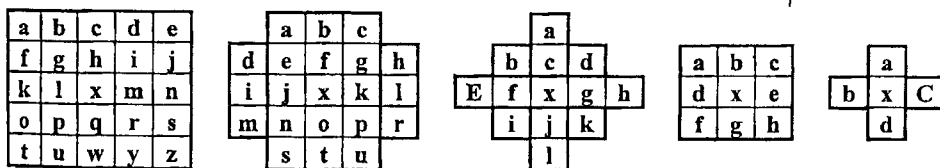
## 2. ARCHITEKTURA TYPU – SIMD

Operacje, takie jak np. filtracja obrazów oraz wydzielenie krawędzi przedstawionych na nich obiektów (wykonywane przy użyciu filtrów o odpowiednich postaciach masek) można w bezpośredni sposób zaimplementować dla architektury typu SIMD (ang. *Single Instruction Multiple Data*), utworzonej z pewnej liczby procesorów DSP układu TMS320C80. Analizowany obraz dzielony jest na tyle równych części, ile zastosowano procesorów DSP. Każdy z

procesorów przetwarzają, całkowicie niezależnie od pozostałych, przydzielony mu fragment obrazu, przy czym obraz umieszczony jest we wspólnym obszarze pamięci zewnętrznej systemu. Konflikty, powstałe podczas realizacji dostępu do wspólnej pamięci, rozstrzygane są automatycznie przez układ kontrolera transferu danych TC. Procesem akwizycji obrazów steruje zawsze procesor nadrzędny MP, natomiast do przetwarzania obrazów może zostać wykorzystana dowolna liczba procesorów DSP.

Poniżej zamieszczono procesory eksperymentów, uzyskane podczas implementacji algorytmu filtracji medianowej obrazu dla kilku architektur typu SIMD, utworzonych z różnej liczby procesorów DSP układu TMS320C80.

Filtracja medianowa jest przykładem nieliniowej filtracji obrazu wykorzystującej sortowanie pikseli ze względu na ich jasność, w celu określenia wartości pikseli po filtracji. Główną zaletą filtru medianowego jest brak efektu rozmywania, występującego w przypadku dolnoprzepustowego filtru splotowego. Filtracja medianowa stosowana jest zwykle w celu eliminacji z obrazu szumu i zakłóceń (objawiających się zwykle w postaci izolowanych pikseli, występujących na tle o odmiennie barwie), ponieważ prowadzi do usunięcia pikseli o wartościach różniących się znacznie do wartości pikseli sąsiednich.



Rys. 1. Różne rozmiary masek filtru medianowego.

Eksperymenty wykonano dla różnych rozmiarów masek filtru, pokazanych na rysunku 1. Obraz, uzyskany w wyniku przeprowadzenia filtracji o 25-elementowej masce filtru, został zamieszczony na rysunku 2.

W tabeli 1 dokonano zestawienia wartości, uzyskanych podczas eksperymentów, czasów wykonania operacji filtracji medianowej (o różnej postaci maski filtru), w przypadku zastosowania wieloprocessorowych architektur SIMD, zbudowanych z różnej liczby procesorów DSP.

Tabela 1. Czasy wykonania obliczeń dla różnych rozmiarów maski filtru medianowego.

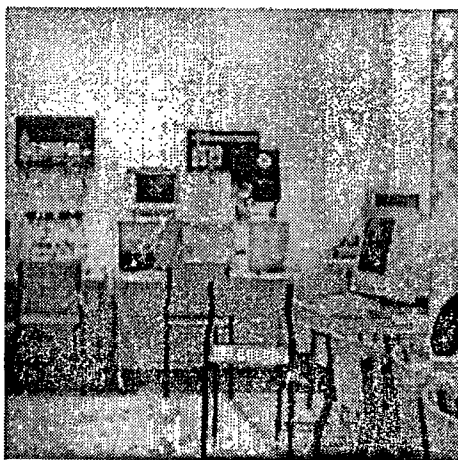
Maska filtru	Liczba procesorów DSP użytych w architekturze SIMD			
	1 procesor	2 procesory	3 procesory	4 procesory
5 pikseli	1,41	0,75	0,56	0,45
9 pikseli	3,22	1,75	1,34	1,24
13 pikseli	11,95	7,10	5,72	5,35
21 pikseli	24,05	13,21	10,13	9,85
25 pikseli	31,15	16,97	12,72	10,86

Z kolei w tabeli 2 zestawiono, uzyskane dla badanych architektur SIMD, wartości współczynników przyspieszenia obliczeń.

Tabela 2. Uzyskane wartości współczynników przyspieszenia obliczeń.

Maska filtru	Liczba procesorów DSP użytych w architekturze SIMD			
	1 procesor	2 procesory	3 procesory	4 procesory
5 pikseli	1,00	1,88	2,52	3,13
9 pikseli	1,00	1,84	2,40	2,59
13 pikseli	1,00	1,63	2,08	2,23
21 pikseli	1,00	1,82	2,36	2,44
25 pikseli	1,00	1,83	2,45	2,87

Uzyskane, dla różnej liczby procesorów DSP, wartości współczynników przyspieszenia obliczeń są znacznie mniejsze od wartości maksymalnych, możliwych teoretycznie do uzyskania w architekturach SIMD (wartością graniczną jest w tym przypadku liczba procesorów zastosowanych w systemie). Powodem powyższego zjawiska jest występowanie, podczas pracy systemu TMS320C80, znacznych narzutów komunikacyjnych. Największe wartości współczynników przyspieszenia obliczeń uzyskiwane są w przypadku, gdy procesory DSP wykonują programy, których kody mogą w całości zostać umieszczone w podręcznych pamięciach programu. W takiej sytuacji nie występuje konieczność odświeżania tych pamięci podręcznych, przez co kolejka procesorów oczekujących na dostęp do pamięci zewnętrznej systemu ulega znacznemu skróceniu.



Rys. 2. Obraz po filtracji medianowej (25-elementowa maska filtru).

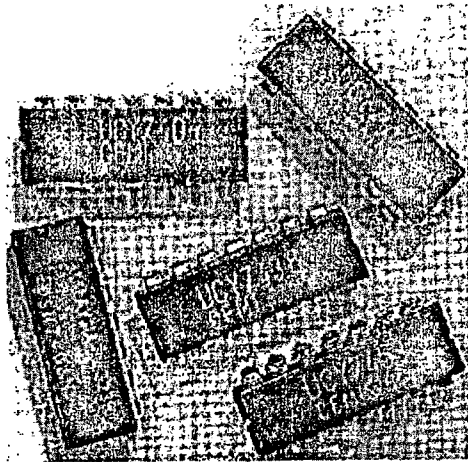
### 3. ARCHITEKTURA TYPU – MIMD

Jako przykład implementacji wybranej operacji przetwarzania obrazu dla architektury MIMD, rozważona zostanie wieloprocessorowa realizacja operacji wyrównania histogramu obrazu. Wyrównanie histogramu jest operacją mającą na celu zwiększenie kontrastu obrazu, poprzez uwypuklenie szczegółów różniących się pomiędzy sobą niewielką liczbą poziomów jasności. W obrazie z wyrównanym histogramem wykorzystywany jest pełny zakres dostępnych dla pikseli poziomów jasności. Algorytm wyrównania histogramu obrazu jest algorytmem dwuprzbiegowym [2]. W kroku pierwszym, wyznaczany jest histogram obrazu. Powyższa operacja polega na wyznaczeniu dla każdego stopnia jasności obrazu liczby posiadających go pikseli. W ten sposób tworzona jest tablica 256 liczb (obraz posiada 256 poziomów jasności) **histogram[...]**. Każdy z elementów tej tablicy, oznaczony jako **histogram[i]** określa liczbę występujących w obrazie pikseli o poziomie jasności *i*. W kroku kolejnym tworzona jest, zgodnie ze wzorem (1), 256-elementowa tablica konwersji LUT[...].

$$LUT[k] = \frac{\sum_{i=0}^k histogram[i]}{n} \quad (1)$$

Element tablicy konwersji LUT[k] określa wartość nowego poziomu jasności, jaki zostanie przypisany podczas operacji wyrównywania histogramu pikselom, posiadającym w obrazie pierwotnym poziom jasności *k*.

Implementacja algorytmu wyrównywania histogramu obrazu dla architektury MIMD zbudowanej z pięciu procesorów układu TMS320C80 dokonana została w sposób następujący. Procesor nadrzędny systemu MP pozyskuje obraz z kamery, a następnie umieszcza go w odpowiednim buforze pamięci zewnętrznej. Następnie każdy z procesorów równoległych PP0, PP1, PP2 i PP3 wyznacza histogram częściowy dla przydzielonego mu fragmentu obrazu. W kroku kolejnym procesor nadrzędny MP sumuje, wyznaczone uprzednio przez procesory równoległe PP, histogramy częściowe, w wyniku czego wyliczony zostaje pełny histogram obrazu. Na podstawie histogramu obrazu procesor nadrzędny MP tworzy tablicę konwersji, na podstawie, której poszczególnym pikselom obrazu zostaną przypisane nowe wartości. Zawartość tablicy LUT jest przekazywana każdemu z procesorów równoległych PP. W oparciu o tablicę LUT, procesory PP dokonują wyrównania histogramu dla przydzielonych im części obrazu. Efekt operacji wyrównania histogramu obrazu można zobaczyć na rysunku 3.



Rys. 3. Obraz z wyrównanym histogramem.

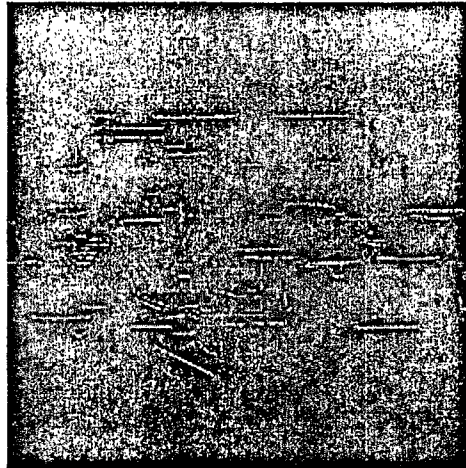
#### 4. ARCHITEKTURA TYPU - MISD

Idea wieloprocessorowej architektury typu MISD polega na tym, że poszczególne procesory systemu równoległego wykonują różne operacje na jednym zbiorze danych. W większości opracowań dotyczących klasyfikacji systemów wieloprocessorowych architektura typu MISD wymieniana jest z zastrzeżeniem, że ten typ architektury został wprowadzony jedynie dla zachowania kompletności systemu klasyfikacji architektur wieloprocessorowych, gdyż w praktyce trudno jest wskazać komputer pracujący zgodnie z zasadami architektury MISD [3], [4], [5], [6]. W wielu dziedzinach zastosowań komputerów stwierdzenie powyższe jest prawdziwe, jednak w przypadku realizacji algorytmów przeważania obrazów cyfrowych często zachodzi potrzeba dokonania wielu różnych operacji na tym samym obrazie. Zatem operacje takie mogą zostać zrealizowane przy wykorzystaniu architektury typu MISD.

Dla przykładu rozważona zostanie implementacja dla architektury MISD równoległej wersji algorytmu detekcji narożników krawędzi przedstawionych na obrazie obiektów, z zastosowaniem metody wyznaczania gradientów kierunkowych. W rozważanym przypadku każdy z czterech procesorów DSP układu TMS320C80 wyznacza jeden z gradientów kierunkowych, dzięki czemu, na każdym z przetworzonych obrazów uwypuklone zostają narożniki skierowane w innym kierunku. Wyznaczenie gradientów kierunkowych dokonywane jest poprzez

wykonanie operacji splotu obrazu z odpowiednią maską filtru, o postaci zależnej od kierunku wyznaczanego gradientu.

Należy zwrócić uwagę, że każdy z procesorów DSP wykonuje inny typ operacji (różne postaci masek filtrów dla każdego z kierunków) na tym samym obrazie, umieszczonym we wspólnym (dla wszystkich procesorów) obszarze pamięci zewnętrznej systemu TMS320C80. Rysunek 4 przedstawia obraz, uzyskany w wyniku wyznaczenia gradientu dla kierunku północnego.



Rys. 4. Obraz po wyznaczeniu gradientu kierunkowego dla kierunku północnego.

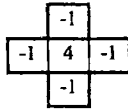
## 5. ARCHITEKTURA POTOKOWA

Komputerowe przetwarzanie obrazów jest często procesem wieloetapowym, składającym się z szeregu wykonywanych kolejno po sobie operacji, czego przykładem może być algorytm, mający za zadanie wydzielenie z obrazu krawędzi przedstawionych na nim obiektów. Algorytm realizujący rozważane zadanie, składa się, z wykonywanych kolejno, czterech podstawowych operacji przetwarzania obrazu. Na wstępie, pozyskany z kamery obraz poddany zostaje operacji filtracji dolnoprzepustowej, której celem jest jego wygładzenie oraz eliminacja dodanego (w strukturze CCD kamery oraz torze transmisyjnym) do sygnału obrazu szumu. Powyższy cel został osiągnięty poprzez zastosowanie filtru dolnoprzepustowego o masce przedstawionej na rysunku 5.

1	2	1
2	4	2
1	2	1

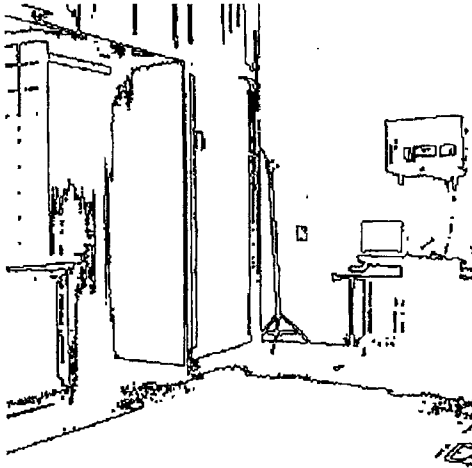
Rys. 5. Maska filtru dolnoprzepustowego.

W kroku kolejnym, obraz poddawany jest binaryzacji, polegającej na przypisaniu każdemu z pikseli barwy czarnej lub białej, w zależności od tego, czy jego stopień jasności posiada wartość większą lub mniejszą od odpowiednio dobranej wartości progowej. Ze zbinaryzowanego obrazu wydzielane są krawędzie, poprzez wyznaczenie laplasjanu obrazu. Maskę filtru wykorzystanego do wyznaczenia laplasjanu obrazu, przedstawiono na rysunku 6.



Rys. 6. Maska laplasjanu.

W kroku ostatnim obraz poddawany jest jeszcze filtracji logicznej, mającej za zadanie usunięcie z niego zakłóceń w postaci pojedynczych pikseli, występujących na tle o odmiennej barwie. Uzyskany w wyniku wykonania powyższych operacji obraz został przedstawiony na rysunku 7.



Rys. 7. Obraz z wydzielonymi krawędziami.

W celu zrównoleżenia rozważanych operacji przetwarzania obrazów, w ramach systemu TMS320C80 zaimplementowano strukturę potokową o pięciu stacjach. Pierwszą stacją potoku stanowi procesor nadrzędny MP, który nadzoruje proces akwizycji obrazu oraz umieszcza pozyskany z kamery obraz w odpowiednim buforze pamięci, zawierającym dane wejściowe dla drugiej stacji potoku. Kolejne stacje potoku zrealizowano w oparciu o cztery procesory równoległe PP. Operacje wykonywane w stacjach potoku zestawiono w tabeli 3.

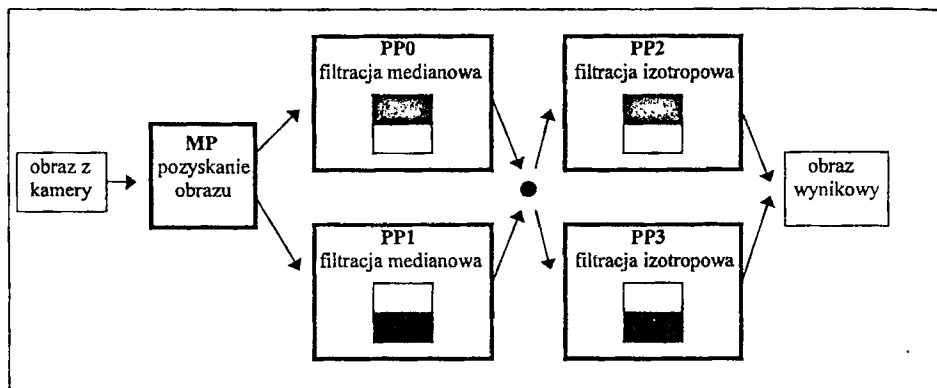
Tabela 3. Operacje wykonywane przez poszczególne stacje architektury potokowej.

Stacja potoku	Procesor	Wykonywane operacje
1	MP	Pozyskanie obrazu
2	PP0	Filtracja dolnoprzepustowa
3	PP1	Binaryzacja
4	PP2	Wyznaczenie laplasjanu
5	PP3	Filtracja logiczna

## 6. ARCHITEKTURA HYBRYDOWA

Fakt wyposażenia układu TMS320C80 w pięć procesorów, pozwala na implementację wieloetapowych algorytmów przetwarzania obrazów, dla zrealizowanych w oparciu o niego architektur potokowych. W przypadku gdy liczba koniecznych do wykonania elementarnych operacji przetwarzania obrazu jest mniejsza od liczby procesorów systemu TMS320C80 architektura potokowa może zostać zrealizowana w postaci hybrydowej. Potokowa architektura

hybrydowa stanowi połączenie rozwiązań stosowanych w architekturach potokowych oraz architekturach SIMD. Implementacja potokowej architektury hybrydowej polega na realizacji pewnych stacji potoku w postaci wieloprocesorowej typu SIMD. Zrównolegleniu powinny zostać poddane operacje, których wykonanie zajmuje najwięcej czasu, ponieważ operacje takie determinują częstotliwość z jaką otrzymywane są dane na wyjściu struktury potokowej. Praca następných stacji potoku musi każdorazowo podlegać wstrzymaniu, w celu zapewnienia synchronizacji systemu. Przykładowa architektura hybrydowa, w której dwie stacje potoku zostały zrealizowane w postaci architektur typu SIMD, składających się z dwóch procesorów PP została pokazana na rysunku 8.



Rys. 8. Schemat blokowy potokowej architektury hybrydowej.

We wszystkich z analizowanych w artykule przypadkach, zrównoleglenie obliczeń, związanych z przetwarzaniem wstępnym obrazów, prowadziło do znacznego skrócenia czasu ich realizacji. Fakt powyższy posiada duże znaczenie, w przypadku implementacji tych operacji dla systemów czasu rzeczywistego, gdzie na wykonanie każdego z zadań nałożone są ostre ograniczenia czasowe, których przekroczenie może spowodować błędną pracę systemu.

## LITERATURA

- [1] B. Kwolek: *Komputerowe przetwarzanie obrazów w wieloprocesorowym systemie czasu rzeczywistego*; Materiały konferencyjne, VI Konferencja Systemów Czasu Rzeczywistego, Zakopane'99, 27-30 września 1999, ss. 271-280
- [2] R. Tadeusiewicz: *Systemy wizyjne robotów przemysłowych*; WNT, Warszawa, 1993
- [3] S. Kozielski, Z. Szczerbiński: *Komputery równoległe*; WNT, Warszawa, 1994
- [4] B. S. Chalk: *Organizacja i architektura komputerów*; WNT, Warszawa, 1998
- [5] A. Skorupski: *Podstawy budowy i działania komputerów*; WKiŁ, Warszawa, 1997
- [6] A. S. Tanenbaum: *Rozproszone systemy operacyjne*; WKiŁ, Warszawa, 1997