

mgr inż. Stefan Frydliński
Przemysłowy Instytut
Automatyki i Pomiarów MERA-PIAP
Warszawa

LOGIKA RÓWNOLEGLA W MASZYNIE ANALOGOWEJ WAT 1001 I JEJ ZASTOSOWANIA

I. Wstęp

Wszystkie elementy i bloki występujące w maszynie WAT 1001 można podzielić pod względem wykonywanych w procesie liczenia zadań na trzy podstawowe grupy:

Grupa I. Należy do niej zaliczyć człony analogowe, stanowiące podstawowe elementy, z których jest tworzony model badanego zadania. Analogowe wejścia i wyjścia tych członów są wyprowadzone na kros analogowy. Cyfrowe wejścia sterujące rodzajem pracy integratorów i bloków pamięci (S, Z), oraz skalą czasu (\bar{A} , \bar{B}), są wyprowadzone na kros cyfrowy.

Grupa II. Należą do niej elementy i układy logiczne. Z pewnej części elementów logicznych zbudowano układy służące do sterowania operacjami oraz procesem liczenia, analogicznie jak w konwencjonalnej maszynie analogowej (np. liczenie jednocykłowe, liczenie powtarzalne, zatrzymanie liczenia, ustawianie czasu cyklu w liczeniu powtarzalnym itp.). Sterowanie operacjami może odbywać się z klawiatury lub z krosu cyfrowego, w związku z czym na krosie cyfrowym umieszczone są wejścia i wyjścia układów logicznych, znajdujących się wewnątrz maszyny, jak:

- a) wyjścia impulsów podstawowych timera i ich wielokrotności.
- b) wyjścia standardowych sygnałów sterujących a_s , b_s , a_1 , b_1 , a_2 , b_2 oraz sygnału c,
- c) wyjścia sygnałów \bar{A} , \bar{B} oraz A, B służących do zmiany skali czasu z krosu,
- d) wejścia sygnałów LJ (liczenie jednocykłowe), LP (liczenie powtarzalne), ZL (zatrzymanie liczenia), LD (ponowne uruchomienie liczenia), oraz sygnału STOP, które służą do wprowadzania maszyny w określony stan pracy przy wykorzystywaniu sterowania z krosu cyfrowego.

Oprócz wspomnianych układów logicznych konstruktor maszyny oddał do dyspozycji programisty dużą ilość elementów logicznych, które mogą być wykorzystywane do tworzenia dowolnych układów logicznych, służących do sterowania procesem liczenia (np. liczenie iteracyjne, programowanie procedur optymalizacyjnych itp.).

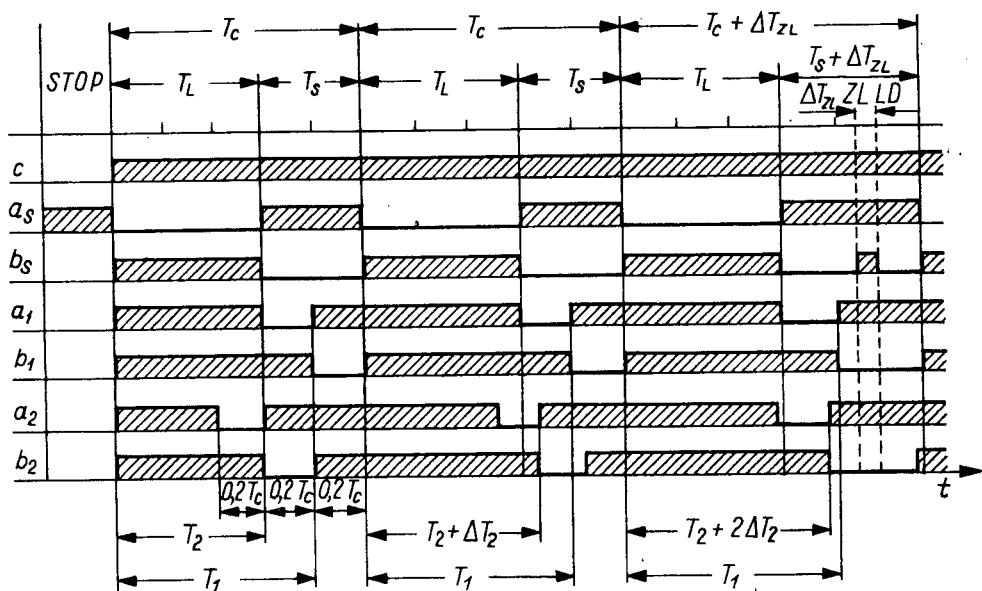
Grupa III. Zalicza się do niej bloki pośredniczące w wymianie informacji między częścią analogową a cyfrową maszyny, a przede wszystkim komparatory i przełączniki cyfrowo-analogowe (PCA). Wejścia (wyjścia) analogowe tych bloków są wyprowadzone na kros analogowy, natomiast wejścia (wyjścia) cyfrowe znajdują się na krosie cyfrowym.

Niniejszy artykuł omawia elementy logiczne znajdujące się w dyspozycji programisty, niektóre bloki z grupy III oraz ich wykorzystywanie przy programowaniu różnorodnych zadań.

2. Logika krosowa

2.1. Standardowe sygnały logiczne

Przebiegi czasowe sygnałów standardowych są przedstawione na rys. 1; zaznaczono na nim również cztery podstawowe stany w jakich maszyna może się znaleźć:



Rys. 1

STOP. Jest to stan, w jakim maszyna znajduje się przed uruchomieniem procedur obliczeniowych lub po zakończeniu obliczeń. W tym okresie do modelu wprowadza się warunki początkowe, wartości początkowe parametrów podlegających optymalizacji, ustawia się parametry modelu itp. Czas trwania tego stanu jest nieograniczony.

LICZENIE. W czasie liczenia T_L integratory przełącza się na całkowanie i rozwiązuje zaprogramowane zadanie. T_L ustawiany jest z klawiatury w zakresie od 0 do $0,999 T_C$ z dokładnością $0,001 T_C$. T_C oznacza czas cyklu powtarzalnego maszyny i jest ustawiany z klawiatury skokowo w przedziale od 1 ms do 100 s z dokładnością $0,001 T_C$.

SPOCZYNEK. Stan ten oznacza pozorny spoczynek dla maszyny, ponieważ w czasie jego trwania maszyna może wykonywać szereg pomocniczych operacji. W procesie liczenia iteracyjnego na przykład porównuje się wartości przebiegów w określonych chwilach z wartościami zadanymi i stosownie do występujących błędów wprowadza się korekcje zmiennych parametrów modelu. W procedurach optymalizacyjnych wartość wskaźnika jakości w cyklu aktualnym jest porównywana z najlepszą wartością wskaźnika jakości z cykli poprzednich i w zależności od wyników porównania wprowadza się odpowiednią korekcję parametrów optymalizowanych oraz podejmuje się decyzję, którą z wartości wskaźnika należy zapamiętać dla celów dalszej optymalizacji. Czas spoczynku T_S jest wynikiem z nastawionych czasów T_C i T_L .

ZATRZYMANIE LICZENIA. W maszynie można zatrzymać procesy obliczeniowe w dowolnym momencie. Integratory i bloki pamięci przechodzą wówczas w stan pamiętania. Podczas "zatrzymania liczenia" można przeprowadzać w modelu zmiany struktury, skokową zmianę współczynników wzmocnienia, lub też automatyczną zmianę skali czasu, wykorzystując do tego stosunkowo wolno działające przełączniki PCA (czas przełączania 4 ms). Obniża się przez to do minimum błędy dynamiczne przełączania. Czas trwania zatrzymania liczenia ΔT_{ZL} może być dowolnie długi i zależy od momentu wprowadzenia do maszyny na wejście LD sygnału ponownego uruchomienia liczenia. Jednak ze względu na płynięcie integratorów i bloków pamięci w stanie pamiętania czas ten powinien być możliwie krótki. Czas trwania cyklu wydłuża się o ΔT_{ZL} .

Standardowe sygnały logiczne są wykorzystywane zarówno do sterowania

procesem obliczeń w przypadkach najprostszych (w konwencjonalnych maszynach analogowych), jak i do synchronizowania działania układów logicznych, zaprojektowanych przez programistę, w przypadkach wymagających specjalnych procedur. Niżej podano tylko niektóre typowe zastosowania tych sygnałów. Sygnał c - wartość zerową przyjmuje tylko w stanie STOP maszyny. Wykorzystywany jest zwykle do wprowadzania do modelu początkowych wartości parametrów czy warunków początkowych, które w procesie obliczeniowym podlegają doborowi.

Sygnał a_s - dzieli cykl maszyny na okres liczenia i okres spoczynku. Stosowany jest zwykle do sterowania układami wejściowymi integratorów (wejście Z). Sygnał b_s - jest negacją sygnału a_s (z wyjątkiem stanu "zatrzymanie liczenia"). Wykorzystywany jest zwykle do sterowania wejściem warunków początkowych w integratorach (wejście s).

Sygnał a_1 - wartość zerową przyjmuje w czasie STOP oraz w okresie od $T_1 - 0,2 \cdot T_c$ do T_1 . T_1 można ustawiać z klawiatury w zakresie od 0 do $0,999 T_c$ z dokładnością $0,001 T_c$. Sygnał a_1 oraz opisany dalej b_1 stosowane są m.in. do sterowania układami analogowych pamięci punktowych służących do zapamiętywania wartości z poprzedniego cyklu, do sterowania integratorami liczącymi całki z błędów itp.

Sygnał b_1 - wartość zerową przyjmuje w czasie STOP (z wyjątkiem $T_1 = 0,8 T_c$) oraz w okresie od T_1 do $T_1 + 0,2 \cdot T_c$. Zastosowanie podobnie jak a_1 .

Sygnał a_2 - powstaje w tzw. kanale ze scanem. Wartość zerową przyjmuje w czasie STOP oraz w okresie od $T_2 + (k - 1) \Delta T_2 - 0,2 T_c$ do $T_2 + (k - 1) \Delta T_2$, przy czym k oznacza numer kolejny cyklu licząc od chwili uruchomienia maszyny do pracy powtarzalnej ($k = 1, 2, 3, \dots$). T_2 ustawiane jest z klawiatury w zakresie od 0 do $0,999 T_c$. ΔT_2 ustawiane jest z klawiatury w zakresie od 0 do $\pm 0,1 T_c$ w kilku podzakresach. Stosowanie sygnałów a_2 i b_2 może być analogiczne jak a_1 i b_1 o ile $\Delta T_2 = 0$. Przy $\Delta T_2 \neq 0$ mogą one być stosowane w specjalnych programach (np. do rozwiązywania niektórych typów równań różniczkowych cząstkowych), w niniejszym artykule nie omawianych.

Sygnał b_2 - wartość zerową przyjmuje w czasie STOP oraz w okresie od $T_2 + (k - 1) \Delta T_2$ do $T_2 + (k - 1) \Delta T_2 + 0,2 T_c$. Zastosowanie podobne jak sygnału a_2 .

2. Elementy i układy równoległej logiki krosowej

W maszynie WAI 1001 przewidziano 24 miejsca uniwersalne dla tzw. kart logiki krosowej (KLK). Karty zawierają różne zestawy elementów logicznych, których wejścia i wyjścia są doprowadzone do krosu cyfrowego po włożeniu karty w dowolne miejsce uniwersalne. Umożliwia to programiście tworzenie dowolnych układów logicznych realizujących wymagania zadania.

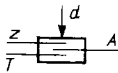
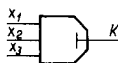
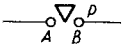
W tabelicy 1 zamieszczono pełny zestaw kart logiki krosowej, ich zawartość oraz ilość wchodzącą w skład wyposażenia maszyny.

Tablica 1

Symbol karty	Zawartość karty		Ilość kart w wyposażeniu maszyny
	Nazwa elementu	Ilość sztuk na karcie	
KLK-1001	NAND 10-wejściowy	2	2
	INWERTOR	2	
KLK-1002	NAND 4-wejściowy	4	7
KLK-1003	NAND 2-wejściowy	6	5
	INWERTOR	2	
KLK-1004	INWERTOR	10	5
KLK-1005	NAND, AND, MOCY	1	8
KLK-1006	PRZERZUTNIK JKT	4	7
KLK-1007	LICZNIK DWÓJKOWO-DZIESIĘTNY	1	15
KLK-1008	MONOFLOP 2 μ s	2	6
	MONOFLOP 10 μ s	1	
	MONOFLOP 10 ms	1	

Tablica 2

Nazwa elementu	Symbol graficzny	Realizowana funkcja	Uwagi																																																												
1	2	3	4																																																												
WZMACNIACZ (logiczny)		$z = d$																																																													
		$z = \bar{d}$																																																													
INWERTOR		$z = \bar{d}$																																																													
NAND		$z = \overline{d \cdot e \cdot f} = \bar{d} + \bar{e} + \bar{f}$																																																													
PRZERZUTNIK JKT		<table border="1"> <thead> <tr> <th>J</th> <th>\bar{T}</th> <th>K</th> <th>\bar{R}</th> <th>Q</th> </tr> </thead> <tbody> <tr> <td>-</td> <td>-</td> <td>-</td> <td>0</td> <td>0</td> </tr> <tr> <td>1/0</td> <td>1</td> <td>-</td> <td>1</td> <td>1</td> </tr> <tr> <td>-</td> <td>1</td> <td>1/0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1/0</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0/1</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>1/0</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1/0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>1/0</td> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table> <p style="text-align: right;">Dwójka licząca</p>	J	\bar{T}	K	\bar{R}	Q	-	-	-	0	0	1/0	1	-	1	1	-	1	1/0	1	0	1	1/0	1	1	1	1	0/1	1	1	1	1	1/0	1	1	0	1	1/0	0	1	1	0	1/0	1	1	0	<p>1/0 - zmiana sygnału z 1 na 0</p> <p>kreska pozioma oznacza dowolny sygnał</p>															
J	\bar{T}	K	\bar{R}	Q																																																											
-	-	-	0	0																																																											
1/0	1	-	1	1																																																											
-	1	1/0	1	0																																																											
1	1/0	1	1	1																																																											
1	0/1	1	1	1																																																											
1	1/0	1	1	0																																																											
1	1/0	0	1	1																																																											
0	1/0	1	1	0																																																											
MONOFLOP			$t_1 > \tau$																																																												
LICZNIK DWÓJKOWO-DZIESIĘTNY		<table border="1"> <thead> <tr> <th>Liczba impulsów na We od chwili zmiany \bar{R} z 0 na 1</th> <th>D</th> <th>C</th> <th>B</th> <th>A</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>2</td><td>0</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>3</td><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>4</td><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>5</td><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>6</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>7</td><td>0</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>8</td><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>9</td><td>1</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>10</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> </tbody> </table>	Liczba impulsów na We od chwili zmiany \bar{R} z 0 na 1	D	C	B	A	0	0	0	0	0	1	0	0	0	1	2	0	0	1	0	3	0	0	1	1	4	0	1	0	0	5	0	1	0	1	6	0	1	1	0	7	0	1	1	1	8	1	0	0	0	9	1	0	0	1	10	0	0	0	0	$\bar{R} = 0$ - zerowanie licznika
Liczba impulsów na We od chwili zmiany \bar{R} z 0 na 1	D	C	B	A																																																											
0	0	0	0	0																																																											
1	0	0	0	1																																																											
2	0	0	1	0																																																											
3	0	0	1	1																																																											
4	0	1	0	0																																																											
5	0	1	0	1																																																											
6	0	1	1	0																																																											
7	0	1	1	1																																																											
8	1	0	0	0																																																											
9	1	0	0	1																																																											
10	0	0	0	0																																																											

1	2	3	4									
PRZEŁACZNIK CYFROWO- ANALOGOWY (PCA)		<table border="1"> <tr> <td>d</td> <td>zestyk Z - A</td> <td>zestyk T - A</td> </tr> <tr> <td>0</td> <td>X</td> <td></td> </tr> <tr> <td>1</td> <td></td> <td>X</td> </tr> </table>	d	zestyk Z - A	zestyk T - A	0	X		1		X	
d	zestyk Z - A	zestyk T - A										
0	X											
1		X										
KOMPARATOR		$K = \begin{cases} 0 & \text{dla } \sum_1^3 x_i \leq 0 \\ 1 & \text{dla } \sum_1^3 x_i > 0 \end{cases}$	x_i - sygnał analogowy									
PRZEŁACZNIK KROSU CYFROWEGO		<table border="1"> <tr> <td>A-B</td> <td>P</td> </tr> <tr> <td>x</td> <td>0</td> </tr> <tr> <td></td> <td>1</td> </tr> </table>	A-B	P	x	0		1				
A-B	P											
x	0											
	1											
UWAGI OGÓLNE: <ol style="list-style-type: none"> 1. Układy z pamięcią (przerzutniki, liczniki) reagują na tylne zbocze sygnałów wejściowych (z wyjątkiem potencjalowego wejścia \bar{R}). 2. Jeśli na wejście elementu logicznego nie jest podłączony żaden sygnał, element zachowuje się tak, jak w przypadku istnienia na jego wejściu sygnału 1. 												

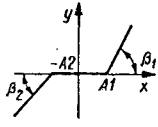
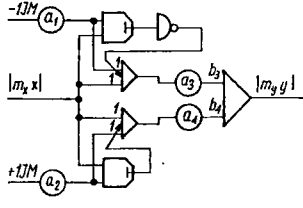
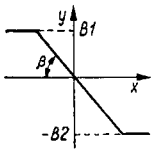
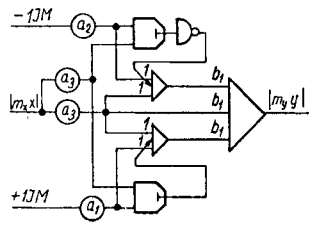
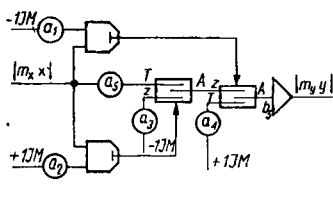
W tablicy 2 znajdują się stosowane w opracowaniach LOM symbole graficzne elementów logicznych i bloków pośredniczących w wymianie informacji między częścią analogową a cyfrową maszyny oraz realizowane przez nie funkcje. Obciążalność elementów logicznych jest różna. Znajomość obciążalności jest bardzo ważna przy projektowaniu układów logicznych dla celów sterowania procesem liczenia. Szczegółowe dane zainteresowani znajdą w [1], [2], [3].

3. Zastosowania równoległej logiki krosowej

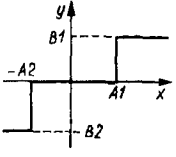
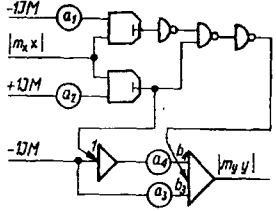
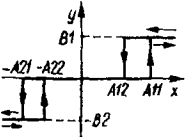
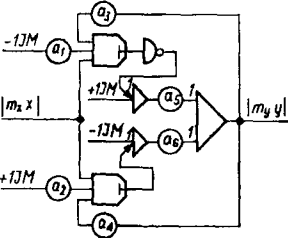
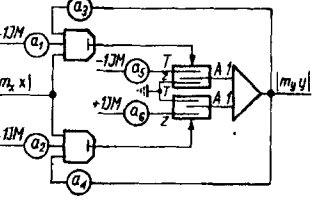
3.1. Modelowanie prostych funkcji nieliniowych

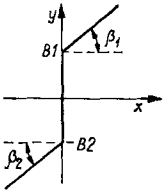
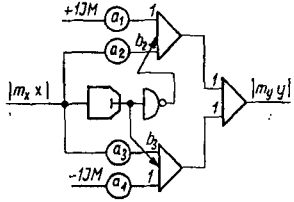
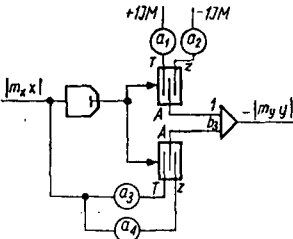
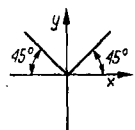
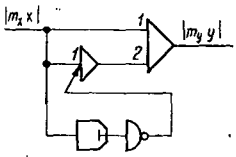
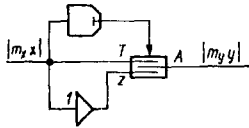
W każdej maszynie analogowej znajduje się pewna ilość bloków realizujących funkcje typu ogranicznika amplitudy, nieczułości, charakterystyki przekładnikowej, luzu itp. Bloki te z reguły są zbudowane w oparciu o wzmacniacz operacyjny i diody włączane w obwód wejściowy lub sprzężenia zwrotnego. Do wyposażenia WAT 1001 należą również tzw. bloki ogranicznika - invertora (BOI). Mają one jednak szereg wad ograniczających ich stosowanie, zwłaszcza w programach zautomatyzowanych przy dużych prędkościach liczenia.

Tablica 3

l.p.	Charakterystyka	Schemat	Uwagi
1	2	3	4
1			$a_1 = m_x A1$ $a_2 = m_x A2$ $a_3 b_3 = \frac{m_y}{m_x} \text{tg } \beta_1$ $a_2 b_2 = \frac{m_y}{m_x} \text{tg } \beta_2$
2			$a_1 b_1 = m_y B1$ $a_2 b_1 = m_y B2$ $a_3 b_1 = \frac{m_y}{m_x} (-\text{tg } \beta)$ <p>zastosowane 2 potencjometry do ustawiania współczynnika a_3 ze względu na ograniczoną obciążalność potencjometrów.</p>
2			$a_1 = m_x \frac{B2}{(-\text{tg } \beta)}$ $a_2 = m_x \frac{B1}{(-\text{tg } \beta)}$ $a_3 b_3 = m_y B1$ $a_2 b_2 = m_y B2$ $a_3 b_2 = \frac{m_y}{m_x} (-\text{tg } \beta)$

1	2	3	4
3			$a_1 b_1 = m_y B_1$ $a_2 b_2 = m_y (B_1 + B_2)$
			$a_1 = m_y B_1$ $a_2 = m_y B_2$
			$a_1 b_1 = m_y B_1$ $a_2 b_2 = m_y (B_1 + B_2)$ $a_3 b_3 = m_x (A_1 + A_2)$ $a_4 b_4 = m_x A_2$
			$a_1 b_1 = m_y B_1$ $a_2 b_1 = m_y B_2$ $a_3 = m_x A_1$ $a_4 = m_x A_2$

1	2	3	4
5			$a_1 = m_x A1$ $a_2 = m_x A2$ $a_3 b_3 = m_y B1$ $a_4 b_4 = m_y (B1 + B2)$
6			$a_1 = m_x A11$ $a_2 = m_x A21$ $a_3 = \frac{m_x (A11 - A12)}{B1}$ $a_4 = \frac{m_x (A21 - A22)}{B2}$ $a_5 = m_y B1$ $a_6 = m_y B2$
			$a_1 = m_x A11$ $a_2 = m_x A21$ $a_3 = \frac{m_x (A11 - A12)}{B1}$ $a_4 = \frac{m_x (A21 - A22)}{B1}$ $a_5 = m_y B1$ $a_6 = m_y B2$

1	2	3	4
7			$a_1 = m_y B1$ $a_2 = \frac{m_y}{m_x} \text{tg } \beta_1$ $a_3 = \frac{m_y}{m_x} \text{tg } \beta_2$ $a_4 = m_y B2$
			$a_1 = m_y B1$ $a_2 = m_y B2$ $a_3 = \frac{m_y}{m_x} \text{tg } \beta_1$ $a_4 = \frac{m_y}{m_x} \text{tg } \beta_2$
			
			

Istnieje możliwość odwzorowania wspomnianych charakterystyk przy użyciu sumatorów sterowanych, komparatorów i logiki krosowej lub, przy częstotliwości liczenia poniżej 20 Hz, przełączników PCA w miejsce sumatorów sterowanych.

W tablicy 3 zamieszczono schematy układów dla najczęściej spotykanych funkcji nieliniowych.

Decyzję, który z układów odwzorowujących określoną funkcję nieliniową należy zastosować, podejmuje programista uwzględniając wielkość problemu, wymaganą dokładność i szybkość liczenia. Ogólnie można zalecić stosowanie układów złożonych z sumatorów sterowanych i logiki krosowej przy największych szybkościach liczenia powtarzalnego, gdy wymagane są zmiany parametrów funkcji nieliniowych w procesie liczenia (np. dobór punktów odcięcia, wartości ograniczenia itp.) oraz duża dokładność liczenia.

Układy zawierające przełączniki PCA można stosować przy wymaganiach jak wyżej, lecz przy częstotliwości liczenia powtarzalnego poniżej 20 cykli/s.

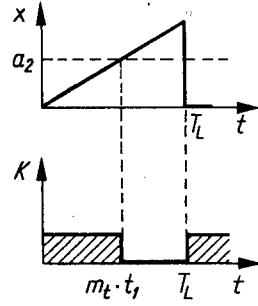
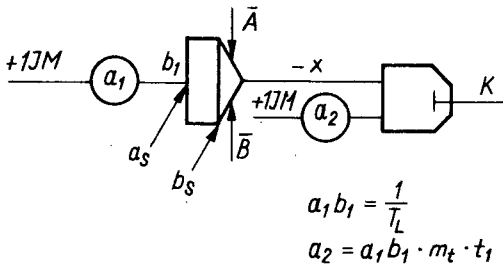
Typowe bloki ogranicznika - inwertora mogą być stosowane przy częstotliwości liczenia powtarzalnego poniżej 20 cykli/s, gdy nie zachodzi potrzeba zmiany parametrów funkcji nieliniowych w procesie liczenia oraz w tych przypadkach, gdzie z powodu ograniczonej liczby bloków liniowych nie istnieje możliwość zastosowania jednego z dwóch pozostałych typów układów.

3.2. Modelowanie specjalnych rodzajów funkcji zależnych od czasu

Często zachodzi potrzeba dokonywania przełączeń w modelu lub zmiany rodzaju pracy integratorów i bloków pamięci w czasie liczenia. Może to być np. wprowadzenie do układu wymuszenia po upływie określonego czasu od chwili rozpoczęcia liczenia lub sprawdzenie w określonej chwili czasu, czy zostały spełnione warunki brzegowe. W takich przypadkach niezbędne jest stosowanie układów odmierzających czas od momentu rozpoczęcia liczenia lub od określonej chwili w czasie liczenia. Układy takie można realizować w oparciu o człony analogowe i logikę krosową lub w przypadku, gdy wymagana jest duża dokładność, wyłącznie z elementów logiki krosowej.

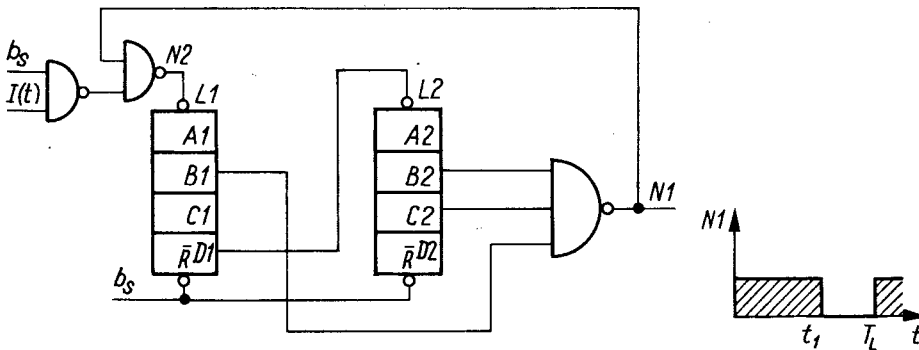
Na rys.2 przedstawiono układ złożony z integratora i komparatora. Napięcie na wyjściu integratora zmienia się liniowo w czasie T_L od 0 do -1 JM . Sygnał wyjściowy komparatora zmienia się z 1 na 0 w chwili, gdy wartość bez-

względna napięcia wyjściowego integratora zrówna się z wartością współczynnika a_2 . Tak więc współczynnik a_2 określa czas od chwili uruchomienia liczenia, po upływie którego dokonują się odpowiednie przełączenia w sterujących układach logicznych.



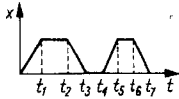
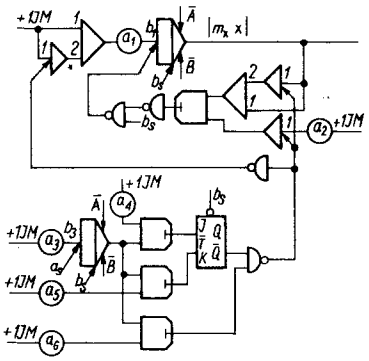
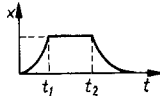
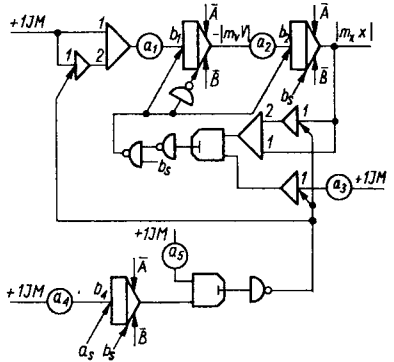
Rys.2.

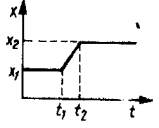
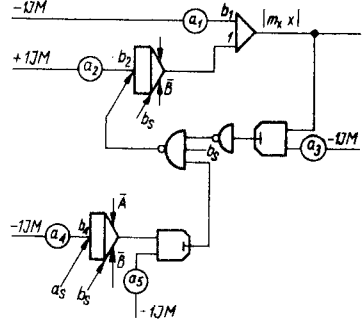
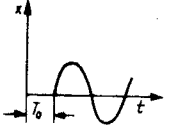
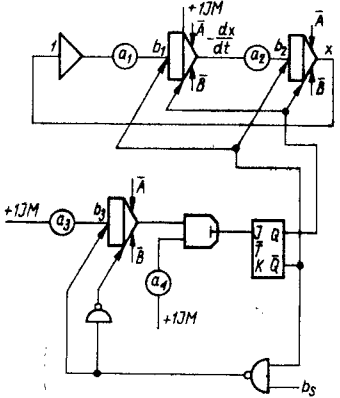
Taki sam efekt można uzyskać w układzie przedstawionym na rys.3 zbudowanym wyłącznie z elementów logicznych. W stanie STOP maszyny ($b_s = 0$) liczniki są wyzerowane, sygnały $N1 = 1$, $N2 = 0$. Z chwilą uruchomienia liczenia licznik L1 zlicza pojedyncze impulsy $I(t)$ timera, licznik L2 zlicza "dziesiątki" impulsów $I(t)$. W dalszym ciągu sygnał $N1 = 1$. Z chwilą gdy liczniki osiągną stan: $B1 = 1$, $B2 = 1$ i $C2 = 1$ sygnał $N1$ staje się równy zero blokując doprowadzenie impulsów $I(t)$ do wejścia licznika L1. Otrzymany stan liczników oznacza ilość impulsów równą 62. Jeśli okres impulsów wynosił np. 10 ms,



Rys.3.

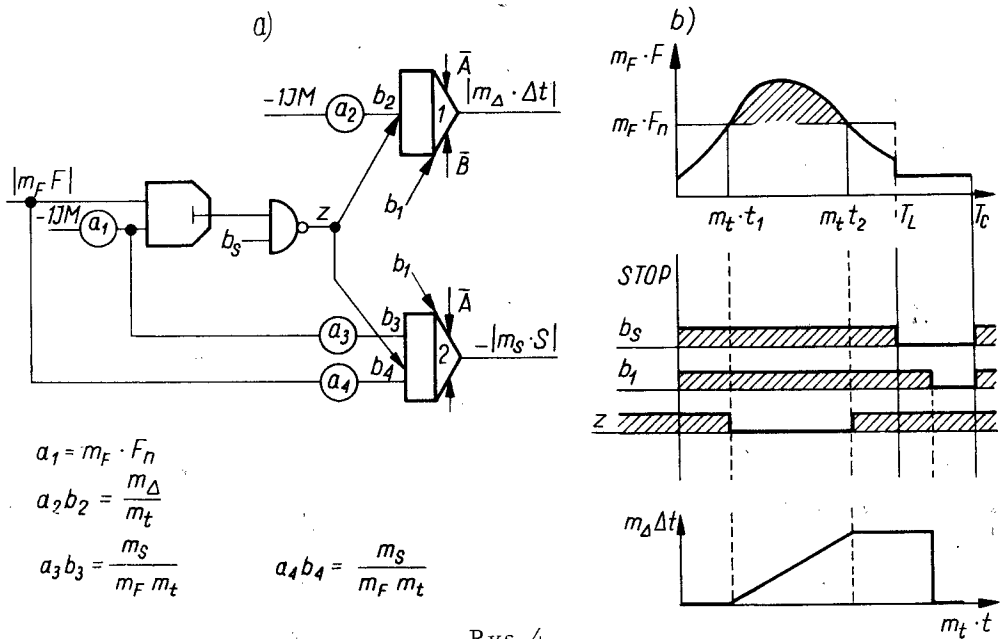
Tablica 4

Lp.	Funkcja	Schemat	Uwagi
1	<p style="text-align: center;">2</p>  $x = \begin{cases} Vt & \text{dla } 0 \leq t \leq t_1 \\ Vt_1 & \text{dla } t_1 \leq t \leq t_2 \text{ i} \\ & t_5 \leq t \leq t_6 \\ Vt_1 - V(t - t_2) & \text{dla} \\ & t_2 < t \leq t_3 \\ 0 & \text{dla } t_3 < t \leq t_4 \text{ i} \\ & t > t_7 \\ V(t - t_2) & \text{dla } t_4 < t \leq t_5 \\ Vt_1 - V(t - t_0) & \text{dla} \\ & t_6 \leq t \leq t_7 \end{cases}$	<p style="text-align: center;">3</p> 	<p style="text-align: center;">4</p> $a_1 b_1 = \frac{m_x}{m_t} V$ $a_2 = m_x V t_1$ $a_3 b_3 = \frac{1}{T_L}$ $a_4 = a_3 b_3 m_t t_2$ $a_5 = a_3 b_3 m_t t_4$ $a_6 = a_3 b_3 m_t t_6$
2	<p style="text-align: center;">2</p>  $x = \begin{cases} \frac{at^2}{2} & \text{dla } 0 < t \leq t_1 \\ \frac{at^2}{2} & \text{dla } t_1 < t \leq t_2 \\ \frac{at}{2} - \frac{a}{2}(t - t_2)^2 & \text{dla} \\ & t_2 < t \leq t_2 + t_1 \\ 0 & \text{dla } t > t_2 + t_1 \end{cases}$		$V = at$ $a_1 b_1 = \frac{m_v}{m_t} a$ $a_2 b_2 = \frac{m_x}{m_v m_t}$ $a_3 = m_x \frac{at_1^2}{2}$ $a_4 b_4 = \frac{1}{T_L}$ $a_5 = a_2 b_4 m_t t_2$

1	2	3	4
3	 $x = \begin{cases} x_1 & \text{dla } 0 < t \leq t_1 \\ x_1 + \frac{x_2 - x_1}{t_2 - t_1} (t - t_1) & \text{dla } t_1 < t \leq t_2 \\ x_2 & \text{dla } t > t_2 \end{cases}$		$a_1 b_1 = m_x x_1$ $a_2 b_2 = \frac{m_x}{m_t} \frac{x_2 - x_1}{t_2 - t_1}$ $a_3 = m_x x_2$ $a_4 b_4 = \frac{1}{T_L}$ $a_5 = a_4 b_4 m_t t_1$
4	 $x = \sin[\omega(t - T_0)] 1(t - T_0)$		$a_1 b_1 = \frac{\omega}{m_t}$ $a_2 b_2 = \frac{\omega}{m_t}$ $a_3 b_3 = \frac{1}{T_L}$ $a_4 = a_3 b_3 m_t T_0$

to czas maszynowy $m_t \cdot t_1$ równy jest 0,62 s. Po zakończeniu liczenia ($b_s = 0$) liczniki są zerowane.

Przykład pomiaru czasu, w którym wartość funkcji F przekracza wartość stałą F_n , przedstawiony jest na rys.4. Integrator 1 całkuje stałą wartość w czasie $t_2 - t_1$, tzn. napięcie na jego wyjściu jest proporcjonalne do czasu $\Delta t = t_2 - t_1$. Integrator 2 całkuje w tym samym czasie różnicę $F - F_n$ i na jego wyjściu otrzymuje się napięcie proporcjonalne do pola zakreskowanego na rys.4b.



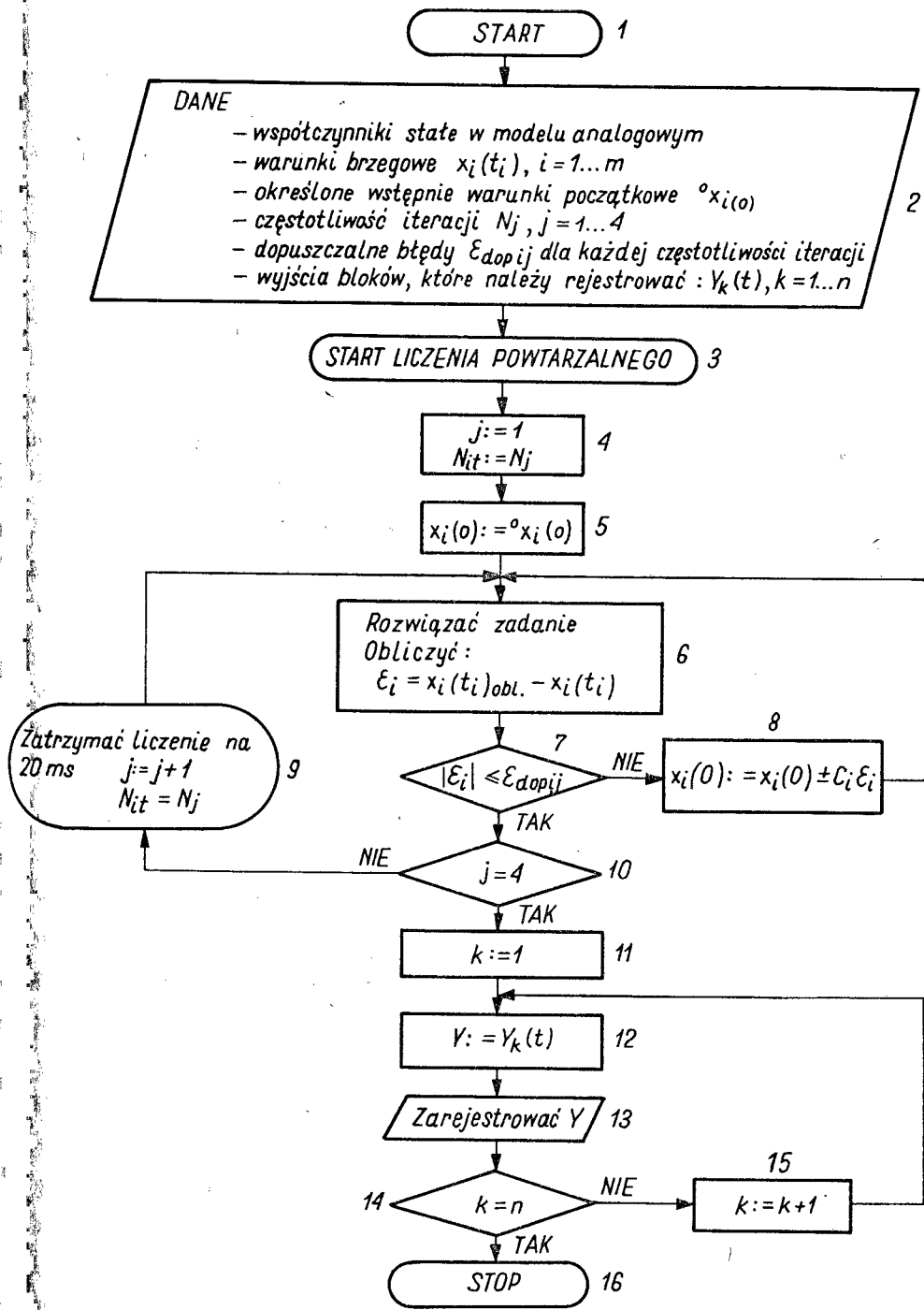
Rys.4.

Kilka przykładów sterowania logiki krosowej do odwzorowywania spotykanych w praktyce funkcji wymuszających przedstawiono w tabelicy 4.

3.3. Automatyzacja obliczeń

3.3.1. Uwagi ogólne

Pod pojęciem "automatyzacji obliczeń" rozumiemy tutaj nie tylko stosowanie logiki równoległej maszyny do rozwiązywania zadań wymagających liczenia iteracyjnego, bądź wykorzystywania różnych procedur optymalizacyjnych, lecz również automatyczną zmianę struktury badanego modelu dokonywaną z krosu cyfrowego lub z klawiatury.



Rys.5

Przykłady wykorzystywania logiki w powyższych przypadkach zostały podane w dalszej części artykułu. Na rys.5 przedstawiono sieć działań algorytmu rozwiązywania równania różniczkowego zwyczajnego z m warunkami brzegowymi przy stosowaniu procedury iteracyjnej. Zadanie polega na znalezieniu takich warunków początkowych $x_1(0)$, przy których zostaną spełnione z wymaganą dokładnością warunki brzegowe $x_i(t_i)$, i następnie zarejestrowaniu przebiegów w funkcji czasu.

Przewidywane jest liczenie przy czterech różnych częstotliwościach iteracji ($N_{it} = N_j$, $j = 1, 2, 3, 4$). Częstotliwość najniższa występuje przy $j = 4$, i z taką częstotliwością rejestrowane są przebiegi. Uznając, że dla zarejestrowania przebiegu wystarczy czas ok. 6 s, możemy przyjąć $N_4 = 0,1$ Hz. Zmiana j o 1 równoważna jest dziesięciokrotnej zmianie częstotliwości iteracji, tak więc $N_3 = 1$ Hz, $N_2 = 10$ Hz, $N_1 = 100$ Hz. Dokładność liczenia zależy od częstotliwości iteracji i jest najmniejsza przy częstotliwości największej. Dlatego dla każdej częstotliwości określone są błędy dopuszczalne $\epsilon_{dop.ij}$ znajdowania warunków brzegowych $x_i(t_i)$.

Zmiana częstotliwości iteracji równoważna jest zmianie współczynnika skali czasu w całym modelu, ponieważ przebiegi zmiennych na przykład przy częstotliwości N_2 są identyczne jak przy częstotliwości N_1 , jedynie czas ich trwania jest dziesięciokrotnie dłuższy; odpowiada to dziesięciokrotnemu zwiększeniu współczynnika skali czasu przy N_2 w porównaniu z N_1 .

Sens działania procedury iteracyjnej jest następujący: warunki początkowe zmiennych, przy których otrzymuje się żądane warunki brzegowe, określane są zgrubnie (z dokładnością kilku procent) przy najwyższej częstotliwości liczenia N_1 . Przy częstotliwości niższej N_2 znalezione wcześniej warunki początkowe są korygowane w kierunku ich dokładniejszego określenia. Najdokładniej określa się warunki początkowe przy częstotliwości N_4 (z dokładnością wynoszącą ułamek procenta) i przy tej częstotliwości następuje rejestracja wyników. Rozwiązywanie zadania ma, zgodnie z siecią działań, następujący przebieg.

Po ustawieniu potencjometrów odpowiadających współczynnikom stałym w modelu, wstępnym warunkom początkowym $x_1(0)$, żądanym warunkom brzegowym $x_i(t_i)$ oraz dopuszczalnym błędom liczenia $\epsilon_{dop.ij}$ (blok 2) uruchamiane

jest liczenie powtarzalne przy najwyższej częstotliwości N_1 . Równanie różniczkowe jest rozwiązywane przy warunkach początkowych $^0x_i(0)$. W chwilach t_i ($0 < t_i < T_L$) zostają zapamiętane wartości funkcji $x_i(t_i)$ obl. i po zakończeniu liczenia w tym cyklu (tzn. w czasie T_s) porównywane z danymi warunkami brzegowymi $x_i(t_i)$. W efekcie tego obliczane są błędy \mathcal{E}_i (blok 6). Wartości bezwzględne obliczonych błędów $|\mathcal{E}_i|$ porównywane są następnie z wartościami dopuszczalnymi błędów $\mathcal{E}_{dop. i1}$ dla danej częstotliwości iteracji N_1 (blok 7). Jeżeli którykolwiek z błędów obliczonych przekracza odpowiadający mu błąd dopuszczalny, wówczas następuje korekcja warunków początkowych $x_i(0)$ o wartość $C_i \mathcal{E}_i$ (blok 8). We wzorze (blok 8) znak plus obowiązuje w przypadku, gdy zwiększenie warunku początkowego danej zmiennej powoduje obniżenie wartości brzegowej tej zmiennej, znak minus natomiast w przypadku przeciwnym. W maszynie WAT 1001 wartości $C_i \mathcal{E}_i$ obliczane są zwykle jako proporcjonalne do całki z błędów w czasie $0,2 T_c$ wg poniższego wzoru:

$$C_i \mathcal{E}_i = \frac{\gamma_i}{T_L} \cdot 0,2 \cdot T_c \cdot \mathcal{E}_i$$

Współczynnik γ_i dobierany jest zwykle przy próbnym uruchomieniu modelu w taki sposób, by proces iteracyjny był szybko zbieżny. Po upływie czasu $t = T_c$ następuje ponowne rozwiązywanie zadania w cyklu następnym, przy nowych warunkach początkowych. Jeżeli wartości bezwzględne wszystkich błędów obliczanych w danym cyklu są mniejsze od odpowiadających im wartości dopuszczalnych, wówczas następuje zatrzymanie liczenia, dziesięciokrotna zmiana skali czasu (blok 9) i ponowne uruchomienie liczenia, zgodnie z procedurą opisaną wyżej (blok 6), lecz przy dziesięciokrotnie mniejszej częstotliwości iteracji, przy mniejszych wartościach dopuszczalnych błędów i przy takich warunkach początkowych, jakie istniały w ostatnim cyklu przed zmianą skali czasu. Jeżeli przy częstotliwości N_4 błędy obliczone nie przekraczają wartości błędów dopuszczalnych, wówczas na wejście rejestratora podawany jest pierwszy z przebiegów podlegających rejestracji (blok 12), a następnie przy warunkach początkowych z ostatniego cyklu iteracyjnego jest uruchamiany następny cykl z jednoczesnym wyzwoleniem podstawy czasu rejestratora. Po czasie liczenia T_L następuje podłączenie do wejścia rejestratora następnego przebiegu i zareje-

strowanie go w następnym cyklu. Po wykonaniu programu rejestracji ($k = n$) następuje przełączenie maszyny w stan STOP.

Rozwiązanie zadania o omówionej wyżej sieci działań można zrealizować w oparciu o schemat maszynowy przedstawiony na rys.6. Na schemacie układ I symbolizuje model analogowy badanego równania różniczkowego, a na wyjściu integratora jest jedna ze zmiennych w modelu, dla której należy znaleźć taki warunek początkowy, by została osiągnięta zadana wartość brzegowa.

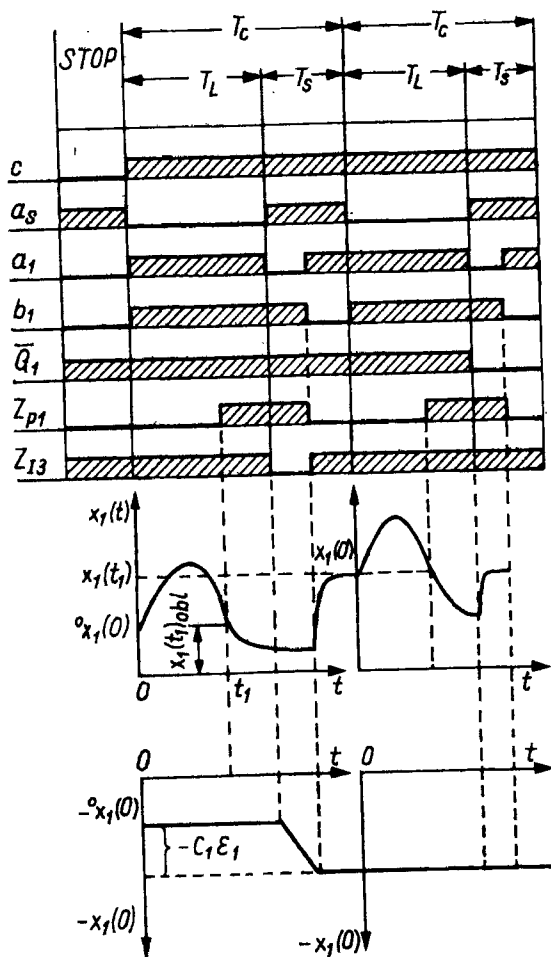
Logika krosowa wykorzystywana jest do realizacji następujących zadań:

- a) określania czasów t_i (układ III - zasada działania została omówiona w pkt.3.2.),
- b) liczenia błędów ξ_i oraz korygowania warunków początkowych $x_i(0)$ (układ II - ilość układów w modelu równa jest liczbie warunków brzegowych),
- c) porównywania błędów ξ_i z błędami dopuszczalnymi (układ IV - ilość układów równa liczbie warunków brzegowych),
- d) automatycznej zmiany skali czasu (układ V - jeden układ w całym modelu),
- e) rejestracji wyników (układ VI - jeden układ w całym modelu).

3.3.2. Obwód iteracyjny

Jeden ze sposobów realizacji obwodu iteracyjnego poszukiwania warunku początkowego przy danym warunku brzegowym przedstawiony jest na rys.6 w postaci układu II. Przebiegi sterujących sygnałów logicznych przedstawiono na rys.7. W celu zwiększenia przejrzystości rysunku pominięto w symbolach zmiennych współczynniki skal amplitud i czasu.

W stanie STOP maszyny do wejścia warunku początkowego integratora 1 podłączone jest napięcie ustawione potencjometrem a_2 odpowiadające wartości ${}^0x_1(0)$. Po rozpoczęciu liczenia w chwili t_1 sygnał Z_{p1} zmienia swoją wartość z 0 na 1 przełączając blok pamięci 1 w stan pamiętania. Sygnał analogowy na wyjściu pamięci równy jest różnicy pomiędzy wartością obliczoną $x_1(t_1)$ obł. i wartością $x_1(t_1)$ ustawioną potencjometrem a_3 . W ten sposób otrzymuje się błąd ξ_1 . W czasie gdy $a_1 = 0$ ($Z_{I3} = 0$), integrator 3 zaczyna całkować błąd ξ_1 i po zakończeniu całkowania ($a_1 = 1$) na jego wyjściu ustali się wartość proporcjonalna do $({}^0x_1(0) - C_1 \xi_1)$ z uwzględnieniem znaku błędu. Będzie to wartość nowego warunku początkowego $x_1(0)$ dla integratora 1 obowiązująca w następnym cyklu liczenia.



Rys.7

Integrator 3 nie będzie przełączony w stan liczenia przy $a_1 = 0$, jeżeli sygnał \bar{Q}_1 będzie równy 0. Dzieje się tak wówczas, kiedy odbywa się zmiana skali czasu lub rejestracja wyników obliczeń. Wtedy na jego wyjściu utrzymuje się napięcie z okresu po ostatniej korekcji warunku początkowego.

3.3.3. Porównanie błędu obliczonego z błędem dopuszczalnym

Porównanie błędu z jakim została znaleziona w danym cyklu iteracyjnym wartość brzegowa funkcji z błędem dopuszczalnym dla danej częstotliwości iteracji odbywa się przy pomocy komparatora K1 w układzie IV (rys.6).

Do jednego wejścia komparatora K1 podłączony jest sygnał odpowiadający ujemnej wartości bezwzględnej błędu \mathcal{E}_1 . Do drugiego wejścia podłączony jest sygnał odpowiadający dopuszczalnej wartości błędu przy danej częstotliwości liczenia powtarzalnego. Dla częstotliwości iteracji N_1 sygnały A i B równe są 0 i do wejścia komparatora podłączony jest za pomocą przełącznika PCA 1 potencjometr a_6 z ustawioną wartością błędu dopuszczalnego $\mathcal{E}_{\text{dop.11}}$. Przy częstotliwości N_2 $A = 1$, $B = 0$ i do komparatora podłączony zostaje potencjometr a_7 z ustawioną wartością $\mathcal{E}_{\text{dop.12}}$ itd. W chwili, gdy wartość bezwzględna błędu \mathcal{E}_1 jest mniejsza od wartości błędu dopuszczalnego, sygnał logiczny na wyjściu komparatora przyjmuje wartość 1 i powoduje odpowiednie działanie układów V i VI.

3.3.4. Automatyczna zmiana skali czasu

Zmiana skali czasu następuje z chwilą, gdy warunki brzegowe zostały spełnione z błędami mniejszymi od dopuszczalnych. Proces zmiany skali, realizowany przez układ V (rys. 6), rozpoczyna się w momencie, gdy: $a_1 = 0$, $\prod_{i=1}^m k_i = 1$ i $\bar{Q}8 = 1$. Wówczas sygnał N5 zmienia się z 1 na 0 ustawiając $Q1 = 1$, w wyniku czego sygnał N7 zmienia się również z 1 na 0. Ta ostatnia zmiana powoduje zatrzymanie liczenia (sygnał $\bar{Q}2$), natomiast tylne zbocze Q2 popływie 10 ms od momentu zatrzymania liczenia zmienia stan przerzutnika 4 (ewentualnie również przerzutnika 5) oraz wyzwala 10 - milisekundowy impuls jednokowy Q6, którego tylne zbocze uruchamia dalsze liczenie. Sygnały Q4 i Q5 doprowadzone są do wejść A i B centralnego układu sterowania.

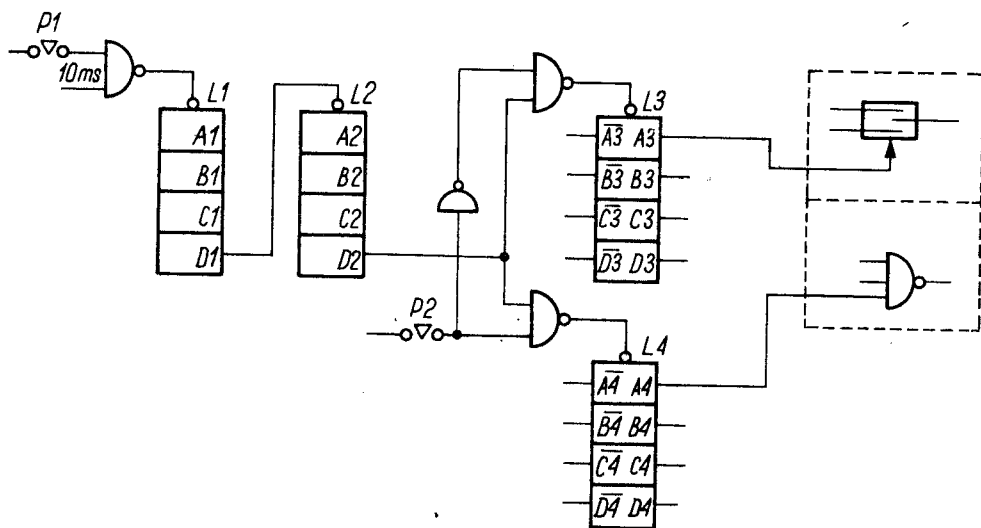
W stanie STOP maszyny $Q4 = 0$ i $Q5 = 0$; w obwodach sprzężeń zwrotnych integratorów włączone są pojemności 1 nF. Po pierwszej zmianie skali czasu $Q4 = 1$, $Q5 = 0$; powoduje to włączenie w obwody sprzężeń zwrotnych integratorów pojemności 10 nF itd.

Zdarza się czasem, że w modelu analogowym występują integratory wymagające ustawienia na nich wzmocnienia o przynajmniej rząd większego od wzmocnień w pozostałych integratorach. Pojemności w obwodach sprzężeń zwrotnych takich integratorów muszą więc być o rząd mniejsze niż w pozostałych. W takich przypadkach zmianie ulega sposób połączeń przerzutników 4 i 5 co zostało przedstawione na rys. 8. Większość integratorów rozpoczyna wówczas liczenie z pojemnościami 10 nF, natomiast integratory sterowane sygnałami $\bar{X}_A \bar{X}_B$ z pojem-

lenie podstawy czasu rejestratora i opuszczenie piórka. Po zakończeniu rejestracji X_1 sygnał N11 powoduje podłączenie do wejścia rejestratora przebiegu X_2 , który w następnym cyklu zostaje zarejestrowany w sposób opisany. Po wyczerpaniu programu rejestracji przy $C1 = 1$ sygnał N14 powoduje przełączenie maszyny w stan STOP.

3.3.6. Zmiany struktury modelu

W pracach badawczych często zachodzi potrzeba zidentyfikowania modelu, czyli znalezienia jego najlepszej struktury. Można wcześniej przyjąć kilka wariantów struktury modelu i kolejno badać je za pomocą maszyny analogowej. W celu uniknięcia czasochłonnych przełączeń na krosach przy zmianach struktury można do tego celu wykorzystać przełączniki PCA oraz elementy logiki krosowej. Przykładowy układ przedstawiony jest na rys.9.



Rys.9

Przy $P1 = 1$ do wejścia licznika L1 doprowadzane są impulsy z timera o okresie 10 ms. Na wyjściu D1 powstają impulsy co 100 ms, natomiast na wyjściu D2 co 1 s. Zmiany ustawienia licznika L3 (przy $P2 = 0$) i L4 (przy $P2 = 1$) następują więc co 1 s. Stan liczników L3 i L4 wyświetlany jest za pomocą lampek sygnalizacyjnych; wyjścia ich mogą sterować bądź przełącznikami PCA, dokonując zmian w połączeniach członów analogowych w modelu, bądź

układami logicznymi. Ilość różnych wariantów w przedstawionym układzie wynosi 16. Można je zwiększyć stosując odpowiednie dekodery.

4. Zakończenie

Omówione w artykule zastosowania równoległej logiki w maszynie WAT 1001 stanowią jedynie niewielki fragment możliwości wykorzystywania jej w procesie obliczeń. W każdym nowym zadaniu mogą wyniknąć potrzeby stosowania specjalnych układów lub specjalnych procedur obliczeniowych. Od inwencji programisty i możliwości maszyny zależy, czy zadania te zostaną w sposób zadawalający rozwiązane. Niektóre możliwości maszyny zostały przedstawione w niniejszym artykule.

WYKAZ WAŻNIEJSZYCH OZNACZEŃ

- | | | | |
|--------------------|---|---|---|
| s, z | - | wejścia sygnałów sterujących rodzajem pracy integratorów, sumatorów sterowanych i bloków pamięci. | |
| A, B | } | - wejścia (wyjścia) sygnałów sterujących skalą czasu | |
| \bar{A}, \bar{B} | | | |
| a_s | } | - standardowe sygnały logiczne | |
| b_s | | | |
| a_1 | | | |
| b_1 | | | |
| a_2 | | | |
| b_2 | | | |
| c | | | |
| LJ | } | - liczenie jednocykłowe | |
| LP | | - liczenie powtarzalne | |
| LD | | - licz dalej | rozkazy sterujące operacjami; |
| ZL | | - zatrzymanie liczenia | wejścia sygnałów sterujących operacjami |
| T_c | - | czas cyklu powtarzalnego maszyny | |
| T_L | - | czas liczenia | |
| T_s | - | czas spoczynku | |

- T_1 - czas programujący przebieg sygnałów a_1, b_1
 - T_2 - czas programujący przebieg sygnałów a_2, b_2
 - ΔT_2 - przesunięcie T_2 (scan).
 - KLK - karta logiki krosowej
 - L - licznik dwójkowo-dziesiętny
 - PCA - przełącznik cyfrowo-analogowy
 - P - przełącznik krosu cyfrowego
 - K - komparator; sygnał wyjściowy komparatora
 - BDWB - blok dokładnej wartości bezwzględnej
 - BOI - blok ogranicznika - inwertora
 - JM - jednostka maszynowa
 - x, F - zmienne fizyczne
 - t - czas rzeczywisty
 - m_t - współczynnik skali czasu
 - m_x - współczynnik skali amplitudy zmiennej x
 - m_x^x } - zmienne maszynowe wyrażone w jednostkach maszynowych
 - m_F^F }
 - a_i, b_i - współczynniki maszynowe
- gdzie $i = 1, 2, \dots$
- N_1, N_2, \dots - sygnały wyjściowe NAND-ów
 - A_1, A_2, \dots } - sygnały wyjściowe; wyjścia liczników L1, L2.
 - B_1, B_2, \dots }
 - \dots
 - $i = 1, 2, \dots, m$ - wskaźnik bieżący
 - wskaźnik zmiennej, dla której dany jest warunek brzegowy
 - m - liczba warunków brzegowych
 - $j = 1, \dots, 4$ - wskaźnik określający częstotliwość liczenia powtarzalnego
 - k - numer kolejnego cyklu
 - $N_{it} = N_j$ - częstotliwość iteracji równa częstotliwości liczenia powtarzalnego
 - ϵ - błąd
 - ϵ_{dopij} - błąd dopuszczalny określenia warunku brzegowego $x_i(t_i)$ przy częstotliwości liczenia powtarzalnego N_j

LITERATURA

- [1] Logika krosowa. Oprac. WAT, 1971, bibl. OAK-LOM.
- [2] Przełączniki analogowo-cyfrowe i cyfrowo-analogowe. Oprac. WAT, 1970 (dokumentacja).
- [3] Analogowo-hybrydowa maszyna WAT 1001. Oprac. WAT 1971 (dokumentacja).
- [4] Kapica J.: Organizacja szybkich komputerów hybrydowych. Rozprawa doktorska. Warszawa 1973.