

Zastosowanie struktur PLD w cyfrowych układach przetwarzania sygnałów

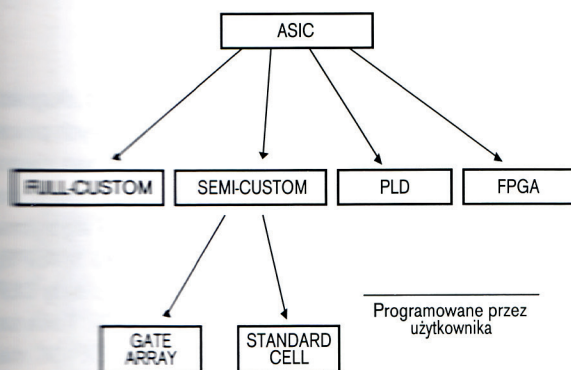
dr inż. Witold Miluski
 dr hab. inż. Jan Pietrasieński
 dr inż. Maciej Podciechowski
 Wojskowa Akademia Techniczna

Postęp technologii mikroelektronicznej zapoczątkował zmiany w technice i projektowaniu sprzętu elektronicznego. Projektowanie systemów cyfrowych może być oparte na standardowych elementach wielkiej skali integracji, uzupełnionych elementami małej i średniej skali integracji. Nowa filozofia stosowania układów scalonych ASIC daje możliwość opracowania i produkcji specjalizowanych układów realizujących funkcje złożonych systemów przetwarzania sygnałów cyfrowych. Przedstawiono możliwości wykorzystania takich struktur w nowoczesnych systemach przetwarzania informacji. Zaprezentowano najnowsze osiągnięcia w tej dziedzinie.

Układy specjalizowane ASIC (Application Specific Integrated Circuit) – układy produkowane na zamówienie klienta obejmują programowalne układy logiczne PLD (Programmable Logic Devices), w których końcową strukturę połączeń może zaprojektować i realizować użytkownik, bez pomocy producenta. Układy te stanowią obecnie podstawę syntezy złożonych algorytmów w cyfrowych systemach przetwarzania informacji. Współczesna technika oparta na cyfrowych algorytmach przetwarzania informacji wymaga specjalizowanych układów o wysokich właściwościach elektryczno-mechanicznych. Opracowane „poprzednio” metody przetwarzania informacji, zaliczane do grupy nierealizowalnych fizycznie, dzięki PLD stały się obecnie algorytmami niejednokrotnie jedynymi przy rozwiązywaniu złożonych zadań sprzętowych.

WYBRANE STRUKTURY PLD

Podstawowym elementem konstrukcyjnym programowalnych modułów logicznych jest matryca tranzystorów, którymi są – w zależności od technologii wykonania – tranzystory bipolarne TTL lub typu MOS. W obu przypadkach (za wyjątkiem układów FPGA, które są typu komórkowego, a nie matrycowego) tranzystory te są ułożone w formie dwóch matryc: matrycy AND oraz matrycy OR. Przystosowanie takiej struktury do realizacji sieci logicznej o ustalonej strukturze polega na przerwaniu (przepalaniu) odpowiednich połączeń (w przypadku układów programowalnych) lub na wprowadzeniu ładunku w obszar dielektryka bramki tranzystora MOS (w przypadku układów reprogramowalnych). Podstawowy podział specjalizowanych układów ASIC przedstawiono na rys.1



Rys 1. Podział układów ASIC

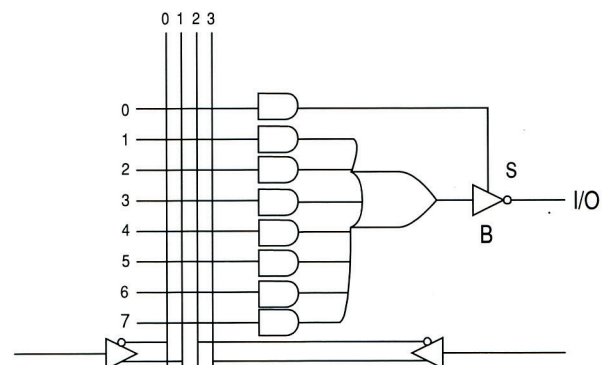
Podstawowym kryterium podziału układów PLD jest „programowalność” matryc AND i OR. Klasyfikację tę przedstawiono w tablicy.

Zasadnicze struktury kombinacyjne PLD

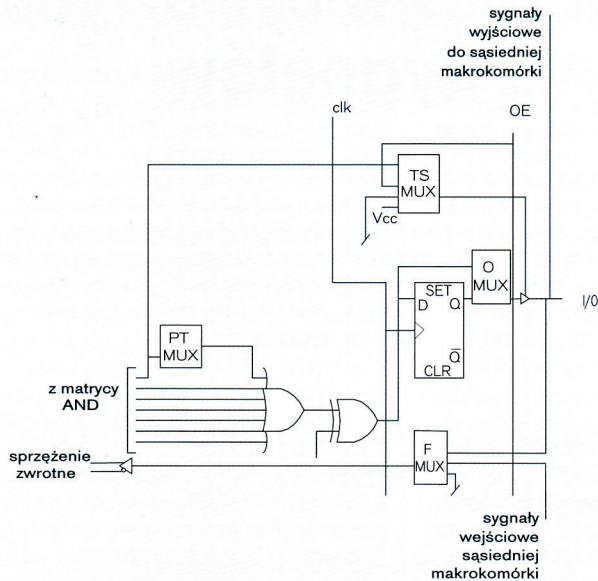
Matryca	PAL	PLA	PLE
AND	programowalna	programowalna	nieprogramowalna
OR	nieprogramowalna	programowalna	programowalna
PAL (Programmable Array Logic) programowalna matryca połączeń; PLA (Programmable Logic Array) programowalna matryca stanów; PLE (Programmable Logic Element) matryca programowalnych elementów – szybkie pamięci PROM.			

Do najbardziej (z punktu widzenia zastosowań technicznych) rozpowszechnionych układów PLD należą układy typu PAL, których zasadnicza budowa (rys. 2) oparta jest na programowalnej matrycy połączeń.

W układach tych programowalne linie iloczynu są na stałe dołączone do wejść bramek OR (nieprogramowalna matryca OR). Linie pionowe reprezentują wejścia i sprzężenia zwrotne (proste i zanegowane), linie poziome reprezentują iloczyny. Do jednej bramki OR może być dołączonych 2, 4 lub 8 linii iloczynu. Programowanie iloczynu (bramki AND) polega na przerwaniu połączeń między linią wejściową



Rys. 2. Struktura PAL



Rys. 3. Budowa makrokomórki układu GAL 20V8

wą x (prostą lub zanegowaną) a linią iloczynu. W efekcie wejściem bramki AND może być x , stała 0 lub 1. Większość modułów PAL jest wyposażona w sprzężenie zwrotne. Wyjściowy element trójstanowy B sterowany jest linią iloczynu i umożliwia zaprogramowanie wyprowadzenia zewnętrznego I/O na pracę w trybie wejścia I lub wyjścia O.

Bardziej złożone struktury PAL zawierają makrokomórki OLMC (Output Logic Macro Cell) z programowanym rejestrem (rys. 3). Komórka OLMC przyjmuje z zewnątrz robocze sygnały logiczne z linii iloczynu z matrycy AND, sygnał sprzężenia zwrotnego (lub wejścia) oraz sygnał wejściowy sąsiedniej makrokomórki, a wytwarza sygnał sprzężenia zwrotnego oraz sygnał wyjściowy. Ponadto, komórka ta jest sterowana sygnałem zegarowym „clk” i blokowania OE.

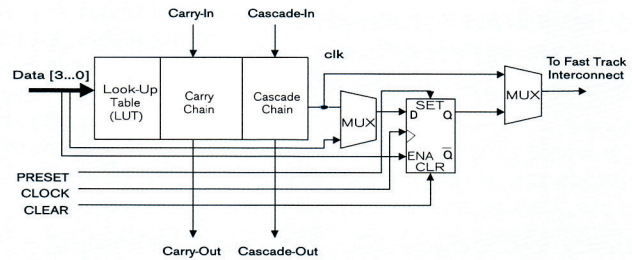
Do najbardziej rozbudowanych układów PLD należą układy typu FLEX 10KA firmy ALTERA, wykonane w technologii SRAM 0,35 mikrona. Zasadniczym elementem struktur tych układów jest Logic Element, którego schemat strukturalny przedstawiono na rys. 4.

Logic Elementy połączone ze sobą lokalnymi sieciami połączeń tworzą Logic Array Block (LAB), zaś LAB-y połączone metalizowanymi sieciami, wchodzi w skład Logic Array. Część programowalnej struktury zarezerwowana jest do implementowania funkcji specjalnych, bazujących na szybkich pamięciach SRAM.

Struktura tych układów pozwala na uzyskanie pojemności logicznej dochodzącej do 300 tys. bramek oraz 5392 przerzutników. Możliwe jest budowanie pamięci typu RAM, ROM bądź FIFO o pojemności do 24576 bit i o dowolnej organizacji.

Możliwości sprzętowe tych układów ukazuje porównanie ich z nowym procesorem Pentium Pro (P7). Procesor (P7) zbudowany jest, w przybliżeniu, z 6,5 mln tranzystorów, natomiast FLEX10K100A – z 15 mln.

Tak duża pojemność logicznej przestrzeni programowej daje dobrą podstawę do realizacji najbardziej zawiłych algorytmów cyfrowego przetwarzania sygnałów.



Rys. 4. Budowa Logic Elementu w strukturze FLEX10KA

REALIZACJA DSP W STRUKTURACH PLD

Miarą cyfrowej obróbki danych jest możliwość przetwarzania próbek sygnałów według zadanego algorytmu w realnie skończonym czasie. Czas przetwarzania jest uzależniony przede wszystkim od wewnętrznej szybkości układów oraz złożoności algorytmu obróbki. Przetwarzanie sygnałów cyfrowych oparte jest na estymacji pewnych parametrów obiektów w przestrzeni trójwymiarowej w oparciu o sygnały zadane lub zmienne. Metody estymacji parametrów, będących zmiennymi losowymi o rozkładach uzależnionych często od funkcji zakłóceń zewnętrznych, oparte są na probabilistycznych metodach selekcji informacji, wykorzystujących złożone filtry cyfrowe o zmiennych współczynnikach.

Sposób realizacji filtrów cyfrowych K punktowych ze skończoną odpowiedzią oparty jest na sprzętowej realizacji równania:

$$y(n) = \sum_{n=0}^K h(n) \cdot x(n)$$

w którym:

- $x(n)$ – wektor sygnałów wejściowych,
- $h(n)$ – wektor współczynników,
- $y(n)$ – wektor odpowiedzi.

Jakość cyfrowej filtracji sygnałów uzależniona jest od „długości” filtru a także wartości współczynników $h(n)$. W typowych procesorach sygnałowych realizowane są max 32-punktowe równoległe algorytmy filtracji o stałych współczynnikach (banki pamięci) przełączanych statycznie podczas realizacji algorytmu. Efektywna szybkość takich układów nie przekracza 3(MSPS). Znacznie lepsze parametry mają specjalizowane układy DSP (np. HSP firmy HARRIS) o szybkości do 30(MSPS). Takie same algorytmy filtracji wykonywane w układach FLEX 10K mają szybkość 98(MSPS). Zwiększanie „długości” filtrów cyfrowych możliwe jest jedynie przez zastosowanie szeregowych algorytmów przetwarzania, dzięki którym zmniejszany jest na-

kład sprzętu. Zmniejsza to jednak efektywną szybkość działania takich algorytmów. Wykonanie takiego 64-punktowego filtra w strukturach PLD FLEX 10k100 może zapewnić szybkość przetwarzania na poziomie 8(MSPS).

Tradycyjny sposób filtracji sygnałów oparty na doborze współczynników filtra, bez optymalizacji struktury sprzętowej dla pewnej klasy przetwarzanych sygnałów, ogranicza wykorzystanie takich rozwiązań. O wiele lepsze wyniki uzyskuje się stosując sprzętową optymalizację cyfrowej filtracji. Wykorzystanie standardowych układów do cyfrowej obróbki sygnałów zmusza konstruktorów do tworzenia projektów mało elastycznych technicznie bądź bardzo rozbudowanych. Sięgnięcie po struktury PLD wzbogaca projekt w dynamizm stosowanych rozwiązań układowych, ograniczony jedynie zasobem wiedzy i wymaganiami technicznymi konstruktorów.

Równoczesna możliwość cyfrowej filtracji, wykonywania operacji arytmetycznych stało- i zmiennoprzecinkowych, kontrolowania i regulacji stanu wielu układów na zewnątrz struktur PLD, umożliwia z pozytywnym skutkiem, wykorzystywanie ich do potrzeb współczesnej techniki.

ZMIANA KONFIGURACJI WEWNĘTRZNEJ – KOMUNIKACJA Z OTOCZENIEM

Jedną z najbardziej przydatnych funkcji omawianych układów PLD jest możliwość zmiany wewnętrznej konfiguracji (projektu) w czasie pracy całego urządzenia.

Realizacja tej funkcji możliwa jest za pomocą specjalnego interfejsu ICR (In-circuit reconfigurability) z zewnętrznej pamięci EPROM lub sterownika procesorowego w czasie 200 ms. Zmiana konfiguracji wielu układów jednocześnie oraz testowanie ich poprawności możliwe jest przez port JTAG (Joint Test Action Group). Układy PLD firmy Altera mają możliwość pracy z napięciem zasilania 3,3 V oraz kontrolowanym czasem propagacji wewnątrz struktury. Umożliwia to konstruowanie urządzeń o niskim poborze mocy i szybkości przetwarzania danych na poziomie 264 Mbit/s.

BIBLIOGRAFIA:

- [1] Łuba T., Markowski M., Zbierzowski B.: Komputerowe projektowanie układów cyfrowych w strukturach PLD. WKŁ 1993
- [2] Lattice Semiconductor Corporation: Lattis Data Book 1995
- [3] Lattice Semiconductor Corporation: Lattis Handbook 1995
- [4] Altera Corporation 2610 Orchard Parkway: Flex 8000, 10k100 Handbook 1995
- [5] Altera Corporation 2610 Orchard Parkway: Applications Handbook 1992
- [6] Altera Corporation 2610 Orchard Parkway: Data Book 1996