

SYSTEM WIELOPROCESOROWY DO STEROWANIA URZĄDZEŃ W CZASIE RZECZYWISTYM WYKORZYSTUJĄCY ALGORYTMY ANALIZY OBRAZÓW POCHODZĄCYCH Z KAMERY WIZYJNEJ O ARCHITEKTURZE OPTYMALIZOWANEJ ZE WZGLĘDU NA PARAMETR SZYBKOŚCI PRZETWARZANIA

GRANT nr 8 8518 92 03:

dr inż. Kazimierz Wiatr
Instytut Elektroniki AGH

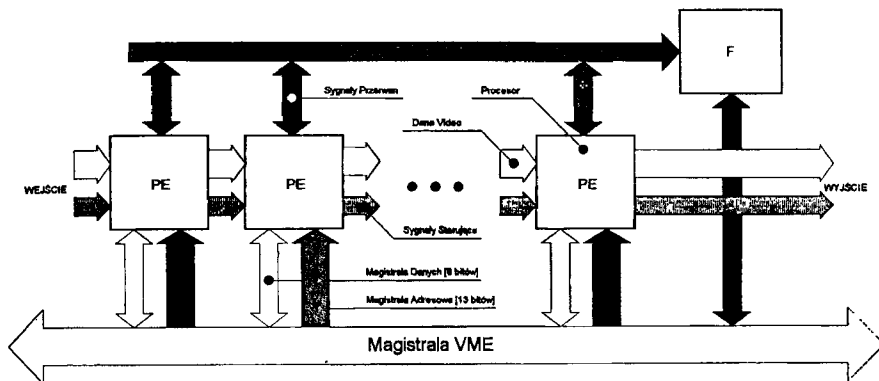
Projekt badawczy nr 8 8518 92 03 pod powyższym tytułem był realizowany w Instytucie Elektroniki AGH w Krakowie w okresie od 15 lipca 1992 roku do 31 grudnia 1993 roku pod kierownictwem autora niniejszego opracowania. Przedmiotem projektu badawczego było opracowanie koncepcji i realizacja sprzętowa systemu wieloprocessorowego realizującego algorytmy analizy obrazów pochodzących z kamery wizyjnej na potrzeby sterowania urządzeń w czasie rzeczywistym. Biorąc pod uwagę specyfikę i potrzeby systemu czasu rzeczywistego określono wymagania systemu wieloprocessorowego.

1. Architektura potokowa procesorów specjalizowanych.

Szczególną uwagę zwrócono na szybką realizację obróbki wstępnej sygnału video w architekturze potokowej. Jest to architektura ściśle sprzężona, której działanie opiera się na przepływie strumienia danych (w tym przypadku danych video) przez odpowiednio uporządkowany szereg elementów przetwarzających (potok), z których każdy wykonuje przypisaną do siebie operację. Rozwiązanie takie pozwala uniknąć dużej liczby przesłań pamięć-procesor-pamięć danych video i zwiększa w ten sposób szybkość przetwarzania. W miarę pojawiania się danych video z kamery, po przetworzeniu na postać cyfrową przez układ wejściowy i przetwornik A/C, można obliczać szereg funkcji związanych z obróbką wstępną obrazu. Przykładem funkcji, które można w ten sposób obliczać jest liczenie histogramu obrazu, jego binaryzacja, przekształcenie "look up table" oraz funkcje konwolucji. Potokowa obróbka sygnału video narzuca duże wymagania wobec procesora potokowego, który ma dokonać pełnej obróbki danych punktu (piksele) zanim nadejdzie kolejna porcja informacji z kamery wizyjnej (kolejny piksel). Czas jakim dysponuje procesor potokowy jest ściśle związany z częstotliwością próbkowania przetwornika A/C przyłączonego do wyjścia kamery analogowej. Wynika ona z czasu przetwarzania jednego obrazu przez kamerę i jego podziału na linie i piksele.

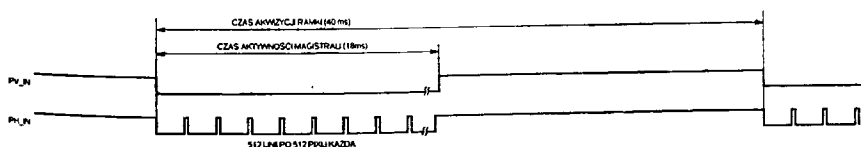
Opracowano architekturę potokową specjalizowanych procesorów sprzętowych, jako połączenie standaryzowanych modułów umieszczonych w płycie-matce (mother board). Płyta ta zapewnia doprowadzenie danych wejściowych i wyprowadzenie danych wyjściowych oraz zapewnia odpowiednie sygnały sterujące i synchronizujące pracę procesorów z możliwością dostępu do ich zasobów przez jednostkę centralną. Takie rozwiązanie z magistralą potokową umożliwia wykorzystywanie różnorodnych i niezależnie projektowanych modułów procesorowych. Każdy z nich będzie miał

możliwość fizycznej zmiany miejsca swojej pracy w potoku, dzięki czemu elastycznie będzie można kształtować algorytm obróbki sygnału video, dostosowując go do konkretnych warunków.



Rys. 1. Schemat blokowy potoku obróbczego.

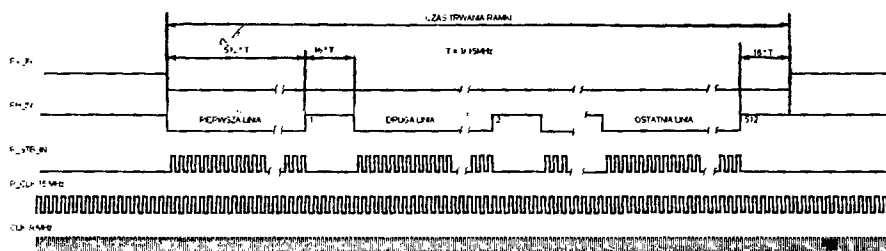
Sygnał video przesyłany jest w postaci ciągu próbek (przyjęto: 1 próbka = 1 piksel = 8 bitów) w następujących po sobie ramkach obrazowych. Na każdą ramkę składa się 512 linii po 512 pikseli w każdej z linii. Prędkość przepływu danych przez magistralę podczas obróbki pojedynczego obrazu wynosi około 30 MB/s. Tak duża przepustowość magistrali musiała zostać zapewniona ze względu na konieczność przyspieszonego przepływu danych po wcześniejszej zamianie uporządkowania obrazu z międzyliniowego (na wyjściu przetwornika A/C dołączonego do standardowej kamery TV) na kolejnoliniowe, wymagane dla operacji kontekstowych. Dla obróbki jednego, pełnego obrazu magistrala zajęta jest przez okres mniejszy niż połowa czasu trwania tego obrazu. Magistrala przeznaczona jest do obróbki danych video o rozdzielczości 8-bitów, zatem do każdego z modułów doprowadzona jest 8-bitowa wejściowa magistrala danych video (PD_IN0...7) i taka sama magistrala wyjściowa (PD_OUT0...7).



Rys. 2. Przepływ strumienia danych video.

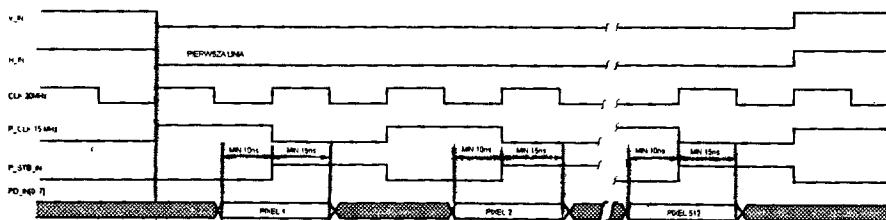
Do synchronizacji obrazu dla każdego modułu procesora służą sygnały wejściowe (PH_IN, PV_IN) wygaszania poziomego i pionowego oraz odpowiednio sygnały wyjściowe (PH_OUT, PV_OUT). Sygnały wyjściowe generowane są przez logikę sterującą każdego modułu z opóźnieniem, odpowiadającym zwłoce powstałej na skutek skończenie krótkiego czasu obróbki sygnału video przez dany procesor. Kolejne próbki

(piksele) wprowadzane są do modułu podczas narastającego zbocza sygnału *strobu* danych video (P_STB_IN). Na wyjściu modułu generowany jest odpowiadający mu sygnał wyjściowy (P_STB_OUT) z takim samym zastrzeżeniem, jak dla sygnałów wygaszania.



Rys.3. Format ramki.

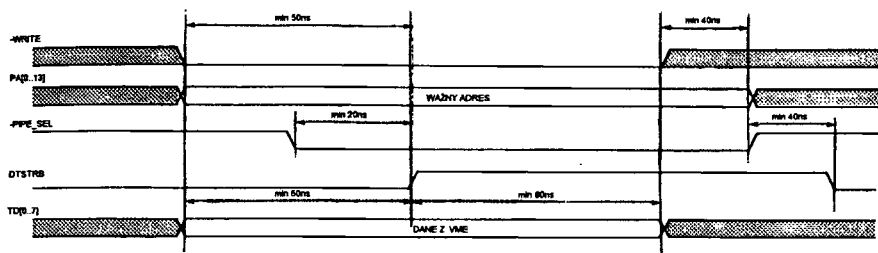
Dodatkowo do każdego z modułów doprowadzono w celu synchronizacji sygnał zegarowy 30 MHz (CLK) oraz pomocniczy sygnał zegarowy o dwukrotnie mniejszej częstotliwości (P_CLK), ułatwiający realizację niektórych uzależnień czasowych w poszczególnych modułach.



Rys. 4. Format linii.

Procesory pracujące w magistrali potokowej są dostępne z poziomu magistrali VME dla procesora nadrzędnego, sterującego pracą całego systemu. Cała przestrzeń adresowa architektury potoku zajmuje 16 KB. Lokacje te mogą być wybrane dla niektórych tylko trybów dostępu zgodnych ze specyfikacją VME (*standard supervisor, standard non-privileged, extended supervisor, extended non-privileged*). Do każdego z modułów doprowadzono 8-bitową magistralę danych (TD0..7) i 14-bitową magistralę adresową (PA0..13) oraz sygnał wyboru modułów potoku (PIPE_SEL). Moduły procesorów powinny posiadać możliwość relokowania swej przestrzeni adresowej w ramach 16KB przeznaczonych na cały potok. Dla zdefiniowania kierunku żądanej transmisji do wszystkich modułów doprowadzono sygnał strobu zapisu (-WRITE). Dodatkowo, w celu uproszczenia sekwencji potwierdzeń oraz zminimalizowania objętości logiki umieszczonej w poszczególnych modułach, zastosowano sygnał *strobu* danych magistrali VME (DTSTRB), którego narastające zbocze wyznacza moment zapisu/odczytu danych

transmitowanych przez tę magistralę. Tak standaryzowana komunikacja zapewnia możliwość wstępnej konfiguracji modułów potoku, dynamicznej zmiany tej konfiguracji oraz kontrolowania procesu obróbki danych w czasie rzeczywistym.



Rys. 5. Cykl zapisu danych z VME do modułu procesora potokowego.

Procesory pracujące w potoku zostały wyposażone w mechanizm zgłaszania przerwania poprzez magistralę VME do nadrzędnego procesora systemu. Mechanizm ten zapewniony jest przez logikę (F na rys. 1) stanowiącą część kontrolera potoku. Do dyspozycji procesorów potoku przeznaczone są 3 kanały przerwania. Dla każdego z nich przeznaczono oddzielną linię zezwalającą na zgłoszenie przerwania. Dodatkowo wprowadzono sygnał blokujący zgłaszanie wszystkich przerwania (-DIS_INT). Przed zgłoszeniem przerwania każdy moduł testuje stan linii zgłaszania przerwania (linie typu OC: -INT1, -INT2). W przypadku sygnalizacji przerwania z modułu o wyższym priorytecie zgłaszanie zostaje zablokowane wewnętrznie. W przeciwnym przypadku moduł zgłaszający przerwanie zakodowuje swój kanał (0..2) na liniach -INT1 i -INT2. Zgłaszane przerwania są przekodowywane na jeden z poziomów IRQ magistrali VME w zależności od ustawienia zewnętrznych przełączników. Każdy kanał przekodowywany jest na ten sam poziom przerwania VME. Przyjęty standard linii -INT0 i -INT1 rozwiązuje problem równoczesnego zgłoszenia przerwania w dwóch lub trzech kanałach, jednocześnie wprowadzając priorytet kanału o niższym numerze. Zaimplementowany mechanizm, wykorzystujący linie typu OC wraz z możliwością indywidualnego maskowania poszczególnych kanałów, zapewnia dużą elastyczność w celu optymalnego wykorzystania systemu przerwania. Na magistrali VME założono obsługę przerwania w trybie RORA (ang. *Release On Register Access*), tzn. moduł powinien wycofać zgłoszenie przerwania dopiero po odczytaniu przez VME jednego ze swoich rejestrów wewnętrznych. Wszystkie sygnały standardu magistrali potokowej wraz z zasilaniem zajmują 60-stykowe złącze typu DIP.

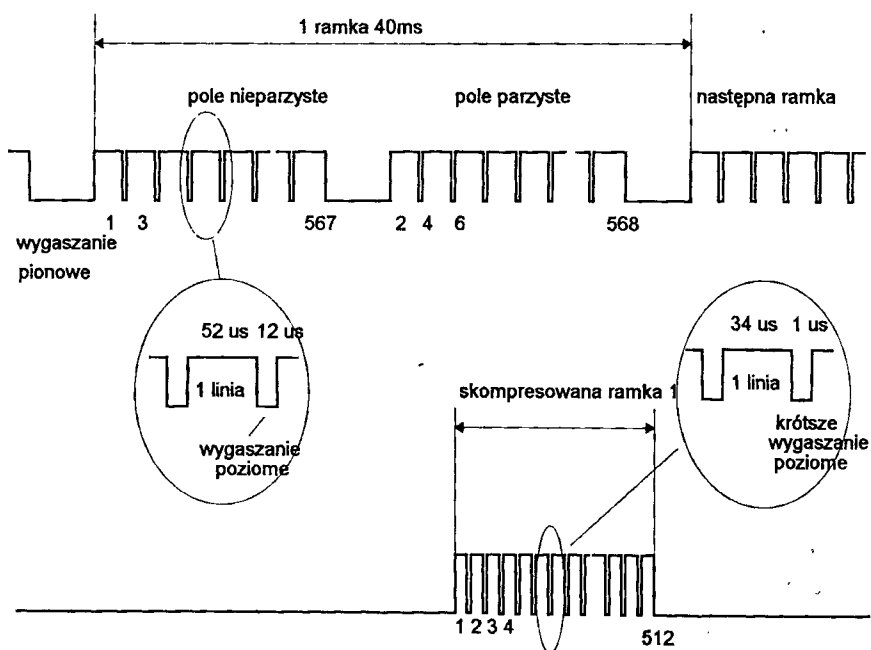
W toku realizacji projektu przyjęto, że w potoku będzie pracować nie więcej niż 8 modułów procesorowych. Wszystkie sygnały standardu magistrali potokowej są obsługiwane przez scalony kontroler potoku zrealizowany w układzie programowalnym FPGA firmy Xilinx (XC-4005-PG156-5), który obsługuje także translator sygnału video.

2. Dostosowanie sygnału video do potrzeb przetwarzania potokowego

Istotnym problemem związanym z obróbką potokową danych wizyjnych jest dostosowanie standardu sygnału kamery do potrzeb dalszych etapów obróbki

potokowej obrazu. Większość operacji wstępnego etapu przetwarzania to operacje kontekstowe. Realizacja takich obliczeń w architekturze potokowej powoduje konieczność jednoczesnej dostępności do 3 (lub więcej) kolejnych linii obrazu. Niestety typowe kamery wizyjne wysyłają analizowany obraz jako dwa półobrazy, przy czym pierwszy zawiera linie nieparzyste a drugi parzyste. Zastosowanie pamięci buforowej do akwizycji całego obrazu podlegającego następnie obróbce wnosi znaczne opóźnienie (40 ms).

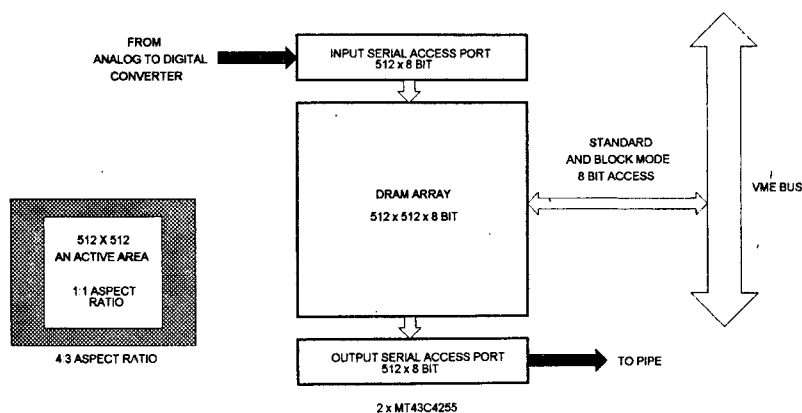
Opracowano metodę wplatania linii obrazu nieparzystego pomiędzy linie obrazu parzystego otrzymując strumień danych obrazowych dobrze dopasowanych do potrzeb przetwarzania potokowego. Rozwiązanie takie gwarantuje pełne zachowanie informacji i minimalne wnoszone opóźnienie (równe czasowi trwania jednej linii ok. 52 us) za cenę dwukrotnego zwiększenia częstotliwości przesyłanych danych. Opracowane rozwiązanie wymaga zastosowania tylko jednego bufora pamięci, ale z dwoma portami szeregowymi. Jeden z nich jest odpowiedzialny za wprowadzanie sygnału międzyliniowego natomiast drugi zajmuje się kolejnoliniowym wyprowadzaniem sygnału video do dalszej obróbki.



Rys. 6. Sposób konwersji standardu międzyliniowego na kolejnoliniowy.

Sposób pracy translatora standardu ilustruje rysunek 6. Schemat blokowy translatora dostosowującego sygnał ze standardowej kamery do potrzeb przetwarzania potokowego jest zaprezentowany na rysunku 7. Translator składa się z przetwornika A/C i układu bufora/translatora opartego o pamięć trójportową.

Pierwszy, wejściowy port szeregowy SAM1 (*serial access memory*) przyjmuje próbki z przetwornika zgodnie ze standardem międzyliniowym. Po wypełnieniu bufora SAM1 danymi z jednej linii przetwornika CCD, jednym cyklem zegarowym zawartość przepisywana jest do odpowiedniego n-tego wiersza macierzy DRAM, przy czym kolejne przepisanie zapisuje wiersz $n+2$. Podczas nieparzystego pola szeregowy port wyjściowy SAM2 nie pracuje. Natomiast po przyjęciu kilku linii z pola parzystego przez SAM1, port SAM2 zaczyna być przeładowywany z kolejnych wierszy macierzy DRAM. Dodatkowo macierz DRAM dostępna jest z magistrlą VME w trybie zwykłym i blokowym (*burst mode*).



Rys. 7. Schemat blokowy translatora.

Powyżej przedstawione rozwiązanie zostało praktycznie zrealizowane. Jako pamięci wieloportowe zastosowano układy scalonych dynamicznych pamięci trójporthowych (TPDRAM - Triple Port DRAM) MT43C4257-100 firmy MICRON. Jako przetwornik został użyty układ scalony AD9502 (*European PAL version*) firmy Analog Devices. Układ ten spełnia wymagania co do częstotliwości próbkowania, przetwarzania tylko składowej sygnału wizji oraz umożliwia akwizycję części obrazu dokładnie zdefiniowanej na etapie programowania układu AD9502. Całość interfejsu kontroluje programowalny układ logiczny XC-4005-PG156-5 (obsługując jednocześnie potok obróbczy).

3. Procesory hardware'owe

Zastosowane określenie "procesor hardware'owy" jest często używane do skrótowego nazywania dedykowanych procesorów sprzętowych do realizacji konkretnych funkcji związanych ze wstępną obróbką sygnału video. Dedykowana architektura wewnętrzna takich procesorów z jednej strony ogranicza pole ich zastosowań, z drugiej strony pozwala na pełne dostosowanie architektury wewnętrznej do rodzaju przeprowadzanych obliczeń i operacji oraz struktury przetwarzanych danych. Przykładem funkcji z zakresu wstępnej obróbki sygnału video realizowanych przez "procesory

hardware'owe" jest obliczanie histogramu, przekształcenie przekodowania (look-up-table), binaryzacja, filtracja medianowa itp.

Rolą procesora filtracji medianowej jest dokonanie dla każdego punktu obrazowego zestawienia i rosnącego uporządkowania pięciu wartości odpowiadających poziomom szarości danego punktu obrazowego oraz czterech jego bezpośrednich sąsiadów (w pionie i poziomie), a następnie podstawienie środkowej wartości tak uporządkowanej piątki jako nowej wartości danego punktu obrazowego. Procesor filtracji medianowej korzysta z linii opóźniającej.

Procesor filtracji logicznej dokonuje podstawienia wartości punktu obrazowego w zależności od wartości punktów sąsiednich. Jeżeli różnica wartości punktów sąsiednich przekracza zadany próg procesor pozostawia dotychczasową wartość punktu obrazowego. Gdy natomiast różnica ta nie jest przekroczona dokonuje podstawienia jednego z punktów sąsiednich. Procesor dokonuje obliczeń na obrazach tonowanych i binarnych. Procesor korzysta z linii opóźniającej.

Procesor hardware'owy obliczający histogram obrazu dokonuje zliczenia ile razy w całym analizowanym obrazie pojawiają się kolejne poziomy szarości. Analiza histogramu obrazu pozwala na określenie poziomów szarości obiektu i tła oraz w dalszej kolejności na właściwe wydobycie obiektu poprzez odpowiednią binaryzację obrazu. Ponadto analiza histogramu może wskazać kilka obiektów itp.

Procesor binaryzacji dokonuje przekształcenia obrazu tonowanego w obraz binarny. Dla binaryzacji stałoprogowej procesor porównuje każdy punkt obrazu z zadany programowo progiem binaryzacji i podstawia wartość 0 gdy piksel ma wartość mniejszą od progu lub wartość 1 w przypadku przeciwnym. Dla binaryzacji zmiennoprogowej procesor porównuje wartość każdego piksela z jego odpowiednikiem we wzorcu (drugim obrazie tonowanym) wstawiając odpowiednio 1 lub 0.

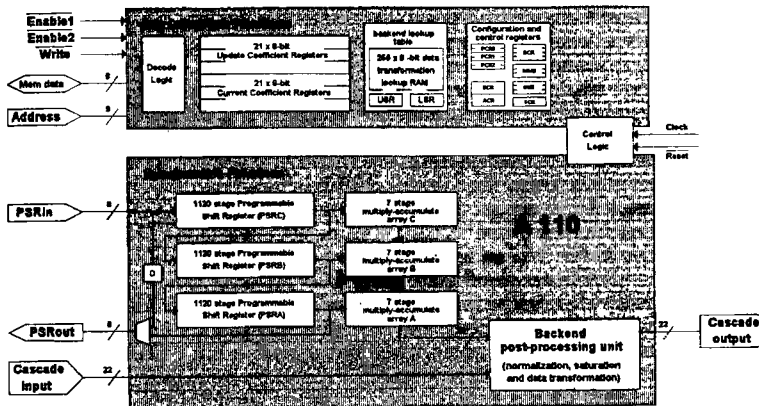
Procesor wynikowy przekształca obraz według jednej z wybranych operacji dokonywanych na punktach obrazu względem wzorca (drugiego obrazu), przy czym możliwe są następujące tryby pracy: wybór wartości maksymalnej, suma z normalizacją (odrzućenie najstarszych bitów), moduł różnicy, iloczyn logiczny.

Procesor "look-up-table" (czyli szukaj w tablicy) dokonuje podstawienia za każdy punkt obrazu, w zależności od jego wartości, nowej wartości zgodnie z tablicą podstawień (programowaną przez procesor nadrzędny). Procesor przekształca obraz tonowany w obraz tonowany. Procesor nie korzysta z linii opóźniającej.

Opracowano koncepcję poszczególnych procesorów hardware'owych. Pełną aplikację, dostosowaną do standardu potoku obróbczego, zrealizowano dla procesora "look-up-table". Procesor ten zrealizowano w oparciu o układ programowalny wysokiej skali integracji FPGA. Wykorzystano do tego celu układ XC-4005A-PC84-5 firmy Xilinx.

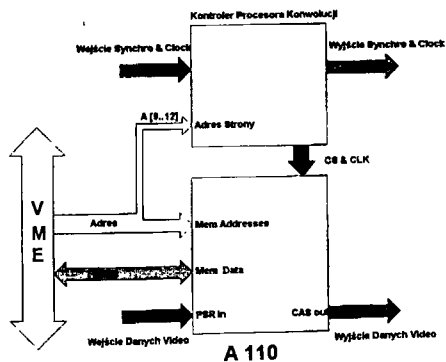
Jako specjalizowany procesor operacji kontekstowych zdecydowano zastosować układ IMS A110 firmy INMOS - SGS Thomson. Procesor ten posiada układ mnożarko-sumatora o rozmiarach okna całkowicie wystarczających do obliczeń konwolucji 3×3 . Możliwe jest kaskadowe łączenie jednostek w celu uzyskania większego rozmiaru okna. Przykładowo dla okna 5×5 należy dołączyć jeden dodatkowy procesor, a dla okna 7×7 dwa dodatkowe procesory. Dalsze zwiększanie rozmiarów okna jest niemożliwe ze

względem na pojemność szyny danych na wyjściu sumatora (22 bity). Maksymalna częstotliwość zegara danych video wynosi 20 MHz, co mieści się w zakresie potrzeb.



Rys. 8. Architektura wewnętrzna procesora IMS A110.

Do układu procesora IMS-A110 dołączony jest kontroler modułu, którego głównym zadaniem jest wytworzenie odpowiednich wyjściowych sygnałów sterujących dla następnego modułu na podstawie wejściowych sygnałów sterujących. Operacja ta jest konieczna ze względu na opóźnienie wnoszone przez układ procesora. Ponadto układ zapewnia możliwość dostępu do wewnętrznych rejestrów procesora poprzez magistralę VME (dekoder adresu i generator strobów dostępu).



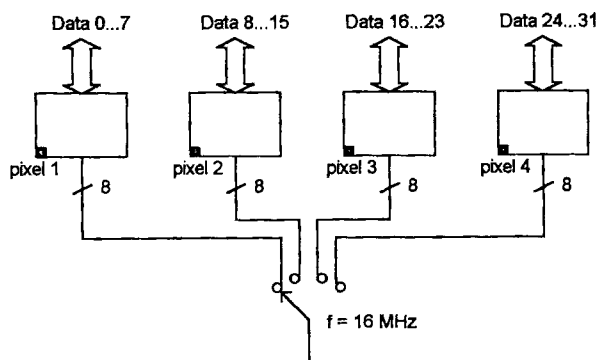
Rys. 9. Schemat blokowy modułu procesora konwolucji.

Kontroler modułu zaprojektowano w oparciu o układ programowalny FPGA firmy Xilinx (XC-4003-PC84-5).

4. Pamięć wyjściowa potoku obróbczego

Pamięć wyjściowa winna zapewniać ograniczenie czasu transmisji danych obrazowych po magistrali systemowej. W tym celu należało skrócić czas przypadający na transfer jednego bajtu danych (transmisja blokowa) oraz maksymalnie rozszerzyć słowo danych przesyłane po magistrali (32 lub 64 bity).

Rozszerzenie słowa przykładowo do 32 bitów wiąże się z odpowiednim zorganizowaniem danych przeznaczonych do transmisji już na etapie ich akwizycji. Przykładowe rozwiązanie przedstawia rysunek 10. Dane pochodzące z potoku obróbczego za pośrednictwem multiplexera kierowane są kolejno do 4 banków pamięci (dla transmisji słowa 64 bitowego do 8 banków pamięci). W ten sposób po stronie odbiorczej dostępne są uporządkowane piksele przeznaczone do dalszej obróbki.



Rys. 10. Architektura 32-bitowej pamięci wyjściowej.

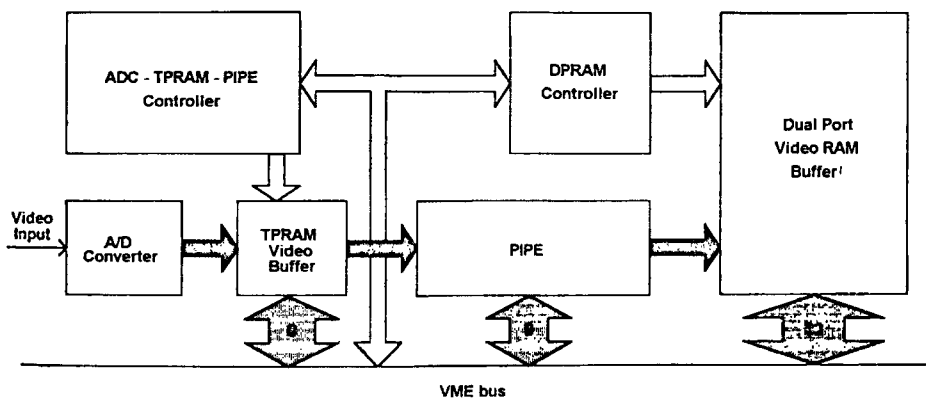
Dalsze możliwości skrócenia czasu transmisji związane są z zastosowaniem trybu transmisji blokowej. Tryb ten pozwala na transmitowanie danych bez każdorazowego wystawiania adresów na magistralę co prawie dwukrotnie przyspiesza transmisję. Możliwości takie związane są z wbudowanym w wielu pamięciach dynamicznych trybem transmisji blokowej (stronicowej). Można także moduły, będące podmiotami transmisji wyposażać w lokalne liczniki adresów inicjowane na początku transmisji.

Standard VME oferuje możliwość transferów blokowych danych o szerokości 32 bitów (rev.C) i 64 bitów (rev.D) i teoretycznie umożliwia osiągnięcie prędkości transmisji odpowiednio 40 i 80 MB/sek. Zastosowane rozwiązanie pozwoliło dopasować tryb dostępu do pamięci dynamicznych i możliwości transmisji blokowej VME.

Pamięć wyjściową zbudowano w oparciu o dwuportową pamięć dynamiczną MT42C4256 firmy MICRON. Pamięć wyposażona jest w dwa kanały dostępu: szeregowy (SAM) i równoległy. Kanał szeregowy przyjmuje dane z potoku obróbczego. Kanał równoległy przekazuje przetworzone dane wizyjne na magistralę VME. Logika sterująca obsługująca pamięć wyjściową została zrealizowana w oparciu o układ programowalny FPGA firmy Xilinx: XC-4003-PG120-5.

5. Podsumowanie

Przedmiotem projektu była analiza i opracowanie oraz realizacja sprzętowa systemu wieloprocessorowego realizującego algorytmy analizy obrazów pochodzących z kamery wizyjnej na potrzeby sterowania urządzeń w czasie rzeczywistym. Biorąc pod uwagę specyfikę i potrzeby systemu czasu rzeczywistego określono architekturę systemu wieloprocessorowego, a następnie system został zrealizowany w standardzie VME pod potrzeby systemu operacyjnego OS9. Szczególną uwagę zwrócono na szybką realizację obróbki wstępnej sygnału video. Poniżej przedstawiono schemat blokowy zrealizowanego modułu "frame grabera" wyposażonego w procesory potokowe do obróbki wstępnej obrazów.



Rys. 11. Schemat blokowy modułu "frame grabera".

W trakcie weryfikacji założonych parametrów dokonano pomiarów czasów realizacji przykładowych funkcji. Oto wyniki:

1. obliczenie mediany dla obrazu 512x512 pikseli:
 - IBM-PC AT 386 SX 20 MHz - 407 sec.
 - SYS 68K/CPU30 20 MHz - 156 sec.
 - procesor potokowy - 20 msec.
 (opóźnienie 27 μ sec. w stosunku do czasu trwania obrazu źródłowego).
2. tworzenie szkieletu dla obrazu 512x512 pikseli:
 - IBM-PC AT 386 SX 20 MHz - 69 sec.
 - SYS 68K/CPU30 20 MHz - 14 sec.

Dla porównania szybkości przetwarzania procesora potokowego (1 obraz trwa 40 msec.) należy przytoczyć czasy obliczeń podawane w literaturze:

DSP 32C: moduł DT2878 firmy DATA TRANSLATION INC.
(25Mflops, 80ns instruction cycle, 50MHz clock, 32 bit floating point)

	przetwarzanie obrazu 512x512, 8-bitowa skala szarości	
	czasy: konwolucja 3x3	800 msec.
	konwersja 3x3	1400 msec.
	konwersja 5x5	2500 msec.
TMS 320:	przetwarzanie obrazu 512 x 512 [6]	
	8-bitowa skala szarości	
	czasy: filtrowanie górnoprzepustowe 3x3	1800 msec.
	gradient Sobela 3x3	2200 msec.

Jako najważniejsze osiągnięcia poznawcze i aplikacyjne projektu należy wymienić:

- opracowanie i realizacja sprzętowa architektury systemu wieloprocessorowego do potokowej obróbki danych wizyjnych,
- sposób realizacji standardu "POTOKU OBRÓBCZEGO" umożliwiający elastyczną kompletację struktur potokowych do analizy obrazu,
- opracowanie koncepcji i realizacja sprzętowa translatora standardowego sygnału video z kamery dla potrzeb potokowej kontekstowej wstępnej analizy obrazu w czasie rzeczywistym,
- opracowanie koncepcji i realizacja sprzętowa szybkiej transmisji blokowej po magistrali w standardzie VME z wykorzystaniem trybu dostępu do pamięci dynamicznych,
- opracowanie i realizacja sprzętowa w technologii programowalnych układów logicznych FPGA firmy Xilinx specjalizowanych procesorów hardware'owych do obróbki sygnału video.

Obszarem zastosowań opracowanego systemu do sterowania urządzeń w czasie rzeczywistym z wykorzystaniem informacji obrazowej z kamery wizyjnej jest robotyka, układy śledzenia i naprowadzania obiektów ruchomych (ruch drogowy, wojskowość), śledzenie otoczenia i ochrona obiektów, telewizja przemysłowa, zastosowania biomedyczne, kryminalistyczne itp. W dalszych pracach autor zamierza opracowywać dedykowane architektury dla realizacji średniego i wysokiego poziomu analizy obrazów.

Literatura

- [1] Andersen N.A., Ravn O. (1990): Vision as a Multipurpose Sensor in Real-time Systems. ISMM International Symposium. Mini and Microcomputers and Their Applications - Lugano, Switzerland.
- [2] Decegama A.L. (1989): The Technology of Parallel Processing - Parallel Processing Architectures and VLSI Hardware. Prentice Hall International Inc. - New Jersey.
- [3] Dewilde P.M., Deprettere E.F.A., Nouta R. (1985): Parallel and Pipelined Implementation of Signal Processing Algorithms. Prentice-Hall.
- [4] Iwata Y., Kawamata M., Higuchi T. (1993): Design of fine grain VLSI array processor for real-time 2-D digital filtering. IEEE International Symposium - Chicago 3-6.5.1993.
- [5] Lo K.C. (1993): Parallel random sampling with multiprocessor system. IEEE International Symposium - Chicago 3-6.5.1993.
- [6] Pachowicz P.W., Tadeusiewicz R. (1982): Porównanie systemu CESARO z wybranymi systemami analizy i rozpoznawania obrazów. Elektrotechnika, tom 1, nr 2.
- [7] Tadeusiewicz R. (1992): Systemy wizyjne robotów przemysłowych. WNT Warszawa.