

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW
MERA-PIAP
Al. Jerozolimskie 202 02-222 Warszawa Telefon 23-70-81

OSRODEK AUTOMATYKI KOMPLEKSOWEJ I SYSTEMOW CYFROWYCH

440

Pracownia Sprzętu Cyfrowego OAK-31

BE 10

~~Główny~~ wykonawca mgr inż. Krzysztof Senderek

Wykonawcy mgr Karol Najjar mgr inż. Krzysztof Senderek

Konsultant

Nr zlecenia 9495

Opracowanie adaptera Wspólnej Szyny
i handlerów RSX-11M dla systemu
INTELDIGIT-PROWAY

Etap 1 Wykonanie , uruchomienie
i badanie modelu MIO5.

Zleceniodawca Praca Własna Instytutu

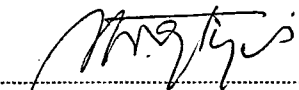
Prace rozpoczęto dnia
p.o. Kierownik Pracowni

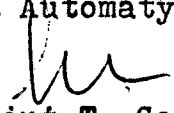
1986.08

Z-ca Dyrektora
d/s Automatyki

zakończono dnia 1986.01.31

Kierownik Ośrodka


mgr Anz.A. Wojtych


dr inż. T. Gałazka


mgr inż. J. Hawryluk

Praca zawiera:

Rozdzielnik - ilość egz:

stron 21

Egz. 1 BOINTE

rysunków 10 + 10

Egz. 2 OAK

fotografii

Egz. 3 OAK-31

tabel

Egz. 4

tablic 5

Egz. 5

załączników

Egz. 6

Nr rejestr. 5575

Analiza deskrytorowa URZADZENIA AUTOMATYCZNEJ REGULACJI I STEROWANIA :
KSAP+INTELDIGIT-PROWAY+ MINIKOMPUTER + ADAPTER
INTERFEJSU + BADANIA MODELU

Analiza dokumentacyjna Pakiet adaptera Wspolnej Szyny MIO5 służy do równoległego sprzężenia minikomputera SM EMC z magistralą kasety INTELDIGIT-PROWAY . Pracę zawiera schematy logiczne przebiegi czasowe charakteryzujące pracę pakietu, algorytmy programów testowych adaptera MIO5 , wyniki badan modelu.

Tytuły poprzednich sprawozdań Opracowanie adaptera Wspolnej Szyny i handlerow
RSX 11 dla systemu MINTEMIR-Proway.
Etap 1 Weryfikacja założeń MIO5 ,analiza wariantów
rozwiązań i wstępny projekt logiczny Nr rej 5217
Etap 2. Dokumentacja modelu pakietu. MIO5.
Nr rej 5277

62-50 Teoria i podstawy edycji
regulacji i sterowania

UKD

MERA-PIAP/TW 331/78 5000

2

=====

SPIS TRESCI

1. Przeznaczenie
2. Uruchmienie modelu
3. Badania funkcjonalne
4. Wyniki badan
5. Przebiegi sygnałów ilustrujące prawidłowe działanie pakietu

=====

SPIS RYSUNKOW

- Rys.2.1 Możliwości przemieszczania segmentów 256B z przestrzeni 4MB Wspólnej Szyny w całą przestrzen magistrali kasety
- Rys.2.2 Możliwości przemieszczania segmentów 256B z przestrzeni 256kB Wspólnej Szyny w całą przestrzen magistrali kasety
- Rys.3.1 Flowdiagram programu testowego SRC
- Rys.3.2 Flowdiagram programu testowego SRB
- Rys.3.3 Flowdiagram programu testowego SRB2
- Rys.3.4 Flowdiagram programu testowego SRI
- Rys.5.1 Sekwencja przebiegów czasowych operacji pisania
- Rys.5.2 Sekwencja przebiegów czasowych operacji czytania
- Rys.5.3 Sekwencja przebiegów czasowych operacji pisania danych do rejestru wewnętrznego MIO5
- Rys.5.4 Sekwencja przebiegów czasowych operacji czytania danych z rejestru wewnętrznego MIO5

SPIS SHEMATOW

- 5575/1 Sygnały danych
- 5575/2 Układ sygnałów rozkazowych
- 5575/3 Układ zgłaszania przerwan
- 5575/4 Układ obejmowania magistrali
- 5575/5 Odbiorniki i nadajniki sygnałów adresowych
- 5575/6 Rejestr stanu CSR i układ indykacji
- 5575/7 Układy przerwan
- 5575/8 Rejestr przerwan INTRG
- 5575/9 Układ transformacji adresu
- 5575/10 Rozłożenie elementów na pakiecie modelu MIO5

=====

1. PRZEZNACZENIE

Pakiet MIO5 jest jednopłytkowym adapterem interfejsu Wspólna Szyna. Służy on do równoległego sprzężenia minikomputerów klasy SM EMC /PDP-11/ z magistralą kasety INTEL DIGIT-PROWAY.

Pakiet adaptera MIO5 umożliwia obsługę urządzeń stacji systemu INTEL DIGIT-PROWAY.

Pakiet ten jest przystosowany do pracy wieloprocesorowej na magistrali kasety. Może on być wykorzystywany do wymiany informacji pomiędzy minikomputerem a kasetą. Użycie urządzeń transmisyjnych wraz z pakietem MIO5 umożliwia wymianę informacji pomiędzy minikomputerem a innymi stacjami INTEL DIGIT-PROWAY.

=====

2. URUCHOMIENIE MODELU

Model adaptera MIO5 wykonano wg dokumentacji opracowanej w etapie 3 zlecenia 9457 przedstawionej w dokumencie nr 5277.

Pakiet MIO5 jest dołączony do magistrali kasety za pomocą złącz A i B a do magistrali Wspólna Szyna za pomocą złącz C i D. Rozmieszczenie sygnałów na poszczególnych złączach w uruchomionym modelu przedstawiają tablice 2.1-2.4.

Możliwości przemieszczania segmentów 256B z przestrzeni adresowej SM EMC w przestrzen adresową magistrali kasety INTEL DIGIT-PROWAY obrazują rysunki 2.1 i 2.2. Sposób programowania pamięci PROM typu TM622 do układu transformacji adresu w obszarze adresowym I/O page jest przedstawiony w tablicy 2.5.

Zmontowany pakiet adaptera MIO5 poddano czynnościom uruchomieniowym przeprowadzonym w dwóch etapach:

- uruchomienie statyczne,
- uruchomienie dynamiczne.

Uruchomienie statyczne przeprowadzono w kasecie INTEL DIGIT-PROWAY /wyposażonej w zasilacze i pakiet MW30/ bez połączenia z minikomputerem.

Polegało ono na sprawdzeniu zachowania się wszystkich sygnałów na złączach obydwu magistral a także niektórych sygnałów wewnętrznych pakietu przy odpowiednich wymuszeniach na pakiecie.

6

I	Styk	Rząd złącza				I	
		I	a	I	b		I
I	zł. A	I		I		I	
I	1	I	2	I	3	I	4
I	1	I	GND	I	+5V	I	GND
I	2	I	+5V	I		I	+5V
I	3	I	+5V	I		I	+5V
I	4	I	GND	I		I	GND
I	5	I	BCLK/	I		I	INIT/
I	6	I	BPRN/	I		I	BPRO/
I	7	I	BUSY/	I		I	
I	8	I	MRDC/	I		I	MWTC/
I	9	I	IORC/	I		I	IOWC/
I	10	I	XACK/	I		I	
I	11	I		I		I	
I	12	I	CCLK/	I		I	
I	13	I	INT6/	I		I	INT7/
I	14	I	INT4/	I		I	INT5/
I	15	I	INT2/	I		I	INT3/
I	16	I	INT0/	I		I	INT1/
I	17	I	ADR14/	I		I	ADR15/
I	18	I	ADR12/	I		I	ADR13/
I	19	I	ADR10/	I		I	ADR11/
I	20	I	ADR8/	I		I	ADR9/
I	21	I	ADR6/	I		I	ADR7/
I	22	I	ADR4/	I		I	ADR5/
I	23	I	ADR2/	I		I	ADR3/
I	24	I	ADRO/	I		I	ADR1/
I	25	I	DAT6/	I		I	DAT7/
I	26	I	DAT4/	I		I	DAT5/
I	27	I	DAT2/	I		I	DAT3/
I	28	I	DAT0/	I		I	DAT1/
I	29	I	GND	I		I	GND
I	30	I	+5V	I		I	+5V
I	31	I	+5V	I		I	+5V
I	32	I	GND	I		I	GND

Tab 2.1 Rozmieszczenie sygnałów na złączu systemowym A.

I Styk	I Rząd złącza			I
	I zł. B	I a	I b	
I 1	I 2	I 3	I 4	I
I 1	I Obw. kontr.	I GND	I Obw. kontr.	I
I 2	I +5V	I +5V	I +5V	I
I 3	I +5V	I +5V	I +5V	I
I 4	I +12V	I +12V	I +12V	I
I 5	I	I	I	I
I 6	I	I	I	I
I 7	I GND	I GND	I GND	I
I 8	I DAT14/	I	I DAT15/	I
I 9	I DAT12/	I	I DAT13/	I
I 10	I DAT10/	I	I DAT11/	I
I 11	I DAT8/	I	I DAT9/	I
I 12	I	I	I	I
I 13	I	I	I	I
I 14	I	I	I BHEN/	I
I 15	I	I	I	I
I 16	I ADR18/	I	I ADR19/	I
I 17	I ADR16/	I	I ADR17/	I
I 18	I	I	I	I
I 19	I	I	I	I
I 20	I	I	I	I
I 21	I	I	I	I
I 22	I	I	I	I
I 23	I AUXO/	I	I	I
I 24	I PFIN/	I	I PFSN/	I
I 25	I	I	I MPRO/	I
I 26	I RESET/	I	I	I
I 27	I +5VB	I +5VB	I +5VB	I
I 28	I GND	I GND	I GND	I
I 29	I	I	I	I
I 30	I	I	I	I
I 31	I	I	I	I
I 32	I GND	I GND	I GND	I

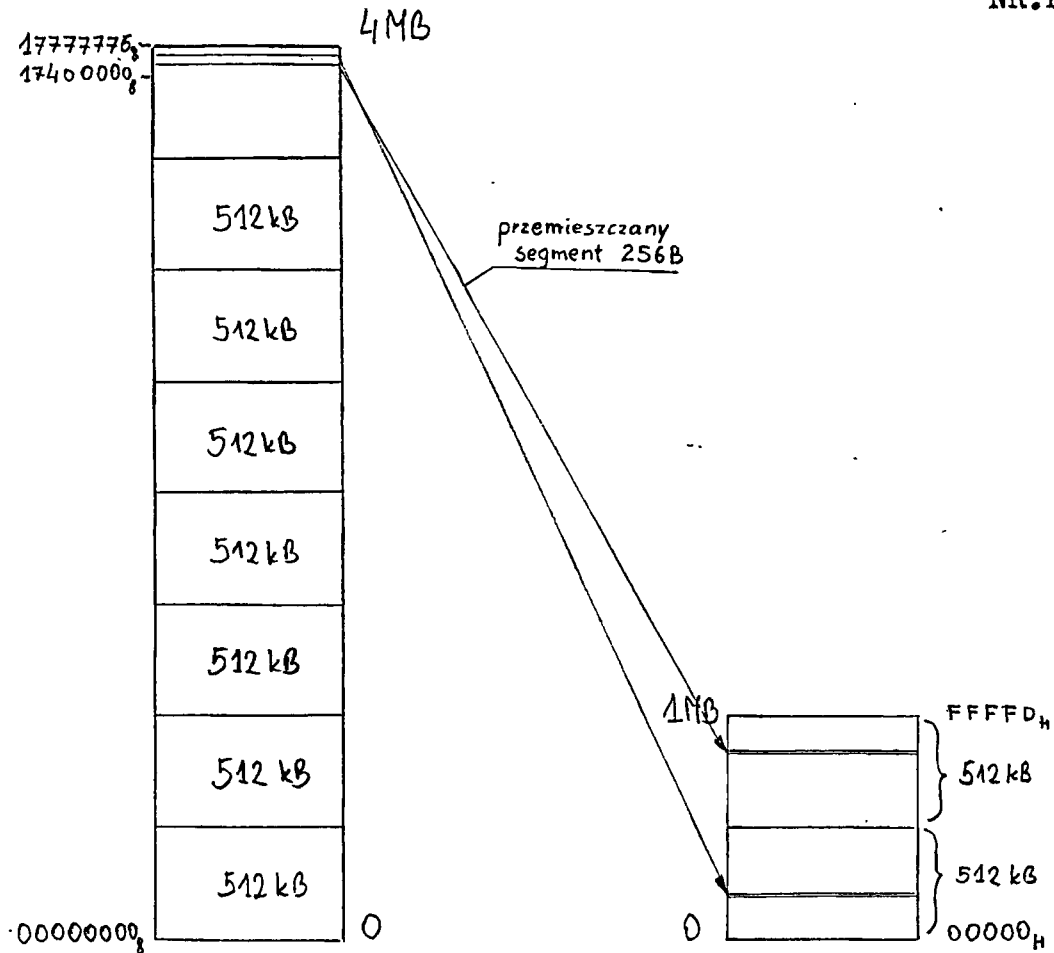
Tab 2.2 Rozmieszczenie sygnałów na złączu systemowym B.

I	I	I	I	I	I	I
I	Styk	Styk złącza	Nazwa sygnału	Oznaczenia		
I	zł. C	WS	I	I	na schematach	I
I	1	B43	I	C1L	I	I
I	2	A43	I	COL	I	I
I	3		I	A21L	I	I
I	4		I	A18L	I	I
I	5		I	GND	I	I
I	6		I	A20L	I	I
I	7	A39	I	A16L	I	I
I	8	A38	I	A14L	I	I
I	9	A37	I	A12L	I	I
I	10		I	GND	I	I
I	11	B35	I	A09L	I	I
I	12	A34	I	A06L	I	I
I	13	B33	I	A05L	I	I
I	14	B32	I	A03L	I	I
I	15		I	GND	I	I
I	16	A32	I	A02L	I	I
I	17	A31	I	A00L	I	I
I	18	B09	I	DO7L	I	I
I	19	A08	I	DO4L	I	I
I	20	B39	I	A17L	I	I
I	21		I	A19L	I	I
I	22		I	GND	I	I
I	23	A45	I	MSYNL	I	MSYL
I	24	B36	I	A11L	I	I
I	25	B38	I	A15L	I	I
I	26	B37	I	A13L	I	I
I	27		I	GND	I	I
I	28	A36	I	A10L	I	I
I	29	A35	I	A08L	I	I
I	30	B34	I	A07L	I	I
I	31	A33	I	A04L	I	I
I	32		I	GND	I	I
I	33	B04	I	INITL	I	INIL
I	34	B31	I	A01L	I	I
I	35	A09	I	DO6L	I	I
I	36	B08	I	DO5L	I	I
I	37		I	GND	I	I

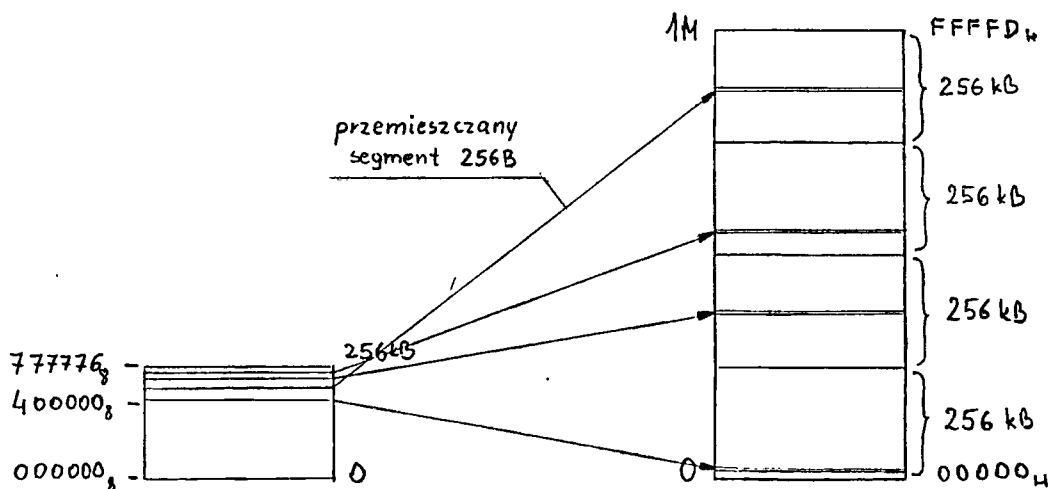
Tab 2.3 Rozmieszczenie sygnałów na złączu obiektowym C.

I	I	I	I	I	I	I
Styk	zł. D	Styk złącza	Nazwa sygnału	Oznaczenia		
		WS		na schematach		
I	1	I	A14	I	D14L	I
I	2	I		I	GND	I
I	3	I	B13	I	D13L	I
I	4	I	A13	I	D12L	I
I	5	I		I	GND	I
I	6	I		I	BGOH	I
I	7	I		I	BGIH	I
I	8	I		I	GND	I
I	9	I	B45	I	SSYNL	I
I	10	I	B17	I	BBSYL	I
I	11	I		I	GND	I
I	12	I	A17	I	SACKL	I
I	13	I	B22	I	BR7L	I
I	14	I		I	GND	I
I	15	I	A24	I	BR6L	I
I	16	I	B26	I	BR5L	I
I	17	I		I	GND	I
I	18	I	A28	I	BR4L	I
I	19	I	A20	I	NPRL	I
I	20	I		I	GND	I
I	21	I	A06	I	DOOL	I
I	22	I	B14	I	D15L	I
I	23	I	B07	I	DO3L	I
I	24	I		I	GND	I
I	25	I	A07	I	DO2L	I
I	26	I	B06	I	DO1L	I
I	27	I		I	GND	I
I	28	I	A04	I	INTRL	I
I	29	I	B12	I	D11L	I
I	30	I		I	GND	I
I	31	I	A12	I	D10L	I
I	32	I	B11	I	DO9L	I
I	33	I		I	GND	I
I	34	I	A11	I	DO8L	I
I	35	I	A29	I	ACLOL	I
I	36	I		I	GND	I
I	37	I	B29	I	DCLOL	I

Tab 2.4 Rozmieszczenie sygnałów na złączu obiektowym D.



Rys.2.1. Możliwości przemieszczania segmentów 256B z przestrzeni adresowej 4MB Wspólnej Szyny 17400000₈ - 17777777₈ w całą przestrzeń adresową 1MB magistrali kasety.



Rys.2.2 Możliwości przemieszczania segmentów 256B z przestrzeni adresowej 256kB Wspólnej Szyny 400000₈ - 777777₈ w całą przestrzeń adresową 1MB magistrali kasety.

11

```

=====
-----
I Adresy segment 256B I Adresy I Zawartość PROM-ów I
I w I/O page SM EMC I wewn. I dla adresw wewn. I
I /8/ I PROM,/H/ I C1 I C2 I C3 I C4 I
-----
I 760400 - 760776 I 1E1 I C I F I F I F I
I 761000 - 761376 I 1E2 I F I F I F I F I
I 761400 - 761776 I 1E3 I F I F I F I F I
I 762000 - 762376 I 1E4 I F I F I F I F I
I 762400 - 762776 I 1E5 I F I F I F I F I
I 763000 - 763376 I 1E6 I F I F I F I F I
I 763400 - 763776 I 1E7 I F I F I F I F I
I 764000 - 764376 I 1E8 I F I F I F I F I
I 764400 - 764776 I 1E9 I F I F I F I F I
I 766000 - 766376 I 1EC I D I O I 9 I 5 I
I 766400 - 766776 I 1ED I D I O I 9 I 6 I
I 767000 - 767376 I 1EE I D I O I 9 I 7 I
I 767400 - 767776 I 1EF I D I O I 9 I 8 I
I 770400 - 770776 I 1F1 I D I O I 9 I 9 I
I 771000 - 771376 I 1F2 I D I O I 9 I A I
I 771400 - 771776 I 1F3 I D I O I 9 I B I
I 772000 - 772376 I 1F4 I D I O I 9 I C I
I 774000 - 774376 I 1F8 I F I F I F I F I
I 774400 - 774776 I 1F9 I F I F I F I F I
I 775000 - 775376 I 1FA I F I F I F I F I
I 775400 - 775776 I 1FB I F I F I F I F I
I 776000 - 776376 I 1FC I F I F I F I F I
-----
    
```

Tab.2.5 Ilustracja sposobu programowania pamięci PROM.

Powyższy przykład ilustruje obsługę przez pakiet MI05 obszaru 9500H - 9CFFH przy adresach wewnętrznych występujących w pierwszym segmencie I/O page /ADRscr - 760410 ; ADRintrg - 760412 /. Zaprogramowanie nowych segmentów polega na wpisaniu do C1 pod adres odpowiadający segmentowi I/O page, a pod ten sam adres w układach C2, C3 i C4 wartości określające trzy starsze pozycje adresu segmentu obsługiwanego na magistrali.

=====

Uruchomienie dynamiczne przeprowadzono w zestawie o następującej konfiguracji : kaseeta INTEL DIGIT-PROWAY + zasilacze + MW30 + ML30 + ML40 + MIO5 + kabel SM-MIO5 + SM EMC .

Sprowadzało się ono do wymuszenia pracy MIO5 w stanie ustalonym poprzez bardzo proste programy testowe / kilka instrukcji tworzących pętlę / zapisane w pamięci minikomputera i sprawdzenia przebiegu odpowiednich sygnałów na pakiecie adaptera.

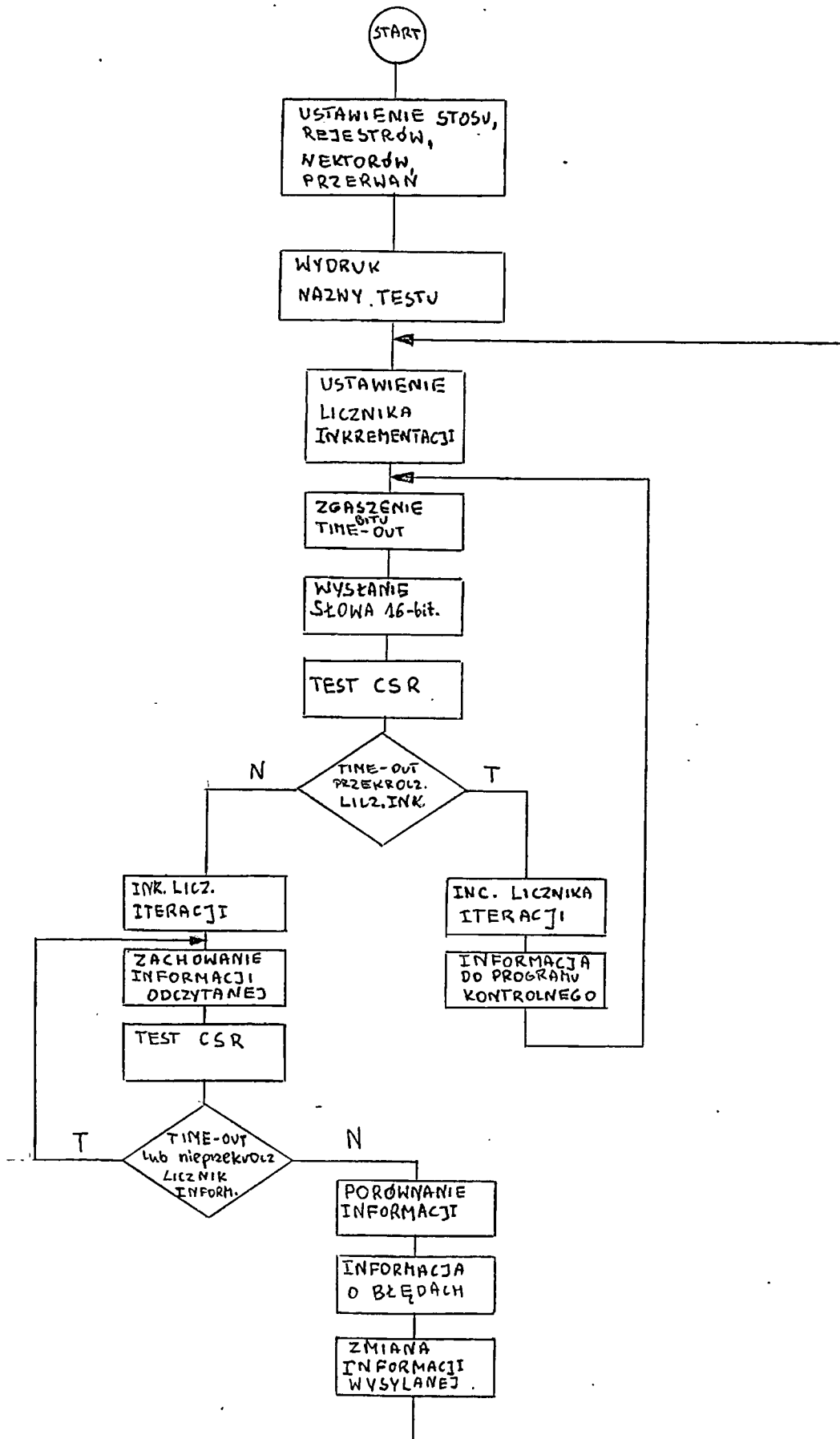
3. BADANIA FUNKCJONALNE.

Uruchomiony model adaptera MIO5 poddano badaniom :

- poprawności przekazów bajtowych ,
- poprawności przekazów słowowych ,
- poprawności transakcji przerwaniowych .

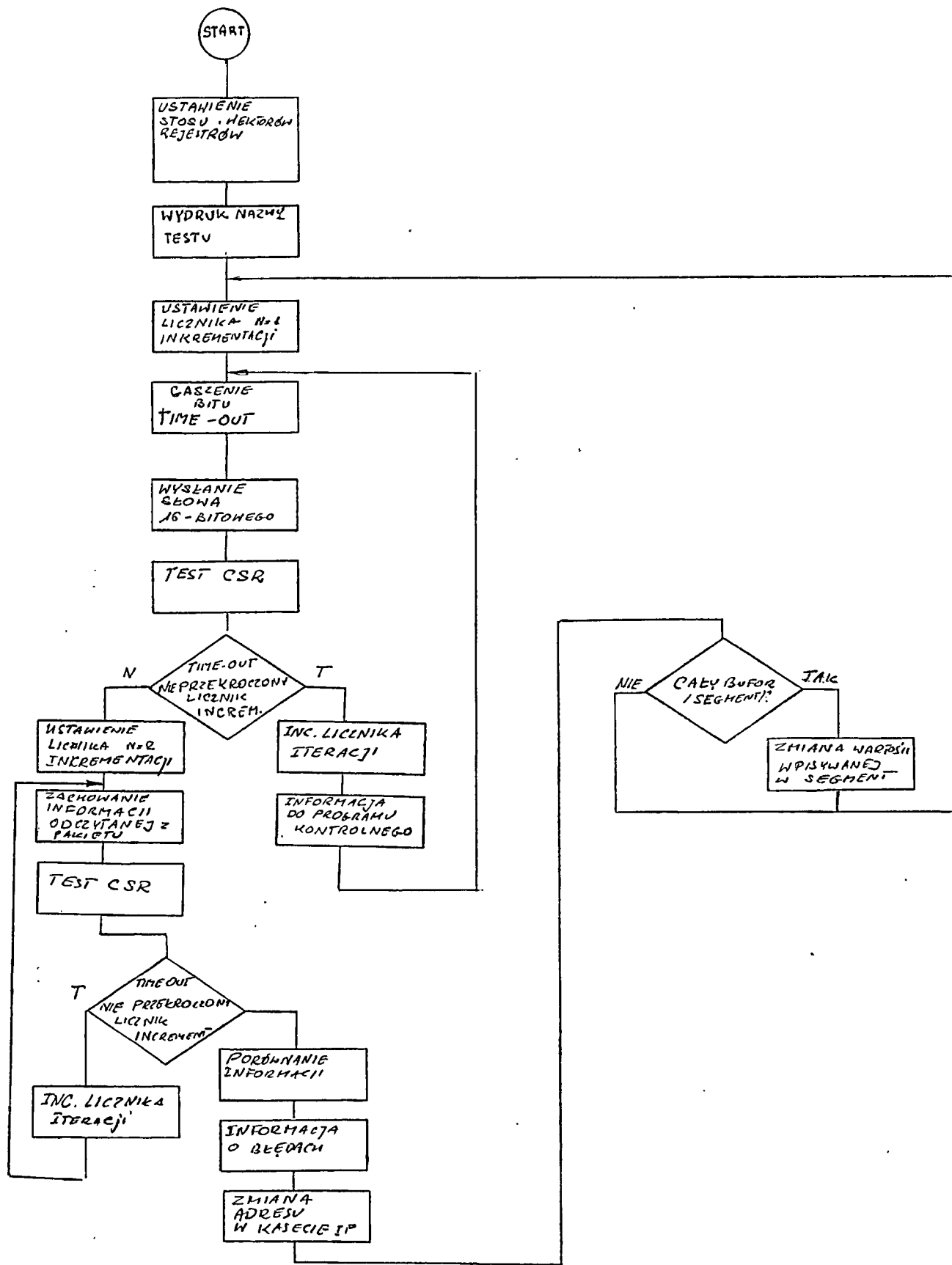
Testy badające prawidłową pracę MIO5 przedstawiają flowdiagramy rys.3.1 - 3.3. Działanie tych testów jest następujące : zapisują one w obsługiwanym 256B segmencie pamięci kaseety tą samą wartość, sprawdzają poprawność zapisu i sygnalizują komunikatami wszystkie przekłamanie oraz zajętości magistrali kaseety /time-out/, czynności te są powtarzane dla wszystkich możliwych kombinacji bitów danych.

Test badający poprawność transakcji przerwaniowych przedstawiony na flowdiagramie z rys.3.4 reaguje na stan wejść układu przerwan i wysyła komunikaty o stanie przerwan i o generowanym wektorze przerwan. Wystawia on także sygnał FLAG w rejestrze CSR.

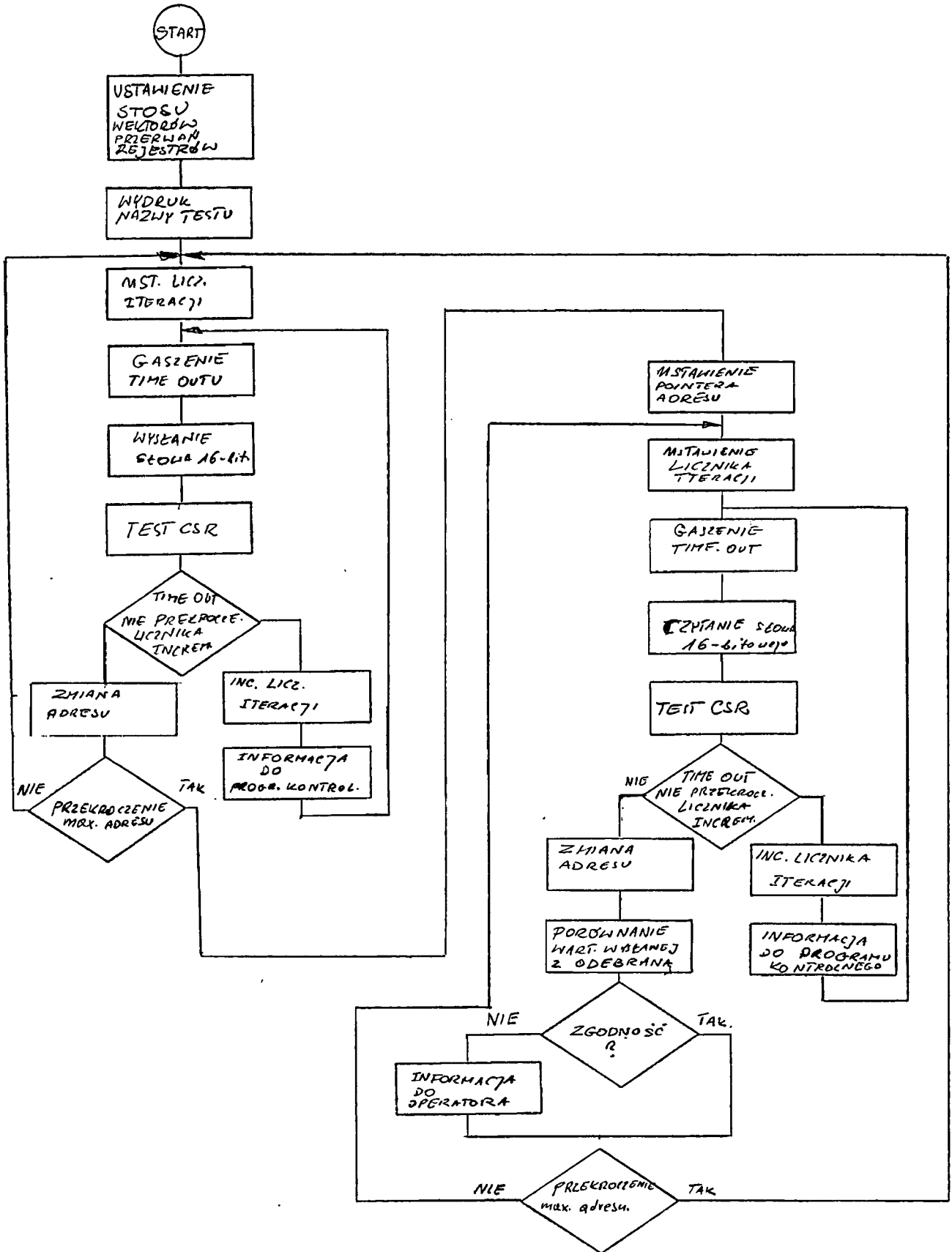


Rys.3.1 Flowdiagram programu testowego SRC.

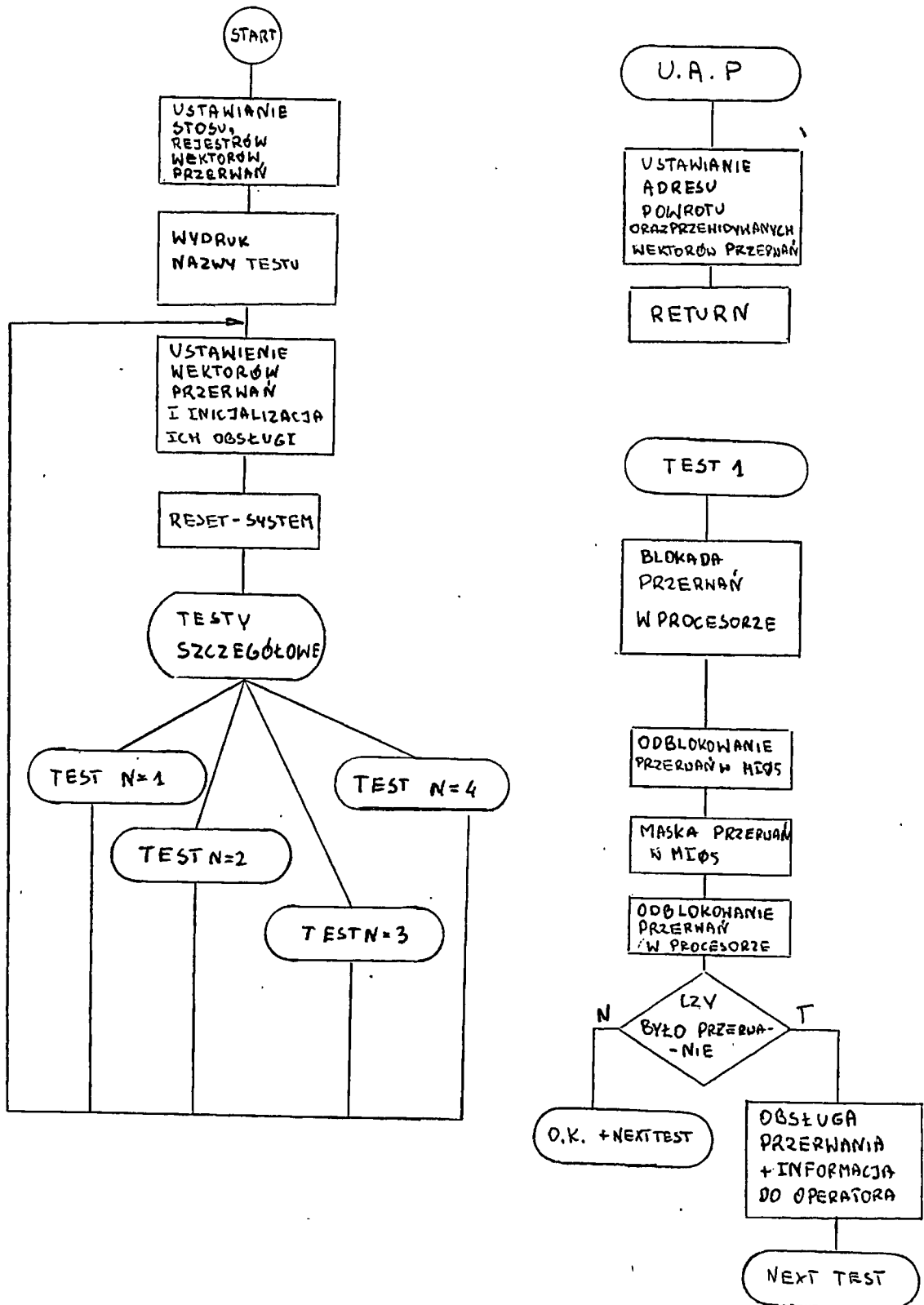
14



Rys.3.2 Flowdiagram programu testowego SRB.



RYŚ. 3.3 Flowdiagram programu testowego SRB2.



Rys.3.4 Flowdiagram programu testowego SRI.

=====
Dzięki takiej konstrukcji testów możliwe było wykrycie przyczyn konfliktów o mniejszym prawdopodobieństwie występowania. Poprawiony projekt modelu MIO5 przedstawiają dołączone schematy. Pakiet wg tego projektu poddano wielogodzinnym badaniom testowym w następujących zestawach pakietów aktywnych na magistrali kasety:

- MIO5 ;
- MM80 , MIO5 ;
- MK40 /model/ , MIO5 .

Uwaga. Najwyższy priorytet na magistrali kasety posiada pakiet wyszczególniony w pierwszej kolejności.

Pakiety MM80 i MK40 podczas badań wykonywały programy o dużym obciążeniu magistrali kasety.

4. WYNIKI BADAN

Przeprowadzone badania wykazały poprawność działania adaptera MIO5 oraz jego bezkonfliktową współpracę z innymi pakietami aktywnymi na magistrali kasety INTEL DIGIT-PROWAY.

Na wyniki badań nie miały wpływu czynniki zewnętrzne jak chłodzenie i ogrzewanie pakietu.

Zmierzony podczas badań czas wystawienia przez pakiet MIO5 sygnału BUSY/ na magistrali kasety wynosi ok. 1,2us.

Pobór prądu :

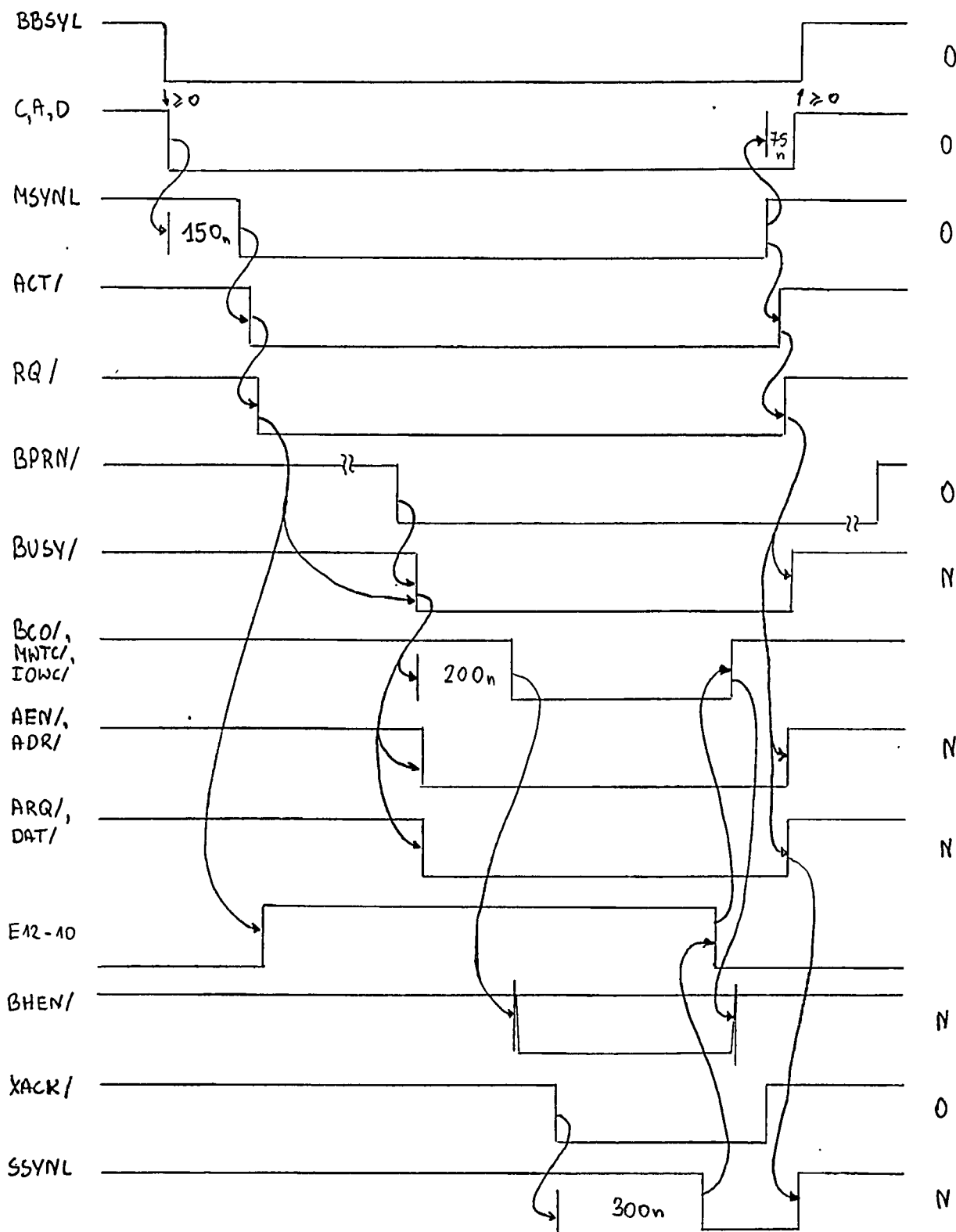
- +5V - 3,5 A
- +5VB - 35 mA
- +12V - 5 mA .

=====

5. PRZEBIEGI SYGNAŁÓW ILUSTRUJĄCE PRAWIDŁOWE DZIAŁANIE PAKIETU.

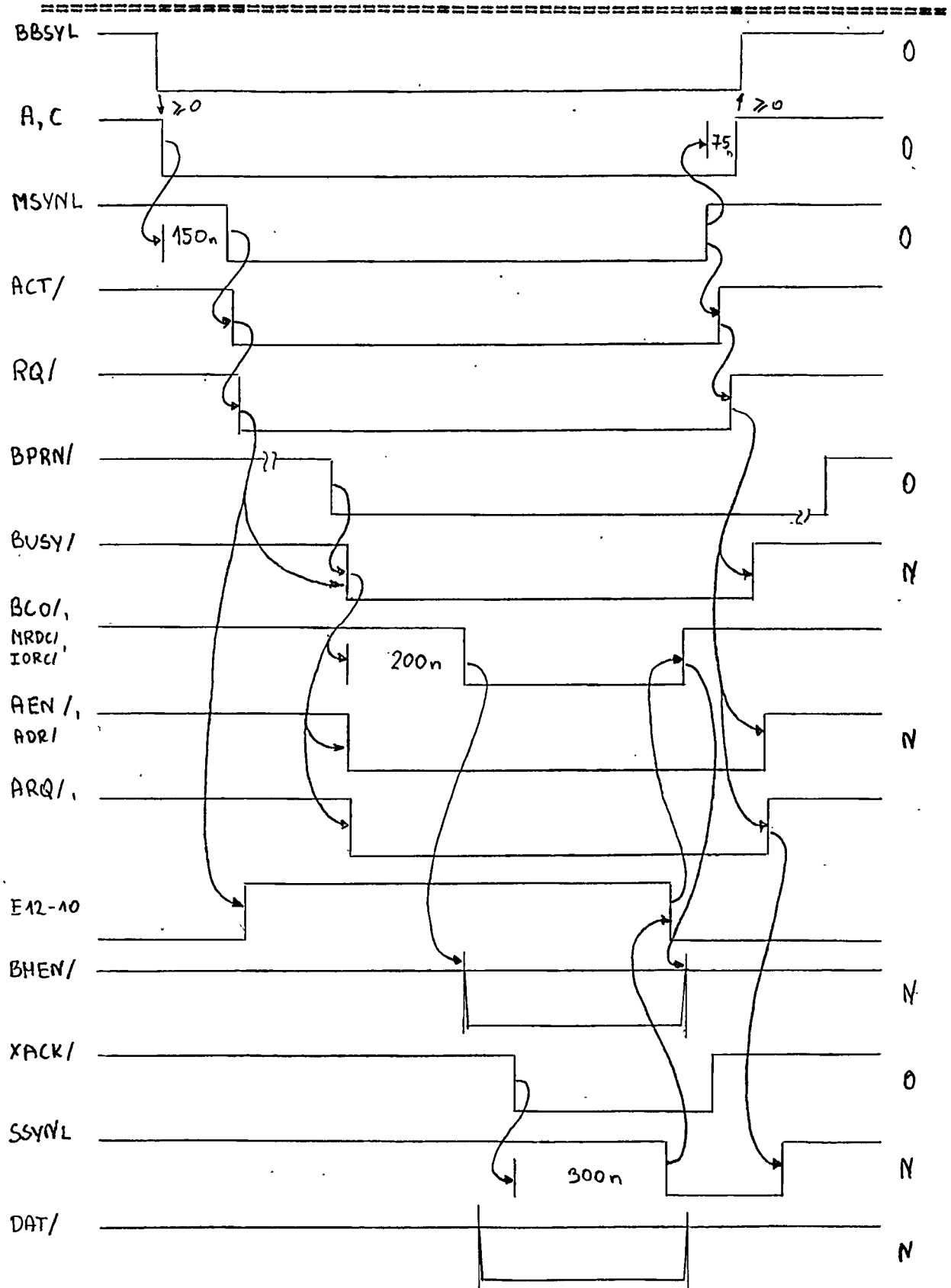
Na rysunkach 5.1 -5.4 przedstawiono przebiegi czasowe sygnałów z zaznaczeniem sekwencji ich powstawania. Przebiegi te nie kolidują z wynikami przeprowadzonych pomiarów pakietu modelu MIO5 i mogą być pomocne przy analizie działania adaptera podczas uruchamiania prototypu.

Przedstawiono przebiegi dla operacji pisania danych /rys.5.1/, operacji czytania danych /rys.5.2/, operacji pisania danych do rejestru wewnętrznego /rys.5.3/ i operacji czytania danych z rejestru wewnętrznego /rys.5.4/.

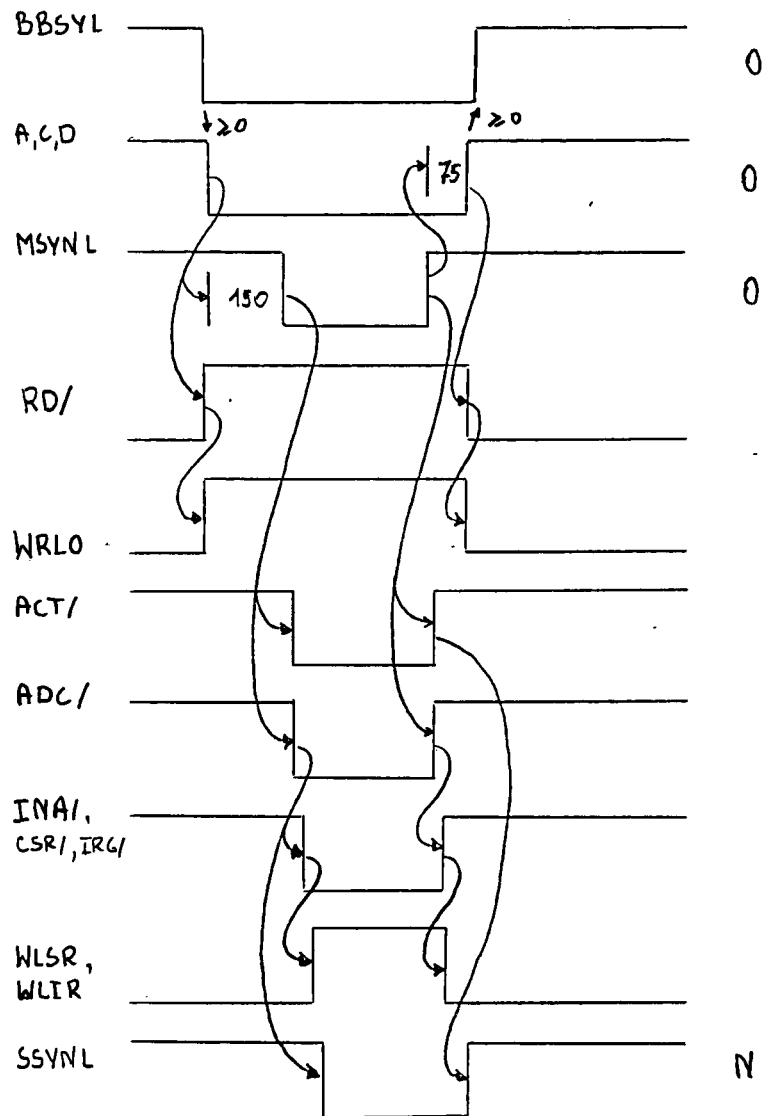


Rys.5.1 Sekwencja przebiegów czasowych operacji pisania danych.

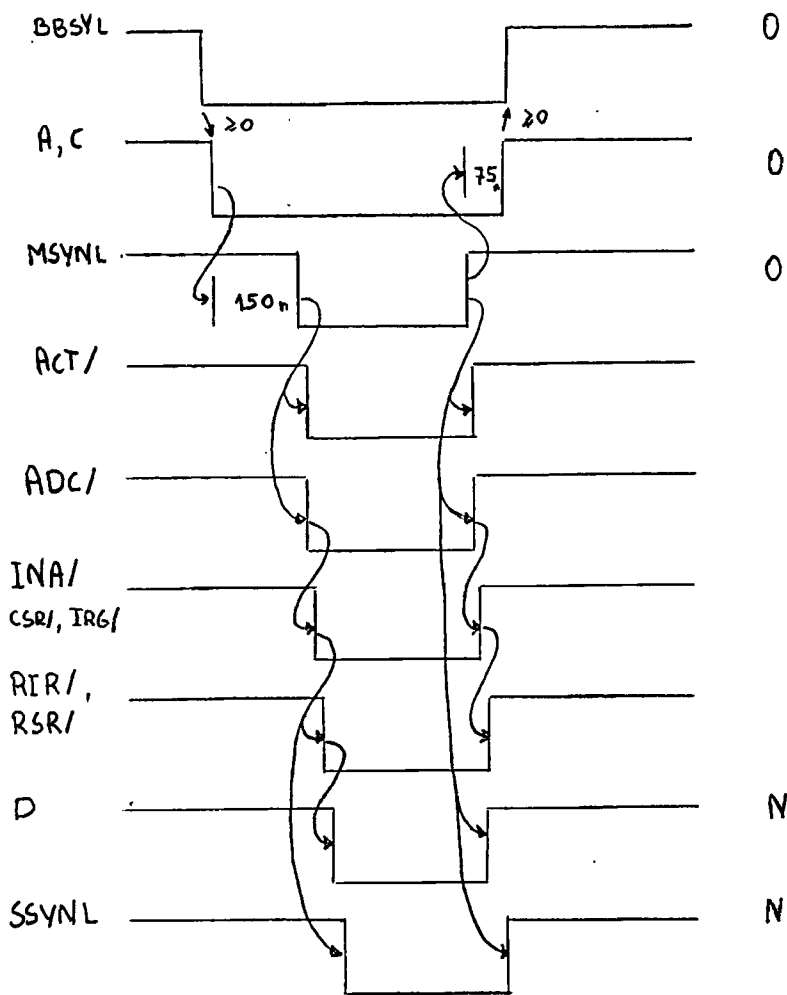
/ Literami N lub 0 z prawej strony zaznaczono czy dany sygnał jest przez pakiet nadawany, czy odbierany /.



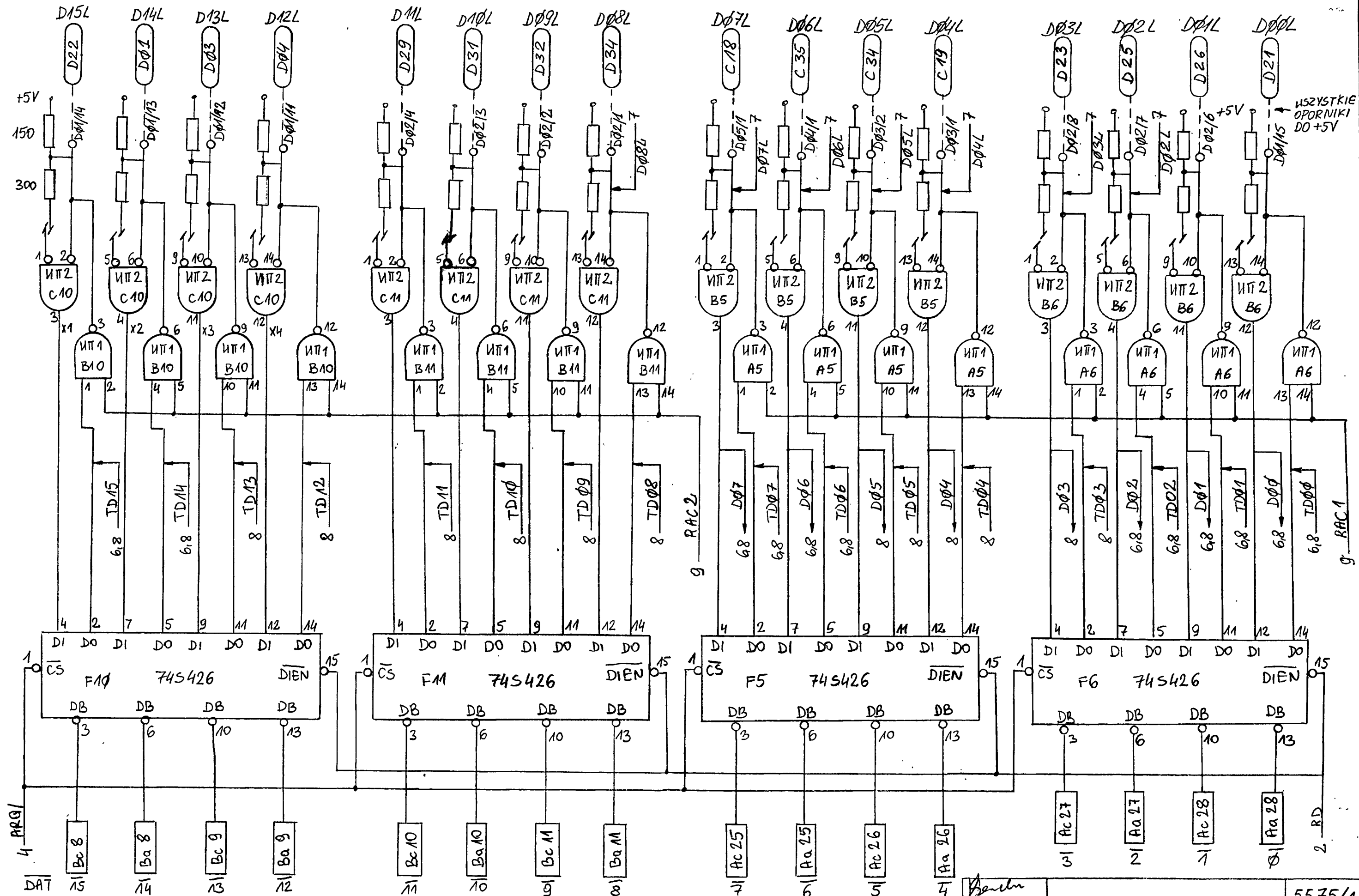
Rys.5.2 Sekwencja przebiegów czasowych, czytania danych.



Rys.5.3 Sekwencja przebiegów czasowych operacji pisania danych do rejestru wewnętrznego pakietu MIO5.



Rys.5.4. Sekwencja przebiegów czasowych operacji czytania danych z rejestru wewnętrznego adaptera MIO5.

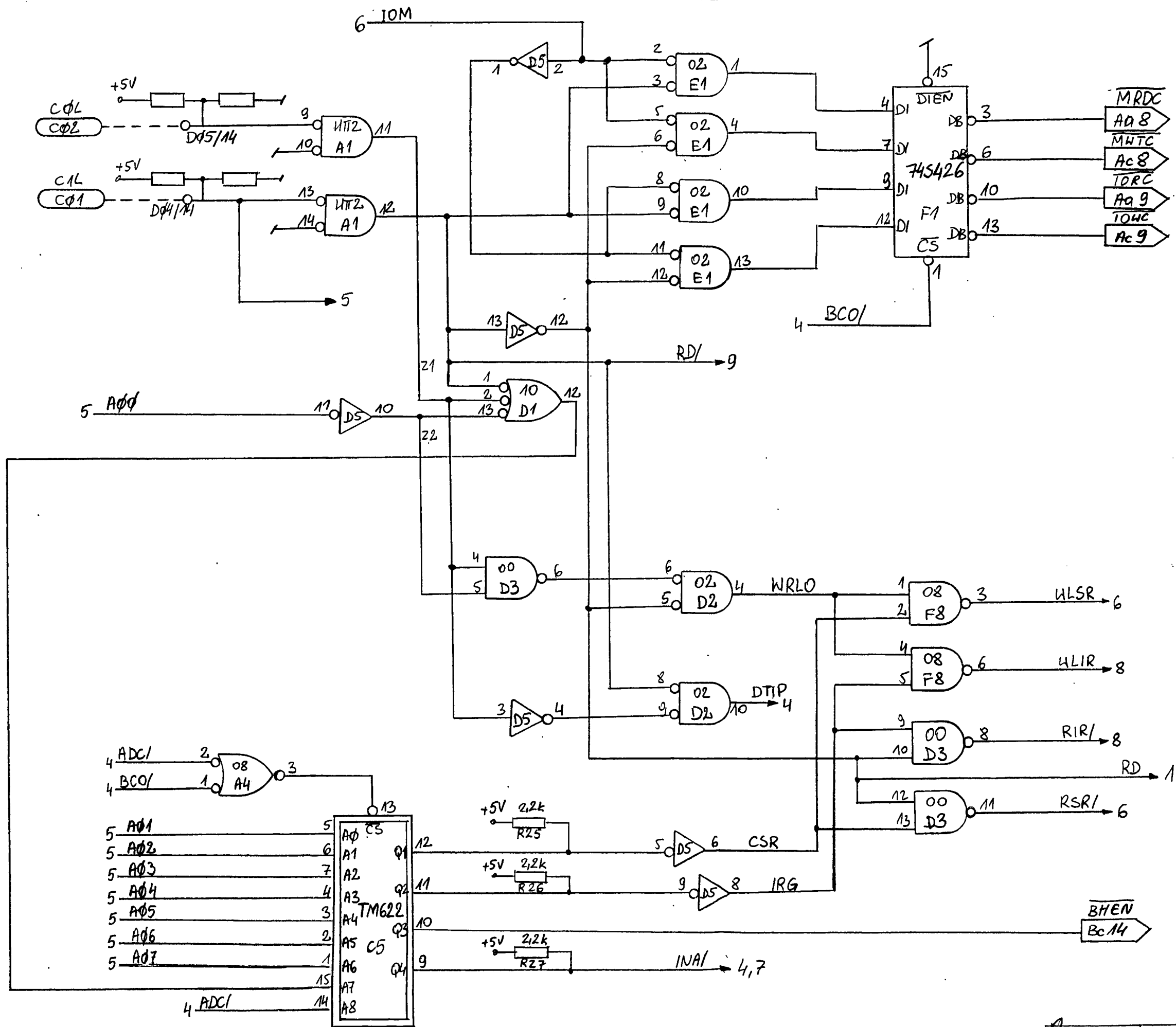


WSZYSTKIE
OPORNKI
DO +5V

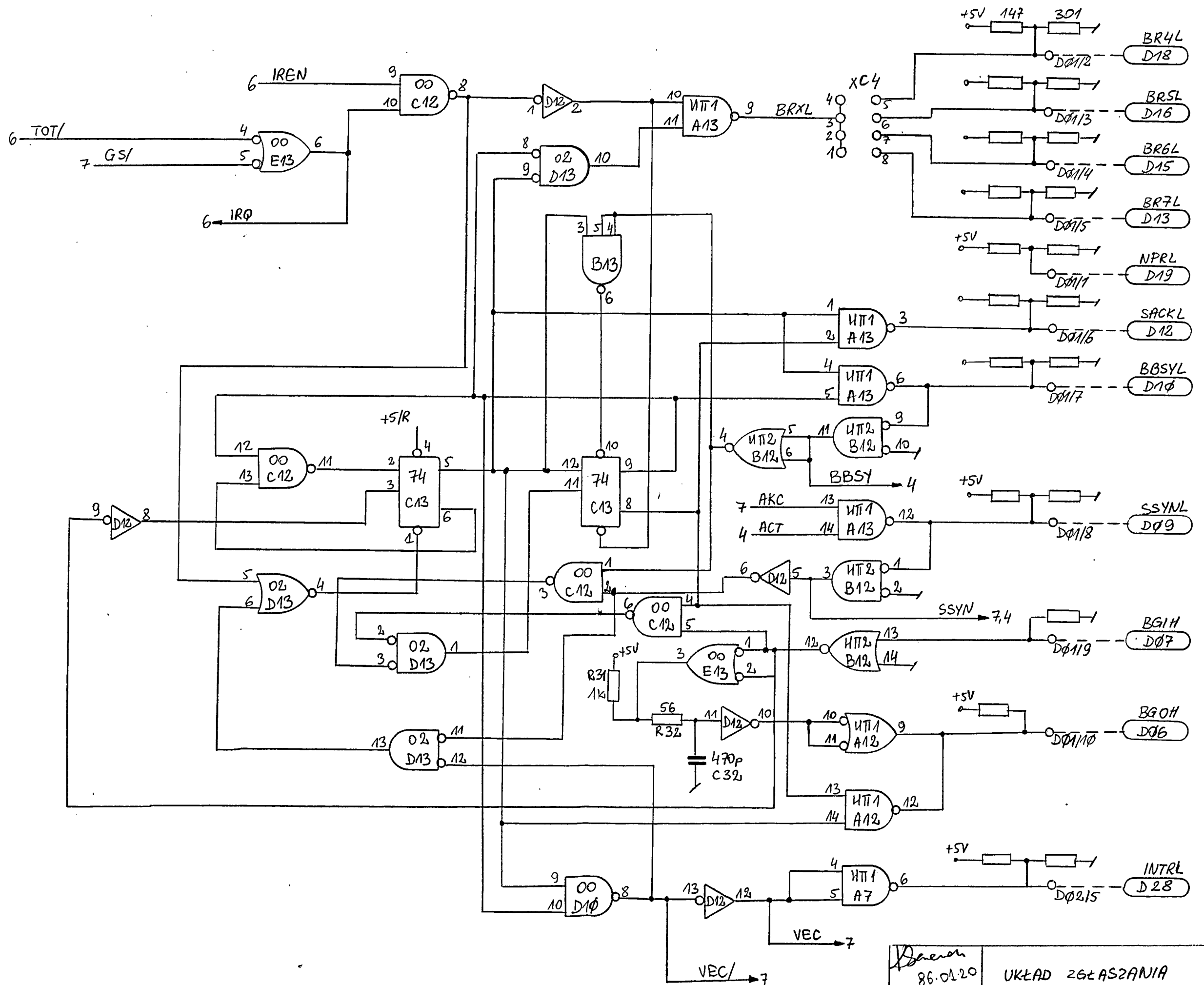
86.01.20
MI05

SYGNAŁY DANYCH

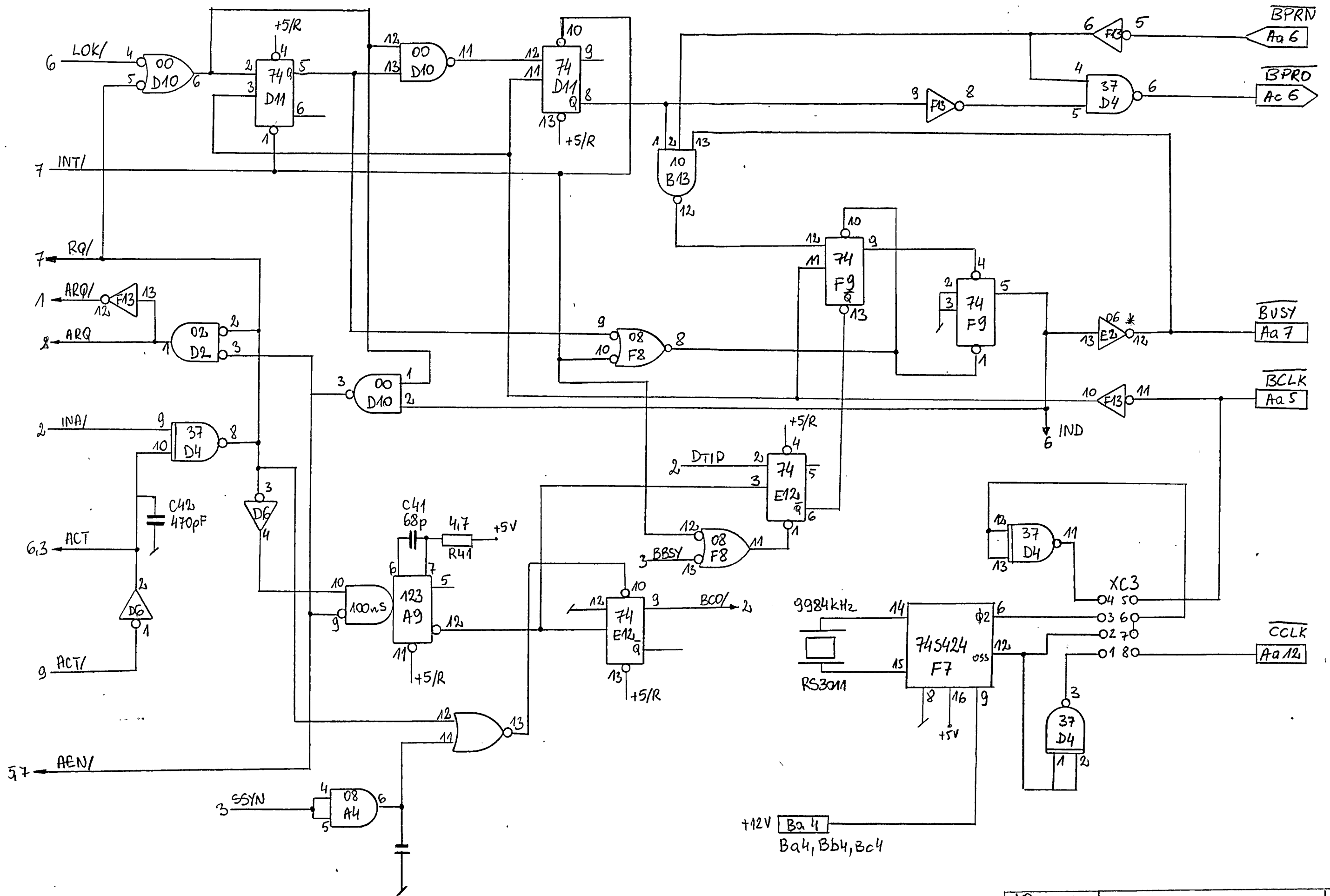
5575/1
PIAP-OAK
31



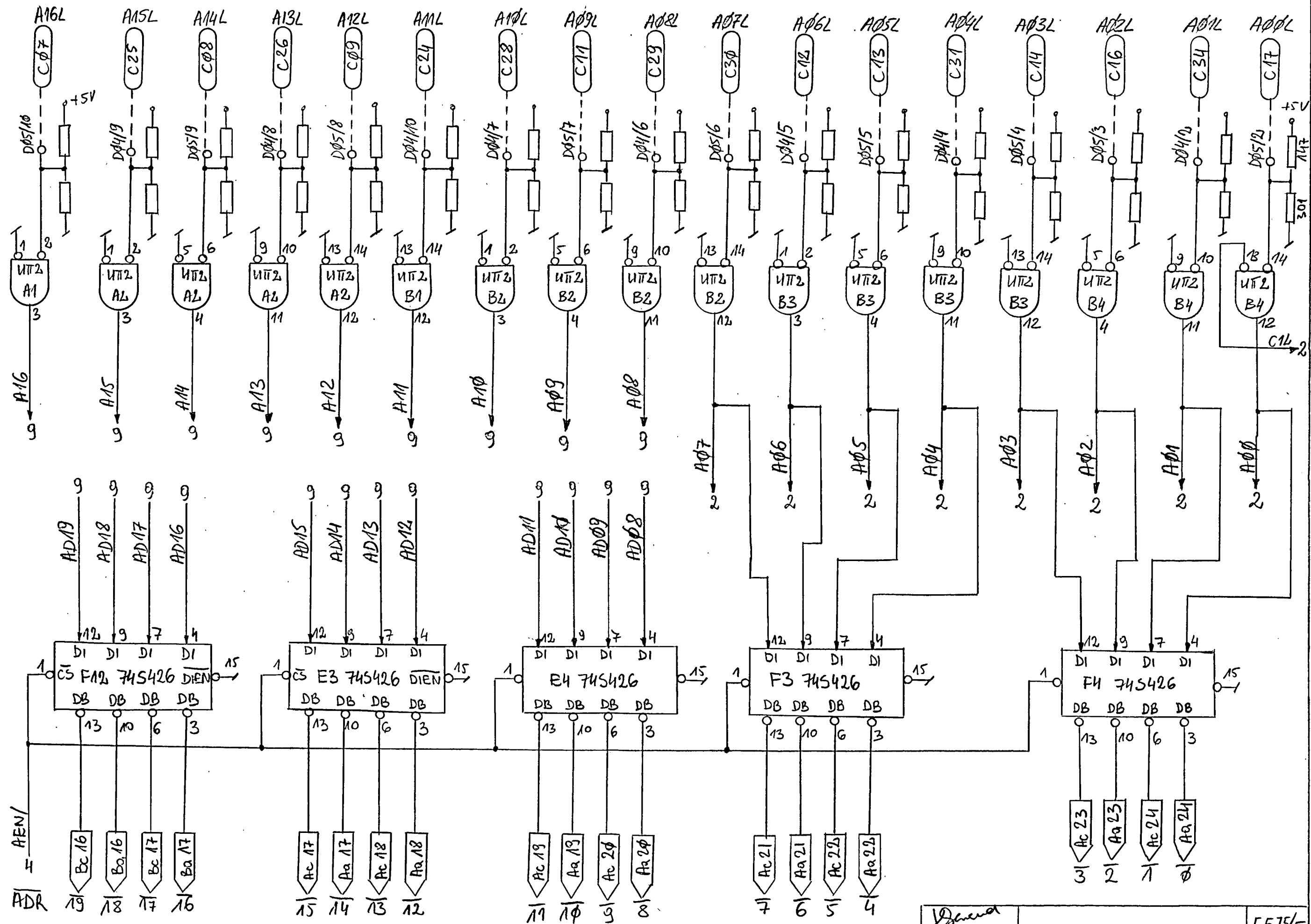
Główny 36.04.20 MID5	UKŁAD SYGNAŁOWY ROZKAZOWYCH	5575/2 PIAP-DAK 31
----------------------------	--------------------------------	--------------------------



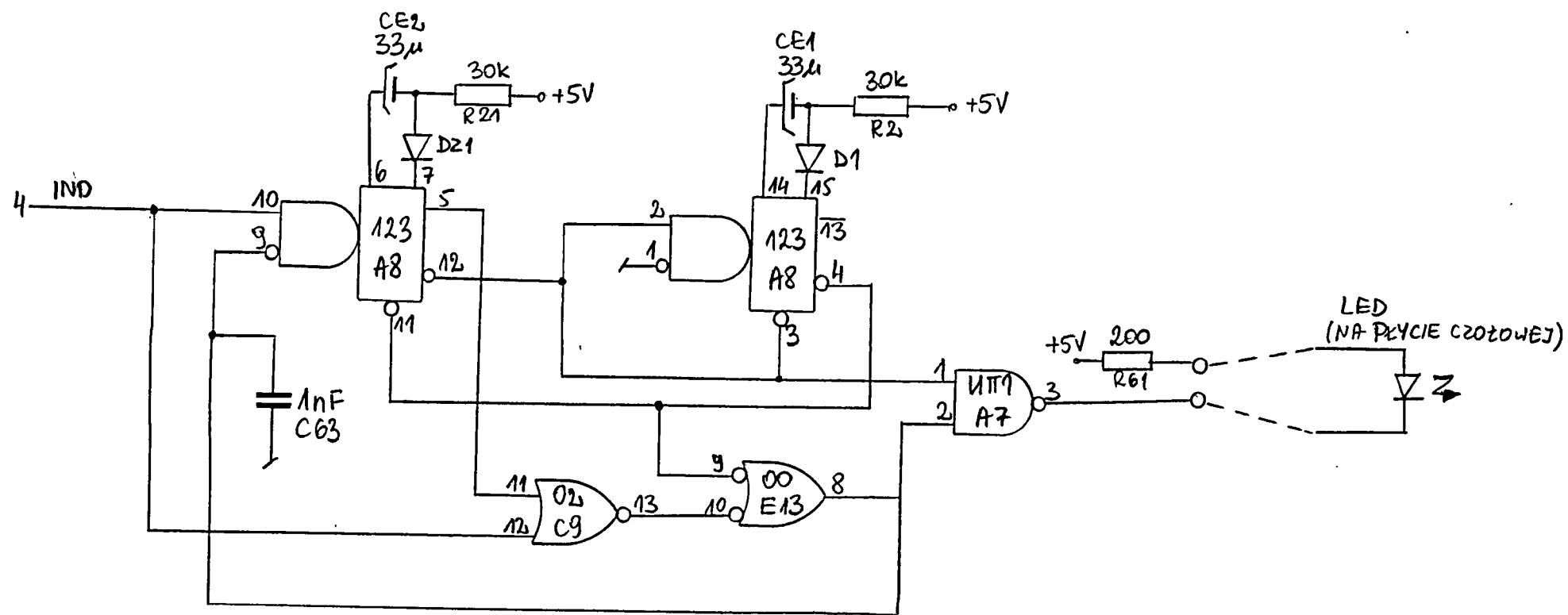
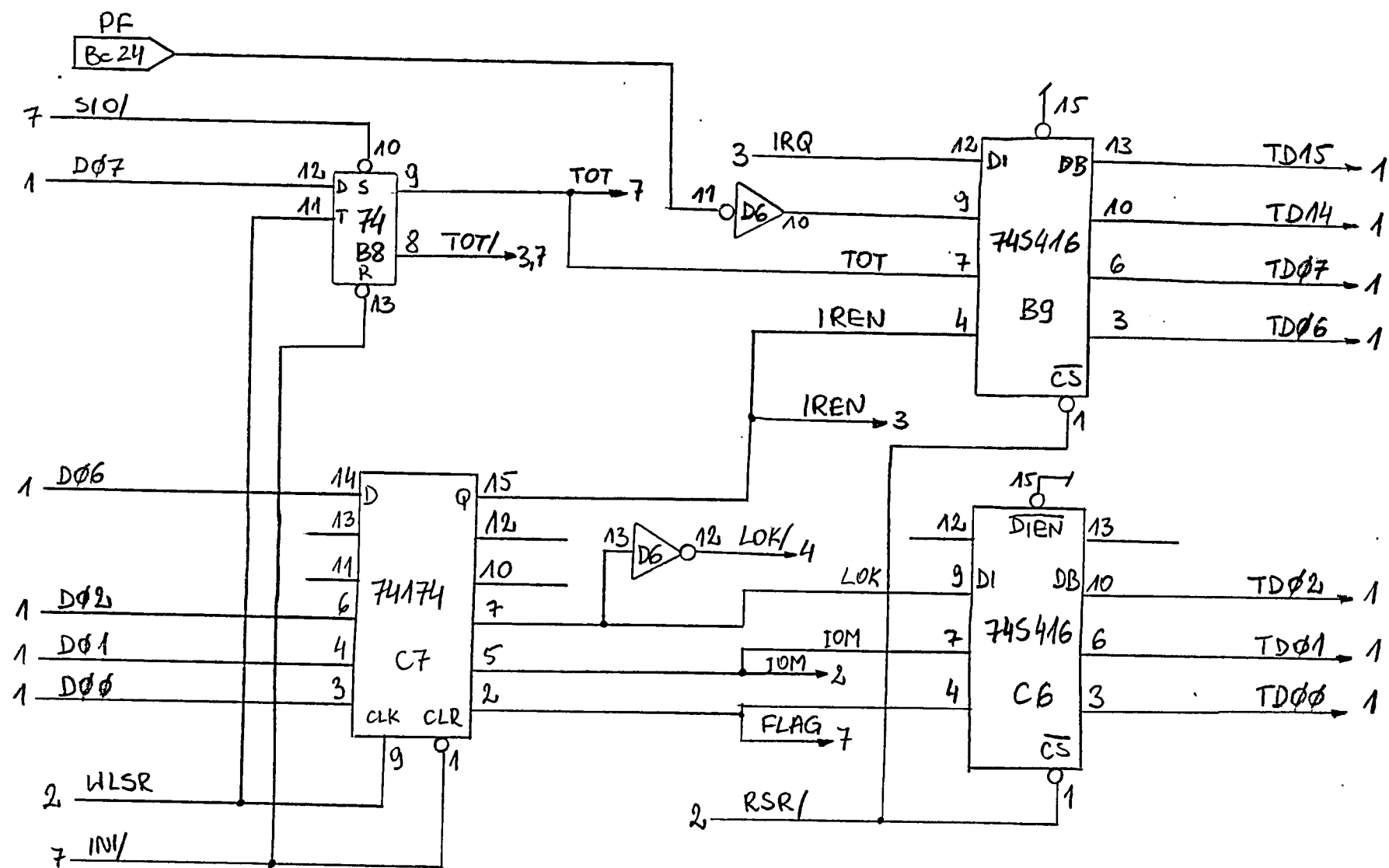
86.01.20	UKŁAD ZGŁASZANIA PRZERWAŃ	5575/3
M105		PAP-DAK 31



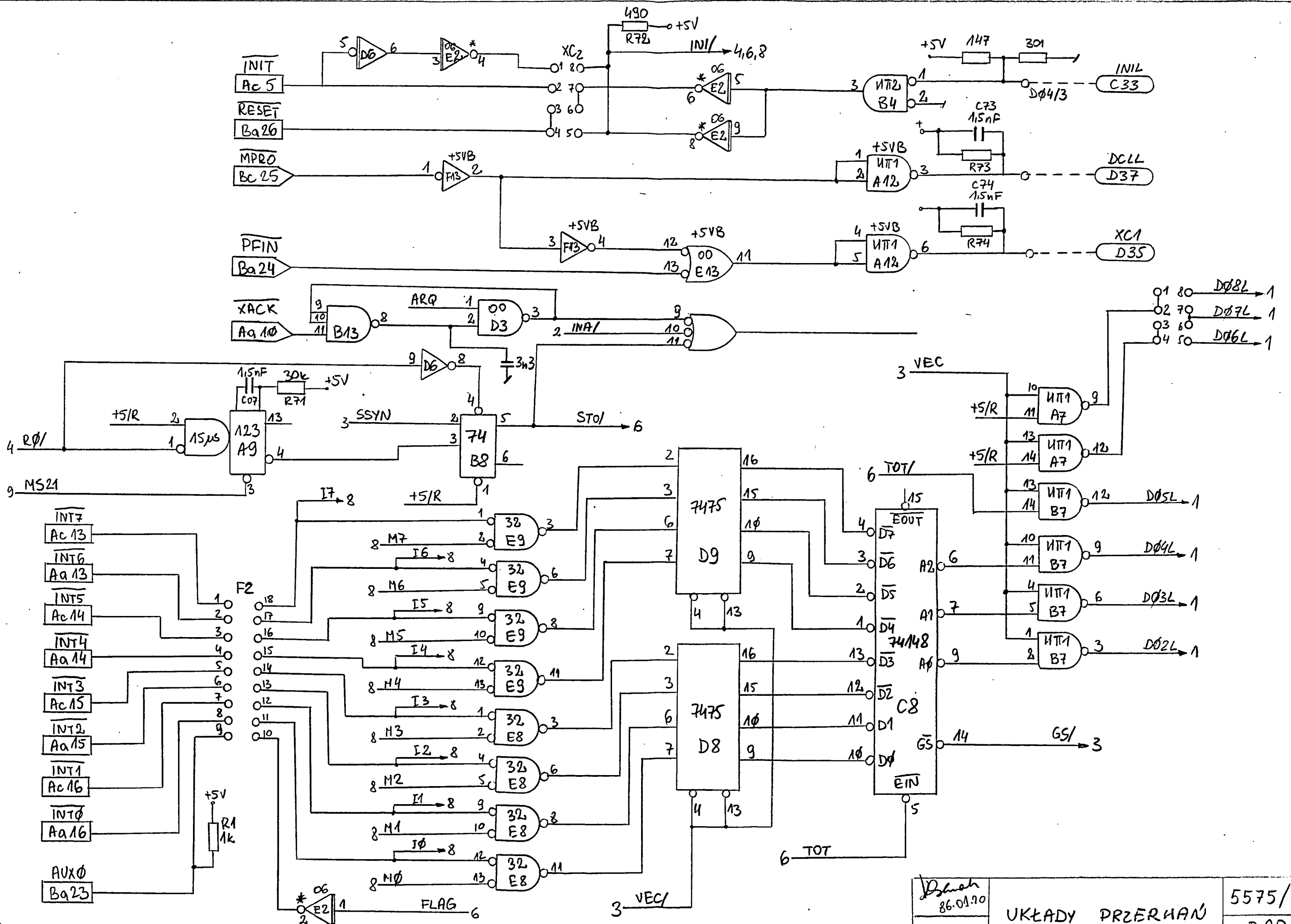
Dancer 86.04.20	UKŁAD OBEJMOWANIA MAGISTRALI	5575/4
MI Ø5		PIAP- OAK 31



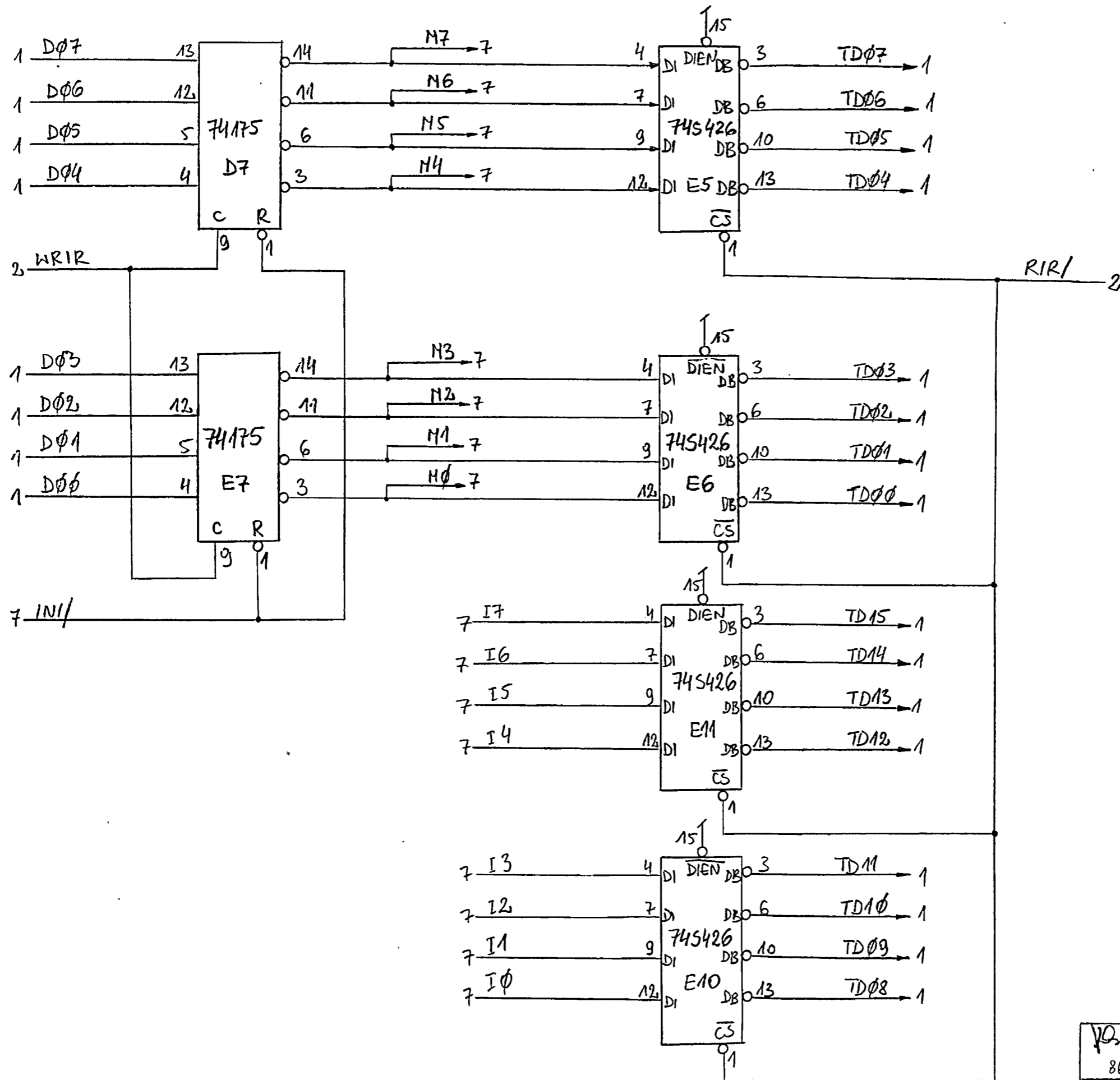
Dobra 86.01.20	ODBIORNIKI / NADAJNIKI SYGNAŁÓW ADRESOWYCH	5575/5 PIAP-ORAK 31
MI 05		



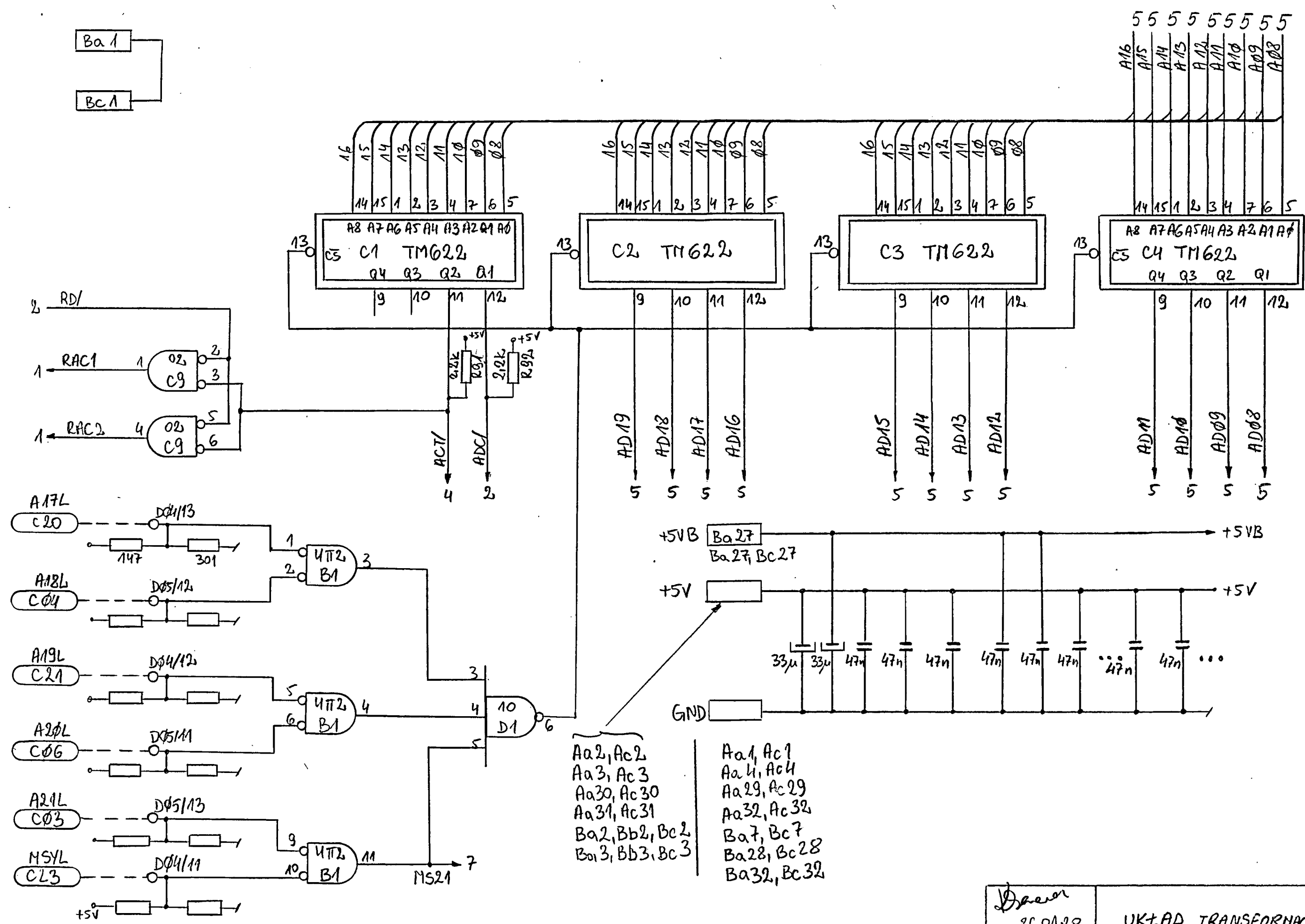
Dława 86.01.20	REJESTR STANU CSR I UKŁAD INDYKACJI	5575/6 PIAP OAK
M105		



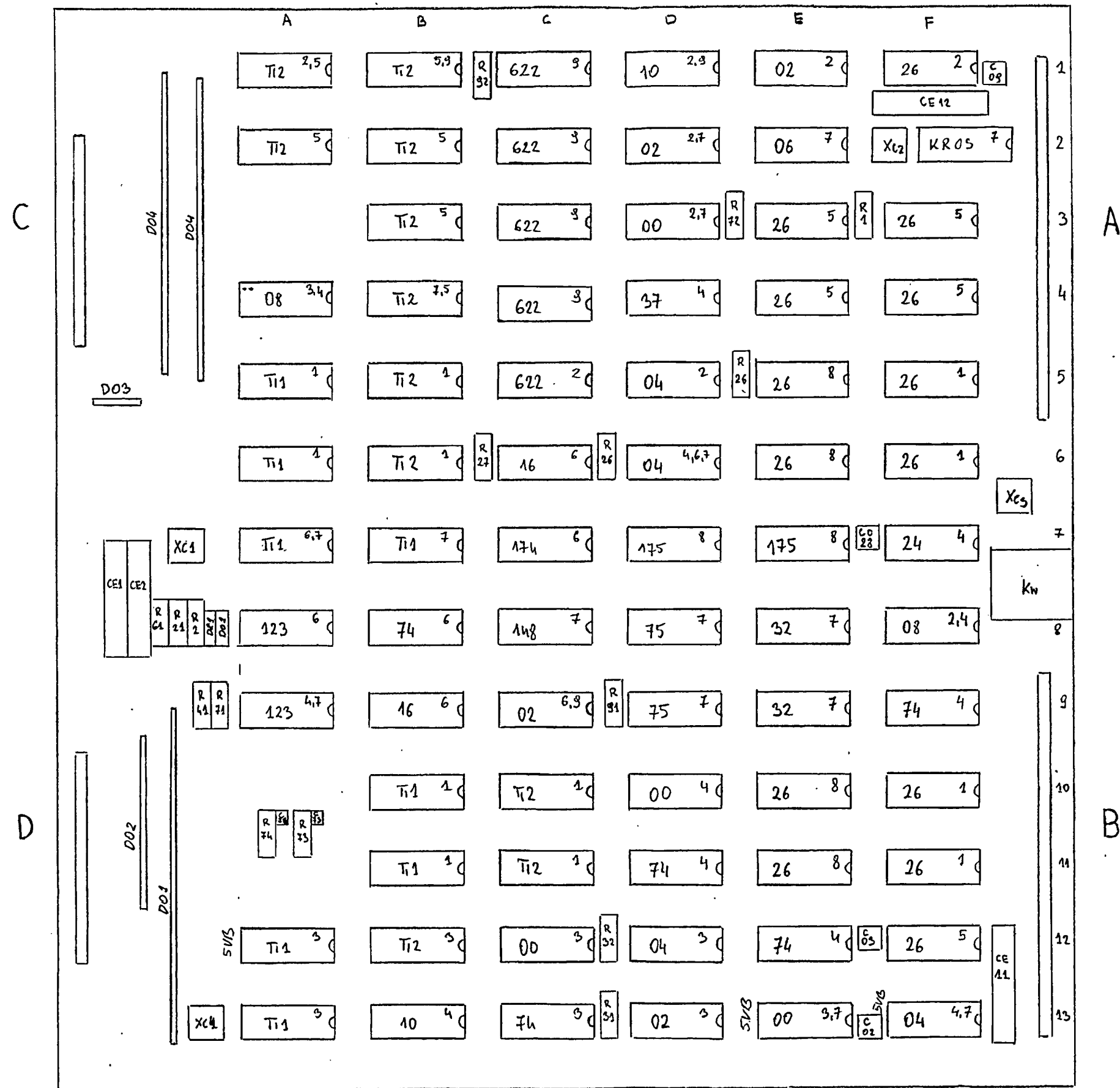
86.01.70	UKŁADY PRZERWAN	5575/7
M105		PIAP OAK 31



Województwo 86.01.20	REJESTR PRZERWANÍ	5575/8
Mi05	INTRG	PIAP-OAK 31



Dzwier 86.01.20	UKŁAD TRANSFORMACJI ADRESU	5575/9 PIAP-OAK 31
MI05		



<i>Pravin</i> 86.01.20 MI 05	ROZŁOŻENIE ELEMENTÓW NA PAKIECIE MODELU MI 05	5575/10
		PIAP-0AK31