

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW
MERA-PIAP
Al. Jerozolimskie 202 02-222 Warszawa Telefon 23-70-81

Ośrodek Automatyki Elektrycznej

074

Zespół Budowy Cyfrowych Urządzeń Systemowych

A

Główny wykonawca mgr inż. K. Stefański

Wykonawcy mgr inż. Z. Pelcer

Konsultant

Nr zlecenia

UR.01.03.01M
et.3

Opracowanie pakietu inteligentnych wejść analogowych dla sprzężenia robota z otoczeniem.
Etap 3. Uruchomienie i badania programowe modelu

Zleceniodawca problem węzłowy 06.6

Pracę rozpoczęto dnia
Kierownik Zespołu OAE-8

dr inż. A. Syrczyński

zakończono dnia 30.04.86
Kierownik Ośrodka

prof. dr inż. T. Missala

Praca zawiera:

stron 8
rysunków 3
fotografii
tabel
tablic
załączników 5

Rozdzielnik - ilość egz:

Egz. 1 BOINTE
Egz. 2 OAE
Egz. 3 OAE
Egz. 4
Egz. 5
Egz. 6

Nr rejestr. 5592

1

Analiza deskryptorowa

URZĄDZENIA AUTOMATYCZNEJ REGULACJI
I STEROWANIA KSAP + MIKROPROCESOR +
+ INTELDIGIT-PROWAY + ROBOT + URUCHOMIENIE
I BADANIA MODELU.

Analiza dokumentacyjna

Sprawozdanie z uruchomienia i badań modelu
inteligentnego pakietu wejść analogowych.

Tytuły poprzednich sprawozdań

1. Opracowanie koncepcji i dokumentacji modelu
pakietu nr arch. 4586.

328x45:62/63], 002. 1/2 Roboty precyzyjne

UKD

PIAP-252/83-6000

SPIS TREŚCI

1. Wstęp
2. Dokumenty związane
3. Metodyka uruchamiania i badań modelu
4. Przebieg uruchamiania i badań modelu
5. Wnioski

1. Wstęp

Celem etapu 3 było uruchomienie modelu pakietu inteligentnych wejść analogowych zmontowanego na podstawie schematów zawartych w dok. nr arch. 4586, a następnie przeprowadzenie badań programowych modelu mających na celu sprawdzenie koncepcji i jej ewentualne ulepszenia.

Do badań użyto jednokasetowego zestawu INTELDIGIT-PROWAY wraz z pakietami MM80, MW30 monitora MERA-7952, czytnika i perforatora taśmy. W trakcie uruchamiania układu mikrokomputera posługiwano się układem wymuszającym pracę krokową /opracowanym w trakcie wykonywania pracy/ oraz analizatorem stanów logicznych E220.

2. Dokumenty związane

2.1. Opracowanie koncepcji i dokumentacji modelu pakietu dok. nr arch.4586.

2.2. Opracowanie urządzeń we/wy analogowych systemu MIR-PROWAY z wewnętrzną cyfrową obróbką sygnałów. Et.1. Analiza bazy elementowej i koncepcja urządzeń nr rej.4740.

3. Metodyka uruchamiania i badań modelu

3.1. Sprawdzenie prawidłowości połączeń elektrycznych na płytach A i B i dokonanie koniecznych korekt.

3.2. Uruchamianie układu przetwornikowego /płyta B/

3.2.1. Sprawdzenie poprawności i dokładności pracy układu analogowego.

3.3. Uruchomienie mikrokomputera /płyta A/

3.3.1. Uruchamianie zespołu jednostki centralnej.

3.3.2. Sprawdzenie komunikacji z pamięciami EPROM i RAM.

3.3.3. Sprawdzanie działania mechanizmu dwudostępności do wydzielonego obszaru pamięci RAM /dostępu od strony wewnętrznego mikroprocesora i od strony procesora nadrzędnego, tutaj: MM80/.

3.3.4. Badania współbieżnej pracy programów z procesora nadrzędnego i podrzędnego.

3.4. Badanie współpracy mikrokomputera z układem przetwornika analogowo-cyfrowego.

4. Przebieg uruchamiania i badań modelu.

4.1. W celu uruchamiania płyty analogowej zbudowano dodatkowy układ umożliwiający:

- wybranie kanału napięcia wejściowego,
- włączenie układu multipleksera /ENABLE/,
- próbkowanie wejściowego napięcia /SAMPLE/,
- start przetwarzania przetwornika a/c
- wyświetlenie wyniku na diodach LED

Cały ten układ przedstawia RYS.I.

4.1.1. Po zmontowaniu dodatkowych układów jak w pk.4.1 połączono w/g RYS.II układ do badania modelu przetwornika a/c.

Dokonano wielokrotnych przetworzeń wejściowego regulowanego napięcia ~~N~~ każdym z ośmiu kanałów, wymuszając najpierw pobranie próbki, a następnie start przetwarzania. Procesy przełączania kanałów w multipleksersze, pobierania i pamiętania próbek i samo przetwarzanie przebiegały prawidłowo. Jedynie dokładność przetwarzania nie była zadawalająca. Błędy wynosiły ± 4 bity. Powodowały to rezystory R2, R4..R16 włączone na parzyste wejścia multipleksersa. Ponieważ układ ~~SamS/H~~ ma niesymetryczne wejście, łączyły one masę układu ~~SamS/H~~ z masą wejściowego źródła napięcia. Przez tę znaczną rezystancję płynęły prądy wyrównawcze między masami, a to powodowało powstanie błędu napięcia przetworzonego, zmieniającego się w czasie. Po usunięciu rezystorów R2, R4, R6...R16 niestabilność ostatnich bitów stała się niezauważalna. Ogólnie wynik badań statycznych pozytywny.

4.2. Uruchomienie mikrokomputera /płyta A/.

4.2.1. W celu przetestowania zespołu jednostki centralnej w pamięci EPROM umieszczono następującą "pętlę programową":

ADRES ROZKAZ
0000 NOP
0001 NOP
0002 NOP
0003 JMP 0000

Obserwacje na analizatorze stanów logicznych wykazały znaczne zakłócenia na liniach danych i adresowych.

Wobec tego wprowadzono kondensatory o pojemności 33nF, blokujące wszystkie napięcia zasilające /1 kondensator na 3 układy scalone/.

Przebiegi na szynach danych i adresowych uległy radykalnej poprawie.

Wynik kontroli poprawności działania zespołu jednostki centralnej pozytywny.

4.2.2. W celu sprawdzenia komunikacji zespołu jednostki centralnej z pamięciami zaprogramowano pamięci PROM "P" i "R" dokonujące sygnały wyboru pamięci na podstawie adresów z procesora (schematy dok. nr. 4586). Na analizatorze stanów logicznych można było zaobserwować wszystkie sygnały wyboru pamięci od $\overline{CS1}$ do $\overline{CS6}$ i $\overline{CS8}$, jeśli procesor wewnętrzny realizował program z załącznika 1, zapisany w pamięci EPROM. Pamięci PROM zostały zaprogramowane poprawnie.

Mapa pamięci została ustalona następująco:

A D R E S Y	AKTYWNE SYG. \overline{CS}	Charakterystyka obszaru pamięci
0000 - 07FFH	$\overline{CS1}$	obszar EPROM-u
0800 - 0FFFH	$\overline{CS2}$	
1000 - 13FFH	$\overline{CS3}$	RAM dostępny dla procesora wewnętrznego
1400 - 17FFH	$\overline{CS4}$	
2000 - 23FFH	$\overline{CS5}$	RAM dwudostępny
2400 - 27FFH	$\overline{CS6}$	
4000 - 4003H	$\overline{CS8}$	obszar równoległego układu we/wy 8255

Próby zapisów i odczytów wybranych danych do pamięci RAM podejmowane w następnej kolejności nie dawały jednoznacznie poprawnych wyników.

Często procesor wchodził w trwały stan WAIT spowodowany pojawieniem się fałszywego adresu spoza obszarów dozwolonych.

W związku z tym, w celu poprawienia kontaktów na podstawkach wlutowano niektóre układy scalone i jeszcze raz przeprowadzono analizę obciążeń wyjść układów.

Okazało się, że szyna HLDA procesora była przeciążona - dołączono dodatkowy bufor zwiększający obciążalność tego wyjścia. Ale i te posunięcia nie przyniosły spodziewanych rezultatów i wobec tego zdecydowano się uruchomić pracę krokową wewnętrznego mikroprocesora.

4.2.3. Badania w reżimie pracy krokowej.

Zbudowano układ do pracy krokowej w/g RYS. III.

Do szyn danych i do szyn adresowych dołączono układ wizualizacji ich aktualnego stanu /na diodach LED/, co pozwoliło na obserwację stanu magistral w każdym z kolejnych cykli procesora. Dzięki mechanizmowi pracy krokowej odkryto dwie usterki projektowe układu mikroprocesorowego.

- Bufory 8216 /GG, HH, MM, PP/ były zawsze "wybrane" jeśli tylko procesor wewnętrzny nie był w stanie HOLD. Jeżeli dodatkowo następowało czytanie /sygnał $\overline{\text{MEMR}}$ / jakiegokolwiek pamięci, to transmitowały one w kierunku wewnętrznej magistrali danych i powodowały na tej magistrali konflikty.

Zmieniono sygnał wyboru $\overline{\text{CS}}$ tych buforów tak, żeby były one "wybierane" tylko w wypadku odwołania do tej pamięci RAM, z którą były połączone. Na dalszym etapie zrezygnowano całkowicie z tych buforów, gdyż ich funkcję wprowadzania w stan wysokiej impedancji wewnętrznej magistrali danych na ten czas, kiedy wewnętrzny mikroprocesor jest w stanie HOLD, równie dobrze może spełniać układ 8228, którego szyny danych można wprowadzać w stan wysokiej impedancji sterując wejściem BUSEN.

- Dodatkowo stwierdzono, że często do pamięci dwudostępnej RAM wpisywane są fałszywe dane pasożytniczymi sygnałami MWTC z magistrali PROWAY. W celu wyeliminowania tego efektu sygnał na wejściu zapisu/odczytu pamięci uzależniono od MWTC i HLDA.

4.2.4. Sprawdzanie dostępu procesora nadrzędnego do pamięci dwudostępnej.

W celu sprawdzenia dostępu do pamięci dwudostępnej przez procesor nadrzędny /MM80/ zaprogramowano pamięć stałe PROM DD i EE. (Schemat dok. awd. 4586). Przy czym zdecydowano, że dekodery DD i EE ma wytwarzać sygnał HOLD dla mikroprocesora wewnętrznego, jeśli tylko procesor nadrzędny zaadresuje pakiet MA30, a dekodery DD i EE ma wystawiać dwa sygnały M.L.B i ST.B zależne od tego czy transmisja ma się odbywać po młodszym, starszym, czy też po obu bajtach. Dzięki tej właściwości pakiet uzyskał możliwość współpracy zarówno z procesorami nadrzędnymi ośmiu- jak też szesnastobitowymi.

Procesor nadrzędny w trakcie badań wykonywał program w/g załącznika 2. Zapis i odczyt danych był prawidłowy, o czym świadczą przebiegi logiczne w/g załącznika 3.

W celu lepszego przebadania mechanizmu dwudostępności w podobny sposób przebadano komunikację z dużymi obszarami pamięci dwudostępnej. Wynik pozytywny.

4.2.5. Badanie równoległej pracy programów nadrzędnego i wewnętrznego.

Do EPROM-u mikrokomputera wpisano program "semafor":

ADRES	ROZKAZ	wstępne zerowanie "semafora"
0000	XRA A	o adresie 27FF /z pkt.widzenia
0001	LXIH,27FFH	procesora wewnętrznego/lub B7FE
0004	MOV M,A	/od strony MM80/
0005	CMPM	— pętla kontroli, czy "semafor" nie
0006	JZ 0005H	wuległ zmianie
0009	JMP 20FF	— w przypadku zmiany "semafora"
		skok do komórki od której rozpoczyna się program tzn.20FF /z pkt.widzenia procesora wewnętrznego/ lub B1FF /od strony MM80/

Program ten umożliwiał uruchamianie programów działających na wewnętrznym mikroprocesorze, zapisanych w Pamięci dwudostępnej i pisanych z klawiatury pod systemem RTMT tzn. z wykorzystaniem dyrektyw monitora systemowego. Wpisany program był uruchamiany przez ustawienie wartości różnej od zera w komórce "semafor"

W celu przebadania równoległej pracy programów nadrzędnego i wewnętrznego procesor wewnętrzny realizował program A w/g załącznika 3 - na przemienne wpisywanie z maksymalną szybkością do wybranej komórki pamięci dwudostępnej danych AAH i 55H, a procesor nadrzędny realizował w tym czasie /program B zał.3/ program siedmiokrotnego testowania tejże komórki z pamięci dwudostępnej na obecność /na przemian/ danych AAH i 55H.

Po dokonaniu siedmiu sprawdzeń wykonywany był skok do MONITORA.

Program B został pomyślany tak, żeby sygnały HOLD dla procesora wewnętrznego przychodziły jak najczęściej. Wynik sprawdzenia poprawności równoległej współpracy obu programów pozytywny.

W podobny sposób została przebadana równoległa praca procesorów wewnętrznego i nadrzędnego na dużych obszarach pamięci dwudostępnej.

4.3. Badanie współpracy mikrokomputera z układem analogowym.

W celu sprawdzenia współpracy płyt A i B zostały uruchomione programy z załącznika 4.

Program A zał.4 uruchomiony na wewnętrznym mikroprocesorze obsługiwał pobieranie próbek wej. napięcia analogowego i następnie przetwarzał je cyfrowo i wysyłał wynik do wybranych komórek pamięci dwudostępnej.

Program B pobierał wyniki przetwarzania przygotowane przez program A i wyświetlał je na bieżąco na monitorze.

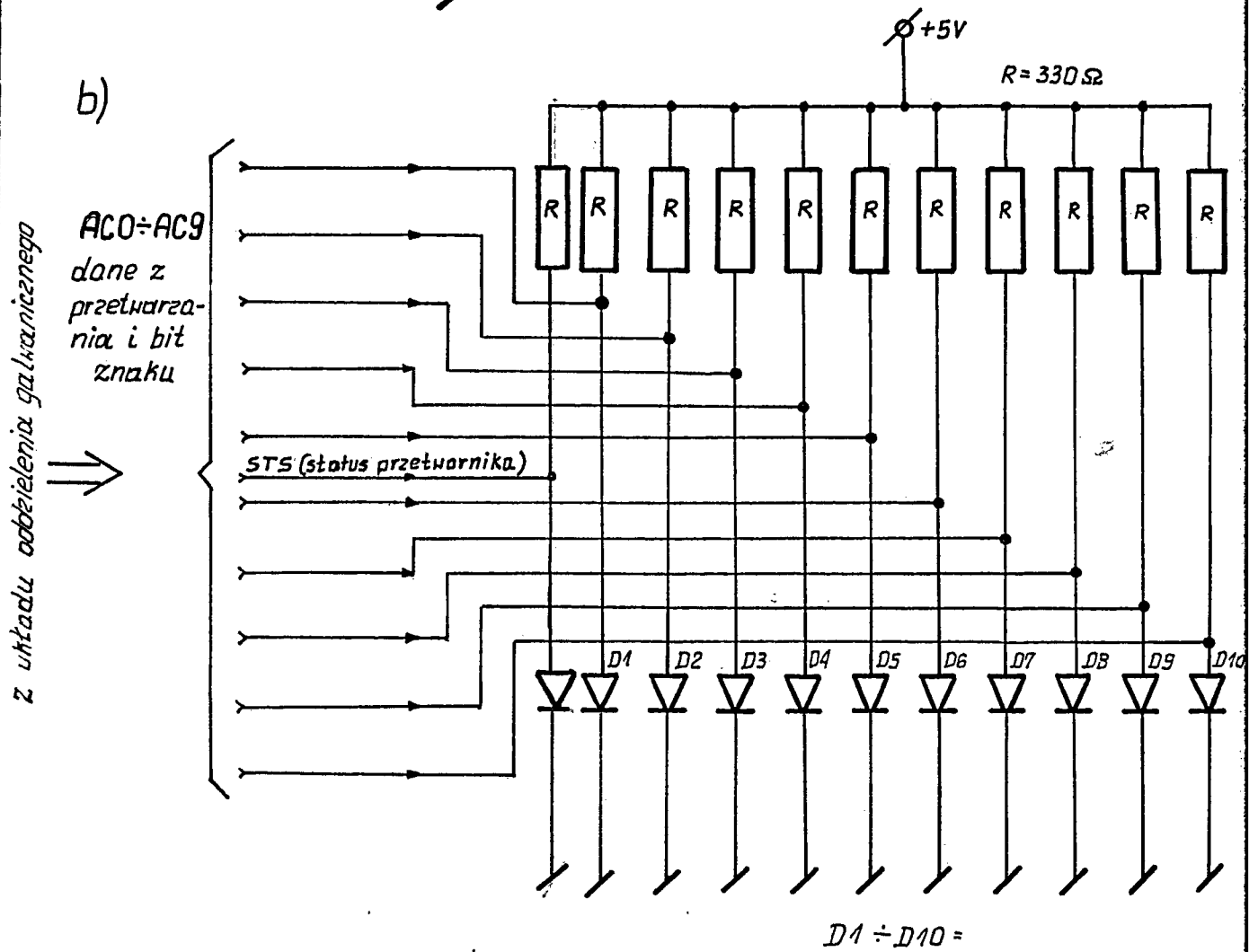
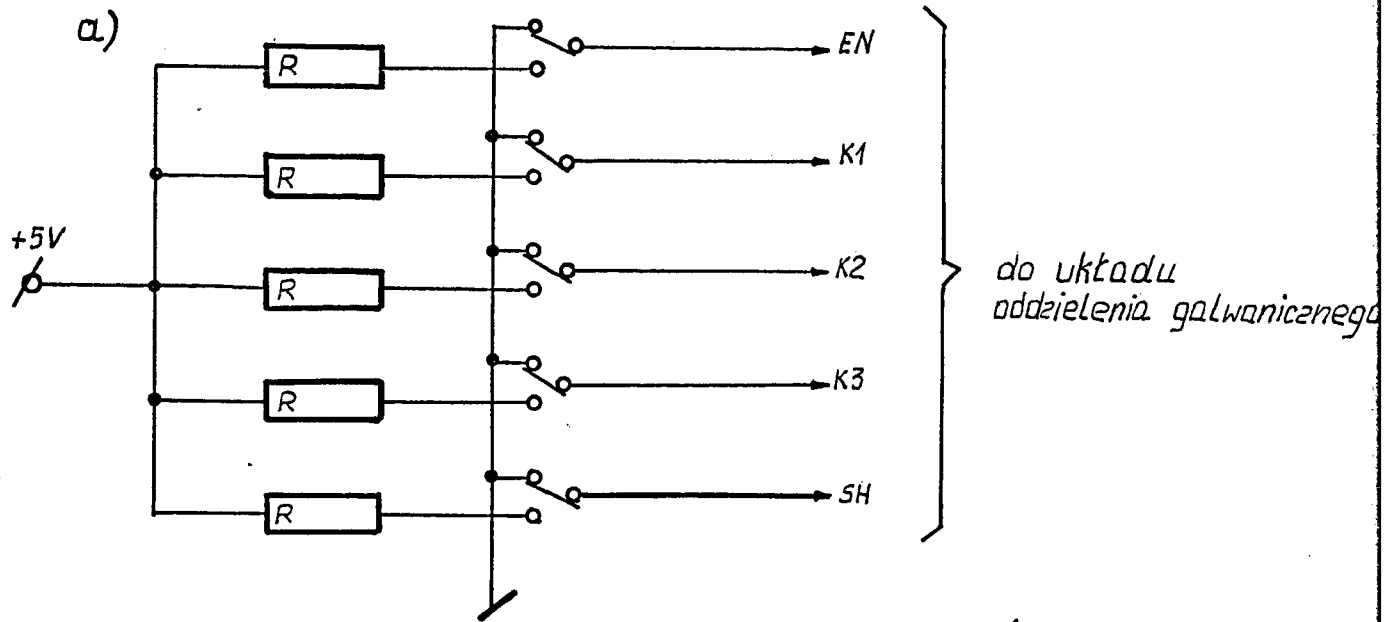
Wyniki badania wykazały prawidłową współpracę obu płyt - komputerowej i analogowej.

5. Wnioski

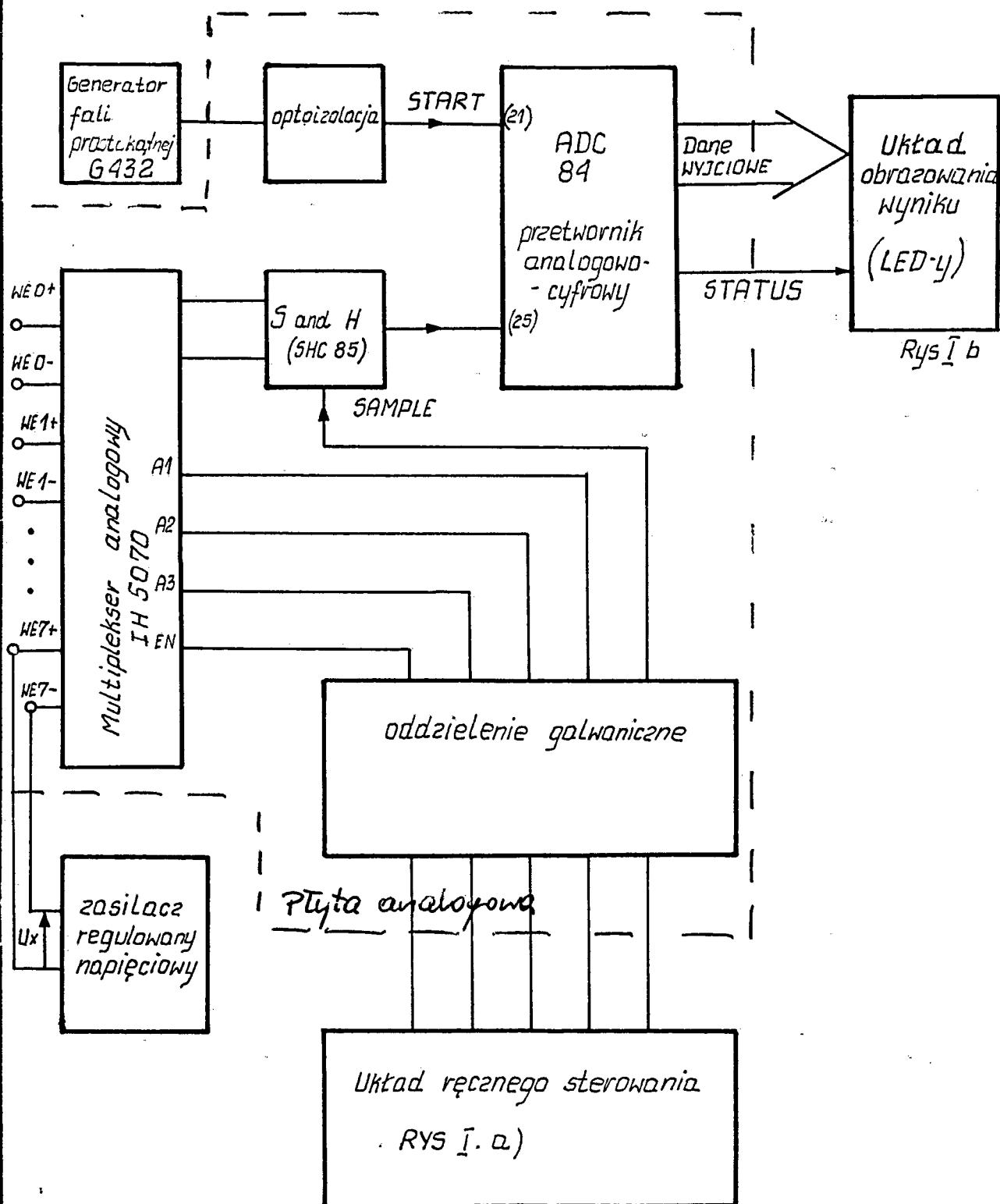
1/Badania modelu pakietu MA30 wykazały, że koncepcja rozwiązania pakietu jest prawidłowa. W szczególności sprawdził się zastosowany mechanizm dwudostępności pamięci RAM. W trakcie badań dokonano dalszej minimalizacji elementów pakietu bez zmiany jego funkcjonalności.

- 2/ W dokumentacji konstrukcyjnej prototypu zostanie wprowadzony mechanizm przerwań mikrokomputera wewnętrznego uruchamiany przez procesor kasety. Część analogowa pakietu zostanie zaprojektowana w oparciu o elementy HPAC 12 produkcji OBREUS TORUN, a multiplexer firmy INTERSIL zostanie zastąpiony przez elementy MAB 398 produkcji CSRS.
- 3/ Decyzja wyboru mikroprocesora zostanie podjęta po ostatecznym określeniu wymagań stawianych przez układ sterowania robota. Za przyjęciem mikroprocesora typu MCY 7880 przemawia jego produkcja w kraju. Jest to jednak element nienowoczesny, wolny, którego pełna konfiguracja składa się z 3 elementów, ze stosunkowo ubogą listą instrukcji. Wykonawcy uważają za celowe zastosowanie elementu Z80, a ściślej jego odpowiednika produkowanego w NRD /U880/. Posiada on o około 50% bogatszą listę instrukcji od MCY 7880 i jest mikroprocesorem jednoelementowym. Alternatywą dla Z80 jest element typu 8088 ośmiobitowy procesor, o szesnastobitowej strukturze wewnętrznej, który nie jest jednak produkowany w KS.
- 4/ Ustalić należy również typ i pojemność pamięci RAM i EPROM która będzie docelowo zastosowana w pakiecie, a której ostateczny wybór jest uzależniony od ostatecznych wymagań stawianych przez układ sterowania robota. Wykonawcy proponują zastosowanie elementów typu 2764 i 6264 /8kx8,/.
- 5/ Wobec nie możliwości uzyskiwania elementów dc/dc z OBREUS zasilanie części analogowej, proponuje się doprowadzić z zasilacza MZ21R robota /napięcie $\pm 15V$ / a napięcie +5V uzyskiwać z napięcia +15V.

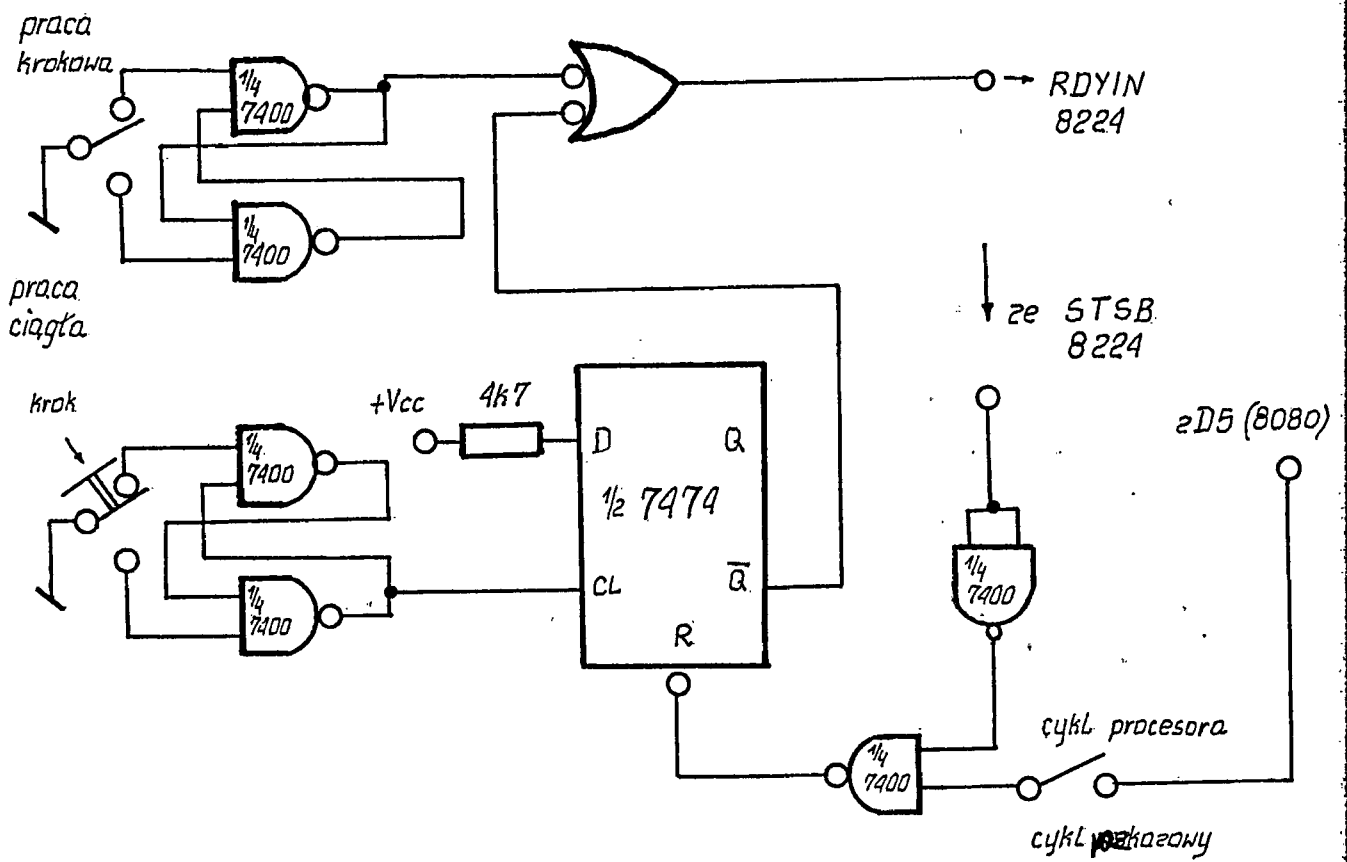
RYS I a. układ ręcznego sterowania układem przetwornikowym
 b. układ zobrażenia wyniku przetwarzania



Rys. II Schemat układu do weryfikacji poprawności pracy przetwornikowej części modelu.



Rys. III Układ pracy krokowej dla µP 8080



	TITLE	
0000 21FF10	POCZ: LXI	H,10FFH #USTAMIENIE OBSZARU ADRESOWEGO CS3
0003 77	MOV	M,A #PRZESLANIE PRZYPADKOWEJ DANEJ DO RAM
0004 21FF14	LXI	H,14FFH #USTAMIENIE OBSZARU ADRESOWEGO CS4
0007 77	MOV	M,A
0009 21FF20	LXI	H,20FFH #USTAMIENIE OBSZARU ADRESOWEGO CS5
000B 77	MOV	M,A
000C 21FF24	LXI	H,24FFH #USTAMIENIE OBSZARU ADRESOWEGO CS6
000F 77	MOV	M,A
0010 210140	LXI	H,4001H #USTAMIENIE OBSZARU ADRESOWEGO CS8
0013 77	MOV	M,A
0014 C30000	JMF	POCZ
00	END	

MAKROASSEMBLER REMAKAS-80, VER.2.0, IBM/PIAF BLEDY 0
PROGR DLA SPRAWDZ DOSTEPU PROCESORA NADRZEDNEGO DO PAMIECI

STR 1

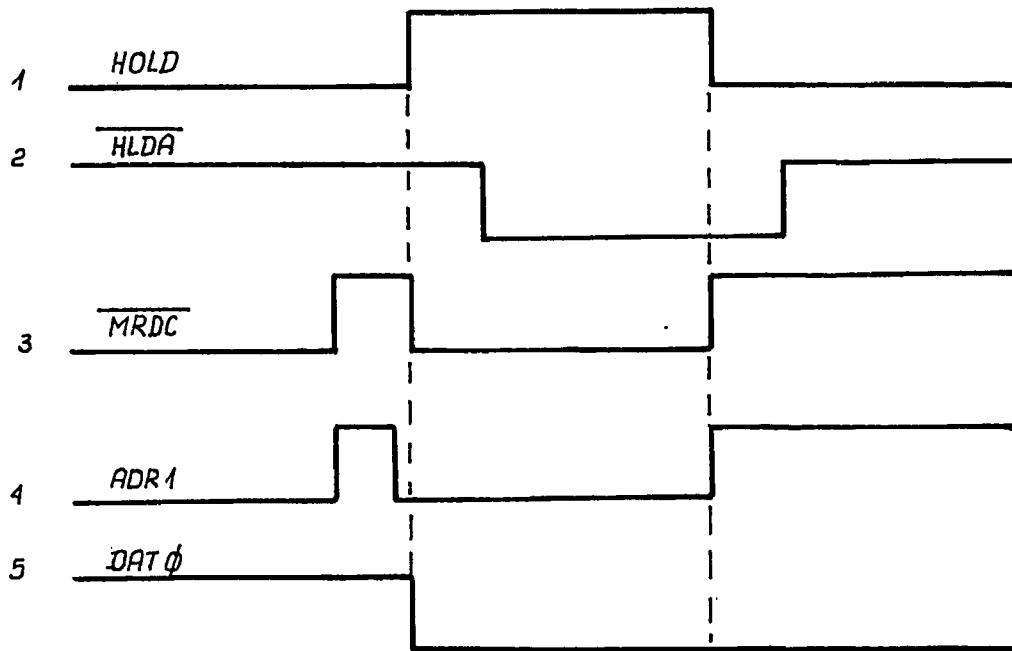
ZALACZNIK 2

B		TITLE	'PROGR DLA SPRAWDZ DOSTEPU PROCESORA NADRZEDNEGO DO PAMIECI DWUDOSTEPNEJ'
B 0000	44575544		
B 0004	4F		
H 0005	210000	PDCZ:	LXI H,0000H ;ADRES PAKIETU MA-30
000B	110100		LXI D,0001H ;DWUBAJTOWA DANA DO ZAPISU
000B	F7		RST 6 ;PODPROGRAM ZAPISU DWUBAJTOWEJ DANEJ
000C	23		INX H
000D	23		INX H
000E	13		INX D ;ZWIEKSZENIE DANEJ(DO Z 1 NA 0)
000F	F7		RST 6 ;ZAPIS NASTEPNEJ KOMORKI RAM
0010	2B		DCX H ;POWROT DO PIERWOTNIE ZAPISYWANEJ KOMORKI
0011	2B		DCX H ;J.W.
012	EF		RST 5 ;ODCZYT 16-BITOWEJ DANEJ
0013	23		INX H ;
0014	23		INX H
0015	EF		RST 5 ;ODCZYT
0016	C30500		JMP PDCZ
0000			END

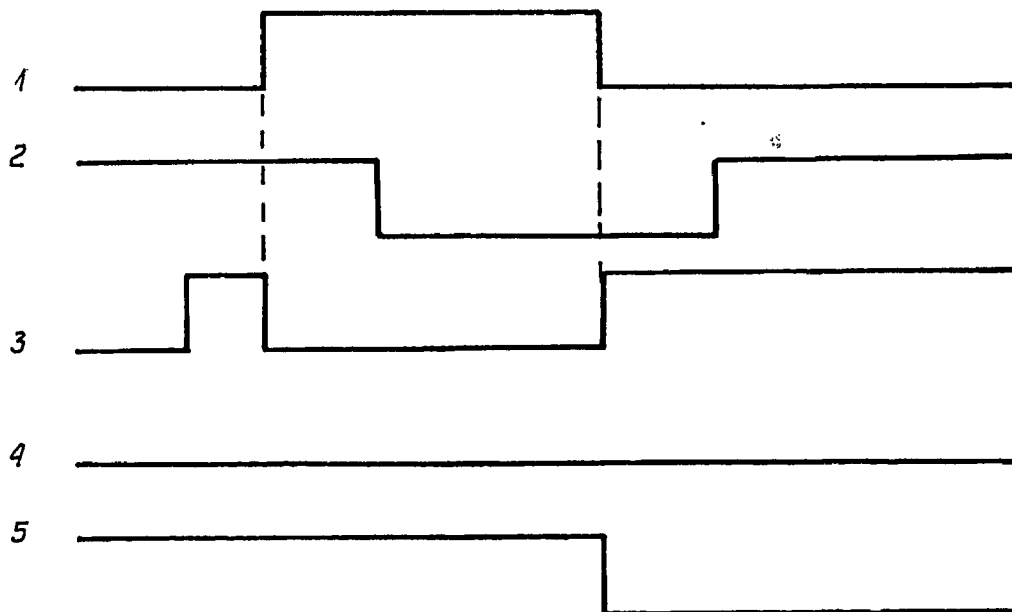
14

Zał. 3

Przykładowe przebiegi logiczne odczytu przez MM80 pamięci dwudostępnej (w trakcie realizacji programu z załącznika 2)



a / odczyt ϕ na DAT ϕ



b/ odczyt „1” na DAT ϕ

MAKROASSEMBLER RENAKAS-DO, VER.2.0, IMM/PIAF
ZALACZNIK 3. PROGR A. -NA PROCESOR WEMNETRZNY

BLEDY 0 STR 1

ZALACZNIK 4

		TITLE	'ZALACZNIK 4. PROGR A. -NA PROCESOR WEMNETRZNY'
U 0000	3ECC	MVI	A,00AAH
0002	212720	LXI	H,2027H
0005	77	MOV	M,A
0006	2F	CMA	
0007	C30500	JMP	EJ
0000		END	

MAKROASSEMBLER RENAKAS-DO, VER.2.0, IMM/PIAF
PROGRAM D-PROCESOR NADRZEDNY

BLEDY 0 STR 1

		TITLE	'PROGRAM D-PROCESOR NADRZEDNY'
0000	3EAA	MVI	A,00AAH
U 0002	210000	LXI	H,D04F
0005	BE	CMP	M
0006	C20500	JNZ	E2
0009	2F	CMA	
0000		END	

5
ZAJA02N1K

		TITLE	
0000 210340	POCZ:	LXI	H,4003H USTAWIENIE ADRESU RS
0003 3699		MVI	M,099H PRZESLANIE DO RS SLOWA STERUJACEGO
0005 210140		LXI	H,4001H ADRES PB
0008 3601		MVI	M,01H PRZYDZIAŁ MULTIFLEKSERA
000A 3621		MVI	M,021H SYGNAL SAMPLE
000C 3601		MVI	M,01H SCHWILA ODDECHU
000E 3641		MVI	M,041H SYGNAL STARTU
0010 3601		MVI	M,01H SCHWILA ODDECHU
0012 210024		LXI	H,2400H ADRES POLKI NA WYNIKI
0013 010240		LXI	B,4002H ADRES PC W BC
0018 0A		LDAX	B ODCZYT PC.
0019 77		MOV	M,A WYNIK PRZETWARZANIA NA POLKE
001A 0B		DCX	B
001B 0B		DCX	B ADRES PA W BC
001C 23		INX	H WIEJSZCIE NA WYZSZA POLKE
001D 0A		LDAX	B ODCZYT WYNIKU
001E 77		MOV	M,A WYNIK NA POLKA
001F C30000		JMP	POCZ
0000		END	

ZAAZAMIK 6

MAKROASSEMBLER REMAKAS-80, WER.2.0, INM/PIAF BLEDY 0 STR 1
 BADANIE WSPOLPRACY PLYTY ANAL Z PLYTA CYFR PROGR..B.- NADRZ

```

CD14          HXAS2  TITLE 'BADANIE WSPOLPRACY PLYTY ANAL Z PLYTA CYFR PROGR..B.- NADRZ'
              PISZZ  EQU    CD14H
              MACRO  NRURZ, BUFMY
              RST    3
              DB    16, NRURZ
              DW    BUFMY
              ENDM

0000 310033    LXI    SP, 3300H
3000          ORG    3000H
3000 2100B0    POCZ:  LXI    H, 0B000H      ;ADRES POLKI Z ZAWARTOSCIA BRAMY PC- ZNAK I MSB
3003 7E       MOV    A,M
3004 E620     ANI    020H      ;WYDZIELENIE BITU ZNAKU
3005 210032    LXI    H, 3200H    ;POCZATEK BUFORA TEKSTOWEGO
3009 360D     MVI    M, 0DH      ;DO BUFORA KOD ASCII ZNAKU CR
300B 23       INX
300C C21430    JNZ    AETY      ;JESLI WYNIK UJEMNY
300F 362B     MVI    M, 02BH     ;DO BUFORA TEKSTOWEGO ZNAK "+"
3011 C31630    JMP    BETY      ;OMINIECIE WPISYWANIA "-"
3014 362B     AETY:  MVI    M, 02BH     ;DO BUFORA ZNAK "-"
3016 2100B0    BETY:  LXI    H, 0B000H    ;PONOWNIE ADRES POLKI Z ZAWARTOSCIA BRAMY PC
3019 7E       MOV    A,M
301A E610     ANI    010H      ;WYDZIELENIE MSB Z WYNIKU PRZETWARZANIA
301C 210232    LXI    H, 3202H    ;PIERWSZA WOLNA KOMORKA Z BUFORA
301F C22730    JNZ    CETY      ;JESLI MSB=1
3022 3630     MVI    M, 030H     ;KOD ASCII ZERA DO BUFORA
3024 C32930    JMP    DETY      ;OMINIECIE ZAPISU "1" DO BUFORA
3027 3631     CETY:  MVI    M, 031H     ;ZAPIS KODU "1" DO BUF
3029 2102B0    DETY:  LXI    H, 0B002H    ;ADRES POLKI Z ZAWARTOSCIA BRAMY PA
302C 7E       MOV    A,M
302D 010332    LXI    B, 3203H    ;USTAWIENIE WOLNEGO ADRESU W BUFORZE TEKSTOWYM
3030 CD140D    CALL  HXAS2     ;ZAMIANA 2 CYFR HEX NA ASCII I DO BUFORA TEKST
3031 03 AF     XRA    A          ;PRZYGOTOWANIE "NULL"
3034 02       STAX   B          ;WYSLANIE "NULL" KONCZACEGO TEKST DO BUFORA
              +     PISZZ  0, WYNIK ;WYPISYWANIE BUFORA NA EKRANIE
3035 DF       +     RST    3
3036 1000     +     DB    16, 00000H
303B 3B30     +     DW    0303DH

303A C30030    JMP    POCZ      ;I W KOLKO
303D          WYNIK: DS    6
0000          END
  
```