

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW
MERA-PIAP
Al. Jerozolimskie 202 02-222 Warszawa Telefon 23-70-81

074

..... OŚRODEK AUTOMATYKI ELEKTRYCZNEJ

A

..... ZESPÓŁ BUDOWY ROBOTÓW I SERWOMECHANIZMÓW

Główny wykonawca mgr inż. Marian Wrzesień

Wykonawcy mgr inż. Bożena Babicz, mgr inż. Andrzej Biernacki,
techn. Andrzej Palczewski.

Konsultant

Nr zlecenia

RP-58.1.

Opracowanie i wykonanie urządzenia dla uruchamiania i testowania układów sterowania IRp 6/60.

Etap 3. Projekt wstępny testera:

- a/ projekt wstępny/ obudowy,
- b/ projekt wstępny układu elektronicznego,
- c/ opracowanie sieci działań w celu przygotowania programów użytkowych dla testera.

Zleceniodawca

CPBR Nr 7.1.

Pracę rozpoczęto dnia 85.12.15.

Kierownik Zespołu

Z-ca Dyr. d/s Automatyki

zakończono dnia 86.06.30

Kierownik Ochronka

dr inż. P. Jabłoński

prof. dr inż. T. Missala

dr inż. T. Gałazka

Praca zawiera:

Rozdzielnik - ilość egz:

stron 31

Egz. 1 BOINTE *uśrednienia*

rysunków 61

Egz. 2 OAE

fotografii -

Egz. 3 DW

tabel -

Egz. 4 OAE

tablic 11

Egz. 5

załączników -

Egz. 6

Nr rejestr. - 5627 -

Analiza deskryptorowa

URZADZENIA AUTOMATYCZNEJ REGULACJI I STEROWANIA:
ROBOTY PRZEMYSŁOWE, TESTOWANIE.

Analiza dokumentacyjna

Sprawozdanie zawiera opis projektu wstępnego obudowy testera, układu elektronicznego oraz sieci działań opracowanych w celu przygotowania programów użytkowych dla testera.

Tytuły poprzednich sprawozdań

Etap 1.: Studia wstępne oraz założenia techniczno- ekonomiczne
/ Sprawozdanie PIAP Nr rej.5494 /

Etap 2.: Opracowanie i uruchomienie systemu programowania testera.
/ Sprawozdanie PIAP Nr rej.5549 /

338.45:62/65].002.1/2 Roboty przemysłowe
681.326.7.004.14 Testery - sterowanie

UKD

PIAP-252/03-6000

SPIS TREŚCI	Str.
1. Wstęp.	3
2. Opis projektu wstępnego obudowy.	3
3. Opis projektu wstępnego układu elektronicznego.	3
3.1. Opis projektu wstępnego pakietu interfejsu równoległego IT1.	4
3.1.1. Przeznaczenie.	4
3.1.2. Dane techniczne.	5
3.1.3. Opis budowy i zasada działania.	8
3.1.4. Programowanie bram we/wy pakietu i komunikacja z pakietem.	12
3.2. Opis projektu wstępnego pakietu interfejsu IT2.	13
3.2.1. Przeznaczenie.	13
3.2.2. Opis ogólny, dane techniczne.	14
3.2.3. Opis podzespołów pakietu IT2.	14
3.3. Opis projektu wstępnego interfejsu IT3.	17
3.3.1. Przeznaczenie.	17
3.3.2. Dane techniczne.	17
3.3.3. Opis budowy i zasada działania.	18
3.3.4. Programowanie bram we/wy pakietu i komunikacja z pakietem.	20
3.4. Opis projektu wstępnego pakietu interfejsu IT4.	21
3.4.1. Przeznaczenie.	21
3.4.2. Dane techniczne.	21
3.4.3. Opis budowy i zasada działania.	22
3.4.4. Programowanie bram we/wy i komunikacja z pakietem.	24
3.5. Opis projektu wstępnego płytki sterującej kolejnością włączania i wyłączania napięć zasilających wraz z zasilaczem +47 V.	25
3.6. Opis projektu wstępnego płytki przełączników zapewniającej połączenie systemu z minikomputerem SM-4 oraz monitorem ekranowym.	25
3.7. Opis projektu wstępnego płyty złącz czołowych.	26
3.8. Opis projektu wstępnego kabli testera.	26
3.9. Opis projektu wstępnego układu testowania magistrali.	27
4. Opis sieci działań dla programów testujących.	27
4.1. Testowanie pakietu MW-31.	27
4.2. Testowanie pakietu MC-42.	28

	Str.
4.3. Testowanie pakietu MA-70.	29
4.4. Testowanie pakietu MZ-70.	30
4.5. Testowanie panelu programowania, płyty P1, P2.	30
4.6. Testowanie panelu programowania, płytki wyświetlaczy.	31
4.7. Testowanie pakietów standardowych MI-50 i ML-50.	31
5. Rysunki.	32

1. Wstęp.

Niniejszy projekt stanowi 3 etap pracy mającej na celu opracowanie i wykonanie urządzenia dla uruchamiania i testowania układów sterowania IRp-6 i IRP-60.

Sprawozdanie zawiera opis projektu wstępnego obudowy testera, układów elektronicznych wchodzących w jego skład oraz sieci działań opracowane w celu przygotowania programów do testowania pakietów wchodzących w skład układu sterowania robota. Instrukcje ^{uruchamiania} pakietów układu sterowania zostaną opracowane przez konstruktorów tych pakietów w etapie weryfikacji dokumentacji.

2. Opis projektu wstępnego obudowy.

Konstrukcja mechaniczna testera została przedstawiona na rys.1.. Podstawą jest stół metalowy (1), na którym jest umieszczony blok sterowania testera (2), monitor ekranowy z klawiaturą (3), testowany pakiet (4) oraz ewentualnie dodatkowa aparatura dodatkowa pomiarowa.

✓brak
na rys.1
monitor

Blok sterowania testera posiada w ścianie czołowej płytę złącz czołowych (5) pozwalających na podłączenie pakietu testowanego. Do blatu stołu przymocowana jest prowadnica (6) pozwalająca na wygodne zamocowanie-badanego pakietu w złączach bloku sterowania (rys.1) .

W skład wyposażenia testera wchodzi też kable niezbędne do połączenia złącz znajdujących się od strony czoła badanych pakietów z blokiem sterowania.

W dolnej części stołu umieszczony jest blok zasilania testera (7) , natomiast pod blatem prowadzone są przyłącza. Z prawej strony stołu umieszczone są dwa przyciski (8) służące do włączania i wyłączania testera.

3. Opis projektu wstępnego układu elektronicznego.

Układ sterowania testera został wykonany na bazie systemu INTEL DIGIT-PROWAY. W jego skład wchodzi następujące pakiety standardowe:

- pakiet MM-86 - jednostka centralna 16-bitowa,
- pakiet kontroli MW-31,
- 2 pakiety ML-50 - rozszerzanie pamięci,
- 2 pakiety ML-30 - rozszerzanie pamięci danych,
- pakiet MC-42 - 16 wejść/16 wyjść,

- magistrala MF-31,
- pakiet MA-70 - sterownik położenia osi,
- pakiet MZ-70 zasilanie TPK,
- układ napędowy TAR-1A,

oraz pakiety wykonane dla testera:

- pakiet IT1 - interfejs równoległy,
- pakiet IT2 - interfejs do testowania pakietów MZ-70, MW-31, MW-32, MZ-42, oraz płytki wyświetlaczy panelu programowania,
- pakiet IT3 - interfejs do testowania pakietu MA-70 oraz panelu programowania,
- pakiet IT4 - interfejs do testowania pakietu MA-70 oraz panelu programowania.

Poza tym w skład układu testera wchodzi następujące podzespoły:

- płytka sterująca kolejnością włączania i wyłączania napięć zasilających wraz z zasilaczem +47 V do silnika,
- płytka przełączników zapewniająca połączenie systemu z mikrokomputerem SM-4 oraz monitorem ekranowym,
- płytka złącz czołowych, zapewniająca połączenie złącz obiektowych pakietów testowanych z testerem.
- zespół kabli,
- układ testowania magistrali MF-31.

3.1. Opis projektu wstępnego pakietu interfejsu równoległego IT1.

3.1.1. Przeznaczenie.

Pakiet IT1 jest przeznaczony do łączenia magistrali testera z testowanymi pakietami układu sterowania robotów. Pakiet umożliwia dołączenie do magistrali testera wszystkich układów pasywnych, wchodzących w skład układu sterowania.

Linie danych, adresowe i sterowania badanego pakietu są połączone bezpośrednio do magistrali testera. Dzięki temu możliwa jest bezpośrednia współpraca jednostki centralnej testera z badanym pakietem. Pozostałe linie, po których badane pakiety mogą wydawać i przyjmować sygnały, dołączone są do bram wejściowych i wyjściowych. Umożliwia to programowe zadawanie i czytanie stanu tych linii.

Podczas testowania większości pakietów układu sterowania, konieczna jest współpraca interfejsu IT1 z pakietami IT2, IT3, IT4, które m.in. zapewniają komunikację pomiędzy testerem, a układami pakietów układu sterowania robotów, których sygnały

są wyprowadzone na złącza obiektowe umieszczone na płytach czołowych tych pakietów.

3.1.2. Dane techniczne.

3.1.2.1. Połączenia z magistralą kasety.

Pakiet IT1 posiada następujące połączenia z magistralą kasety:

- DAT 15/ -DAT Ø/ : 16 dwukierunkowych linii danych,
- ADR 19/ -ADR Ø/, BHEN/ : linie adresowe,
- MRDC/, MWTC/, I/ORC/, I/OWC/, XACK/; sygnały protokołu przekazu danych,
- INT 6/, INT 7/ : sygnały przerwań,
- SINREF : sinus odniesienia,
- CP : sygnał zegarowy,
- CCLK : sygnał zegarowy,
- RESET/ : sygnał zerowania,
- GND, +5V, -5V, +12V, -12V, +15V, -15V, +5VB : linie zasilania.

Rozmieszczenie sygnałów na złączach A i B magistrali kasety testera przedstawiono w tablicy 1. i 1.2.

3.1.2.2. Połączenia z pakietem kontrolowanym.

Na czole pakietu IT1 umieszczone są dwa 96-stykowe gniazda służące do podłączania pakietu kontrolowanego. Wyprowadzone są następujące linie:

- DAT 15P/ - DATØP/ : dwukierunkowe szyny danych,
- ADR 19P/ - ADR ØP/, BHENP/ : linie adresowe,
- MRDCP/, MWTCP/, I/ORCP/, I/OWCP/, XACKP/ : sygnały protokołu przekazu danych,
- INT 7P/ - INT ØP/ : sygnały przerwań,
- SINREFP : sinus odniesienia,
- CPP : sygnał zegarowy,
- CCLKP : sygnał zegarowy,
- ZAKAZ ZAPISU, WRITTENP, ZEZWOLP, STOPP, SEARCHP, REDPREDP, ERRORP, INPOSP, ROBZSYNCHRP, SYNCHRP : sygnały komunikacji między sterownikami osi,
- MMAP2P/ : sygnał mapy pamięci wejść/wyjść 16-bitowych,
- PFINP/ : sygnał przerwania od zaniku zasilania,
- PFSNP/ : sygnał statusu zasilania,
- MPROP/ : sygnał zabezpieczenia pamięci,
- OUTONP/ : sygnał zezwolenia załączenia wyjść,

7

TABLICA 1. Rozmieszczenie sygnałów na złączu A magistrali kasety.

Nr styku	Rząd złącza "a"	Rząd złącza "b"	Rząd złącza "c"
1	GND		GND
2	+5V		+5V
3	+5V		+5V
4	GND		GND
5			
6			
7			
8	MRDC/		MWTC/
9	I/ORC/		I/OWC/
10	XACK/		
11			
12	CCLK		
13	INT 6/		INT 7/
14			
15			
16			
17	ADR 14/		ADR 15/
18	ADR 12/		ADR 13/
19	ADR 10/		ADR 11/
20	ADR 8/		ADR 9/
21	ADR 6/		ADR 7/
22	ADR 4/		ADR 5/
23	ADR 2/		ADR 3/
24	ADR 0/		ADR 1/
25	DAT 6/		DAT 7/
26	DAT 4/		DAT 5/
27	DAT 2/		DAT 3/
28	DAT 0/		DAT 1/
29	GND		GND
30	+5V		+5V
31	+5V		+5V
32	GND		GND

TABLICA 2. Rozmieszczenie sygnałów na złączu B magistrali kasety.

Nr styku	Rząd złącza "a"	Rząd złącza "b"	Rząd złącza "c"
1	*		*
2	+5V	+5V	+5V
3	+5V	+5V	+5V
4	+12V	+12V	+12V
5	+15V	+15V	+15V
6			
7	GND	GND	GND
8	DAT 14/		DAT 15/
9	DAT 12/		DAT 13/
10	DAT 10/		DAT 11/
11	DAT 8/		DAT 9/
12			
13			
14			BHEN/
15			
16	ADR 18/		ADR 19/
17	ADR 16/		ADR 17/
18			
19			
20			
21			
22			
23		SINREF	
24		CP	
25			
26	RESET		
27	+5VB	+5VB	+5VB
28	GND	GND	GND
29	-15V	-15V	-15V
30	-12V	-12V	-12V
31	-5V	-5V	-5V
32	GND	GND	GND

* - kontrola wsunięcia pakietu.

- RESETP : sygnał zerowania,
- GNDP, +5V, -5VP, +12VP, -12VP, +15VP, -15VP, +5VB : linie zasilania.

Rozmieszczenie sygnałów na złączach A...P i B...P pakietu przedstawiono w tablicach 3. i 4.

3.1.2.3. Możliwość zadawania sprzętowego.

Poprzez różne zaprogramowanie pamięci ROM, na której zbudowany jest dekodер adresów, możliwe jest adresowanie znajdujących się na pakiecie układów wejścia/wyjścia w całym obszarze adresowym $\emptyset\emptyset\emptyset - FFFF$.

3.1.3. Opis budowy i zasada działania.

Układy logiczne pakietu IT1 montowane są na płycie drukowanej o wymiarach 233,35 × 220 mm. Na tylnej krawędzi płyty montowane są dwa złącza pośrednie wtyki 96-stykowe, zapewniające połączenie pakietu z magistralą typu MF-31. Górne złącze oznaczone jest literą A, dolne literą B. Na czole płyty montowane są dwa złącza pośrednie gniazda 96-stykowe zapewniające połączenie pakietu IT1 z pakietem kontrolowanym. Górne złącze oznaczone jest symbolem A...P, dolne złącze - B...P.

Pakiet IT1 składa się z części pasywnej i aktywnej. Część pasywną stanowią bezpośrednie połączenia pomiędzy magistralą testera, a złączem pakietu kontrolowanego A...P, B...P.

Bezpośrednio łączone są linie:

- DAT 15/ - DAT \emptyset / z DAT 15/ - DAT \emptyset /,
- ~~ADR~~ 11/ - ADR \emptyset / z ADR 11P/ - ADR \emptyset P/,
- MRDC/ z MRDCP/,
- MWTC/ z MWTCP/,
- I/ORG/ z I/ORCP/,
- I/OWC z I/OWCP/.

Linie CP i SINREF łączone są z sygnałami CPP i SINREFP poprzez bramki trójstanowe, co umożliwia odpowiednie połączenie ww. linii, w zależności od typu testowanego pakietu.

Linie ADR 12/ - ADR 19/ są podawane na wejścia bramek eksklusiv-or, których wyjścia stanowią linie ADR 12P/ - ADR 19P/. Sterowanie pozostałych wejść bramek - ustawianymi programowo sygnałami A7 - A \emptyset realizuje zależność : $ADRP = ADR \oplus A$.

TABLICA 3. Rozmieszczenie sygnałów na złączu A...P pakietu IT1

Nr styku	Rząd złącza "a"	Rząd złącza "b"	Rząd złącza "c"
1	GNDP		GNDP
2	+5VP		+5VP
3	+5VP		+5VP
4	GNDP		GNDP
5			
6			
7			
8	MRDCP/		MWTCP/
9	I/ORCP/		I/OWCP/
10	XACKP/		
11			
12	CCLKP/		
13	INT 6P/		INT 7P/
14	INT 4P/		INT 5P/
15	INT 2P/		INT 3P/
16	INT \emptyset P/		INT 1P/
17	ADR 14P/		ADR 15P/
18	ADR 12P/		ADR 13P/
19	ADR 1 \emptyset P/		ADR 11P/
20	ADR 8P/		ADR 9P/
21	ADR 6P/		ADR 7P/
22	ADR 4P/		ADR 5P/
23	ADR 2P/		ADR 3P/
24	ADR \emptyset P/		ADR 1P/
25	DAT 6P/		DAT 7P/
26	DAT 4P/		DAT 5P/
27	DAT 2P/		DAT 3P/
28	DAT \emptyset P/		DAT 1P/
29	GNDP		GNDP
30	+5VP		+5VP
31	+5VP		+5VP
32	GNDP		GNDP

11

TABLICA 4. Rozmieszczenie sygnałów na złączu B...P pakietu IT1.

Nr styku	Rząd złącza "a"	Rząd złącza "b"	Rząd złącza "c"
1	*		*
2	+5VP	+5VP	+5VP
3	+5VP	+5VP	+5VP
4	+12VP	+12VP	+12VP
5	+15VP	+15VP	+15VP
6			
7	GNDP	GNDP	GNDP
8	DAT 14P/		DAT 15P/
9	DAT 12P/		DAT 13P/
10	DAT 10P/		DAT 11P/
11	DAT 8P/		DAT 9P/
12	MMAP 2P/		
13			
14		ZAKAZ ZAPISUP	BHENP/
15		WRITTENP	
16	ADR 18P/ -	ZEZWOLP	ADR 19P/
17	ADR 16P/	STOPP	ADR 17P/
18		SEARCHP	
19		REDPREDP	
20		ERRORP	
21		INPOSP	
22		ROBZSYNCHRP	
23	OUTONP	SINREFP	
24	PFINP	CPP	PFSNP
25		SYNCHRP	MPROP
26	RESETP		
27	+5VBP	+5VBP	+5VBP
28	GNDP	GNDP	GNDP
29	-15VP	-15VP	-15VP
30	-12VP	-12VP	-12VP
31	-5VP	-5VP	-5VP
32	GNDP	GNDP	GNDP

* kontrola wsunięcia pakietu.

125

Pozwala to na uniknięcie konfliktu polegającego na możliwości wystąpienia takiego samego adresu na pakiecie badanym i pakiecie ~~badany~~ wchodzącym w skład testera.

Pozostałe linie, podane w tablicach 1.3. i 1.4., są sterowane z bram we/wy - stanowiących część aktywną pakietu.

W skład części aktywnej - oprócz bramek sterujących liniami adresowymi oraz liniami CPP i SINREP - wchodzi:

- dekodery adresu zbudowany na scalonych pamięciach typu 3601. (pamięci muszą być zaprogramowane tak, aby: $CS = \overline{CS1} \cdot \overline{CS2} \cdot \overline{CS3}$, gdzie $\overline{CS1}$, $\overline{CS2}$, $\overline{CS3}$ są sygnałami aktywacji dla bram we/wy),
- układ dwukierunkowej linii danych DAT \emptyset / - DAT 7/ zbudowany na układach typu UCY 74S426,
- układ bram we/wy zbudowany na dwóch układach typu MCY 7855 i przerzutniku UCY 7474.

Brama A1 (rys. 6) służy do przyjmowania i wydawania sygnałów na łączówkę ^{B.P.} pakietu kontrolowanego. Dzięki zastosowaniu specjalnego sterowania linii wyjść portów PA, PB i PC, mogą one pracować jako wejścia lub wyjścia. Układy B1 ÷ B5 typu UCY 74S426 (rys. 6) pełnią funkcję dwukierunkowych wzmacniaczy linii i są sterowane z przerzutników C1 typu UCY 74174. Zasada działania układu jest następująca:

Po przyjściu sygnału RESET/ na wyjściach układu C1 pojawiają się zera i wyjścia układów B1 - B5 są w stanie wysokiej impedancji. Porty układu A1 są wysterowane jako wejścia. W czasie wpisywania słowa sterującego do układu A1 uaktywnia się wyjście 15 dekodera C2, co powoduje zapamiętanie stanu linii D0, D1, D4. Linie te określają tryb pracy portów PA, PB i PC w modzie pracy zero. Po zakończeniu cyklu wpisu na wejście \overline{CS} układów B1 - B5 podawana jest jedynka logiczna i powyższe układy pracują jako wejścia lub wyjścia w zależności od zapamiętanego słowa sterującego. Powyższy układ pracuje poprawnie tylko przy programowaniu układu A1 na tryb pracy zero. Wpisywanie do układu A1 słowa sterującego bitami portu PC nie powoduje zakłóceń w pracy układu C1.

Port PC_H układu A1 powinien pracować jako wyjście. Sygnały wyjściowe z tego portu sterują liniami BLSC, BLH, BLX, MMAPP. Brama A2 służy do wydawania sygnałów A \emptyset - A7, sterowania liniami adresu oraz do przyjmowania sygnałów przerwania wydawanych z pakietu testowanego.

Jednobitowe wyjście A3 współpracuje z układem sterowania przepływem sygnałów zbudowanym na bramkach układów C6, E1, D5, D4, A4. Układ sterowania przepływem sygnałów służy do sterowania sygnałami XACK/, INT 7/, MMAP2P, INT 6/, SINREFP i CPP. Zasada działania układu jest następująca. Po przyjściu sygnału RESET/ zerowane jest wyjście Q układu A3. Wyjścia bramek układu D4 są w stanie wysokim. Bramki C6 są w stanie wysokiej impedancji. Przerzutniki A4 są ustawione tak, że na ich wyjściach pojawiają się jedynki logiczne. W tym stanie linie BLX, BLM, i BLSC nie wpływają na sygnały wyjściowe układów C6, co umożliwia zaprogramowanie układu A1 rys.5.,6. . Po programowym ustawieniu wyjścia Q układu A3, bramki C6 mogą być sterowane sygnałami BLX, BLM, BLSC. Sygnał BLX=1 dołącza wejście XACKP/ do wyjścia XACK/. Sygnał BLM=1 dołącza sygnał wewnętrzny pakietu MMAPP do wyjścia MMAP2P/; w tym trybie pracy pakiet IT1 wydaje sygnał MMAP2P/. Sygnał BLSC=1 dołącza linie SINREF i CP do linii SINREFP i CPP. Sygnały XACKP/ i MMAP2P wysterowują przerzutniki A4 rys.5. , które generują sygnały przerwania INT 7/, INT 6/, podawane poprzez magistralę na pakiet jednostki centralnej MM86.

3.1.4. Programowanie bram we/wy pakietu i komunikacja z pakietem.

Komunikacja z układami bram interfejsu pakietu IT1 może się odbywać przy pomocy przekazów typu 1 i 3 w zależności od programu pamięci D2 (tablica 5.) .

TABLICA 5. Typy przekazów pakietu IT1.

Typ	ADRO	BHEN/	Ilość bitów	Wykorzystanie linii danych
1	L	L	16	DAT 0 - DAT 15 *
3	L	H	8	DAT 0 - DAT 7

* - stan linii DAT 8 - DAT 15 nie ma wpływu na stan pakietu

Obszar adresów we/wy pakietu kontrolowanego nie może się pokrywać z obszarem adresowym pakietu IT1.

3.1.4.1. Programowanie układu A1.

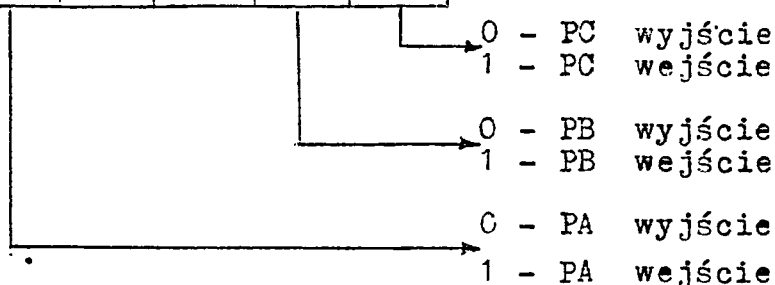
Układ A1 rys.6. programuje się poprzez wysłanie słowa sterującego pod adres we/wy bramy A1. Bity ADR 1 i ADR 2 adresu muszą

być równe zero.

Dopuszczalne są słowa sterujące zgodne z formatem: (tablica 6).

TABLICA 6" Format słowa sterującego

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0		0	0		



Dla D7=0 słowo sterujące ustawia lub zeruje bity portu PC₂

3.1.4.2. Programowanie układu A2.

Trzy najmłodsze bity adresu rejestru słowa sterującego są takie same jak dla układu A1.

Dopuszczalne są słowa sterujące zgodne z formatem: (tablica 7.)

TABLICA 7. Format słowa sterującego.

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	X	0	1	X

X oznacza stan dowolny.

3.2. Opis projektu wstępnego pakietu interfejsu IT2.

3.2.1. Przeznaczenie.

Pakiet interfejsu IT2 jest przeznaczony do testowania następujących pakietów i płytek układu sterowania robotów IRp6/60:

- pakiet kontroli MW-31,
- zmodyfikowany pakiet kontroli MW-32,
- pakiet zasilania transformatora położenia kąтового MZ-70,
- pakiet wejść/wyjść MC-42,
- płytki wyświetlaczy panelu programowania,

a ponadto są w nim wytwarzane sygnały sterujące prędkością obrotową silnika symulującego ruch zespołu wykonawczego robota.

Pakiet IT2 umożliwia dołączenie pakietów testowanych od strony ich złącz obiektowych lub w przypadku płytki wyświetlaczy panelu programowania złącz wewnętrznych płytki - do układu testera.

3.2.2. Opis ogólny, dane techniczne.

Pakiet interfejsu IT2 jest umieszczony w bloku sterowania testera obok innych pakietów stosowanych w testerze. Wymiary i konstrukcja pakietu są zgodne z normą przyjętą dla systemu INTEL DIGIT-PROWAY. Rodzaj i rozstaw złącz pakietu IT2 umożliwiają jego dołączenie bezpośrednio do magistrali MF-31 testera. Na płytę czołową pakietu IT2 są wyprowadzone sygnały, które podczas testowania są przekazywane poprzez płytę złącz czołowych (rozdział 3.7) do pakietu testowanego.

Pakiet IT2 posiada następujące połączenia z magistralą kasety MF-31 testera:

- DAT 15/- DAT \emptyset /: 16 dwukierunkowych linii danych,
- ADR 15/- ADR \emptyset /: 16 linii adresowych,
- I/ORC/, I/OWC/, XACK/: sygnały protokołu przekazu danych,
- GND, +5V, +5VB, +15V, -15V : linie zasilania.

3.2.3. Opis podzespołów pakietu IT2.

3.2.3.1. Podzespół dekodera adresów oraz system komunikacji z mikroprocesorem testera.

Interfejs IT2 zawiera dekodery 16-bitowego adresu, umożliwiające adresowanie układów wejścia/wyjścia pakietu IT2 w całym obszarze $\emptyset\emptyset\emptyset\emptyset$ -FFFF. (rys. 7). Dekoder ten umożliwia zmianę adresu pakietu interfejsu IT2 poprzez zanegowanie w tym pakiecie bitów adresowych A4, A5, A6, A7.

Bramy we/wy są zastosowane w interfejsie IT2 do:

- przesyłania informacji z mikroprocesora testera do obwodów sterujących testowaniem ww. pakietów i płytki,
- przesyłania 8-bitowych sygnałów sterujących przetwornikami C/A w pakietach : testowanym MZ-70 oraz wzorcowym MZ-70 (wyposażenie testera) - do mikroprocesora testera.
- przesyłania wyników testowania obwodów analogowych pakietu MZ-70 do mikroprocesora testera.

Komunikację pakietu IT2 z magistralą testera zapewniają dwa

8-bitowe nadajniki/odbiorniki szyny danych. Kierunek przekazu informacji jest sterowany przy pomocy sygnałów sterujących testera I/OWC/i I/ORC/, natomiast uaktywnienie tego układu jest określone sygnałem wyjściowym dekodera adresu.

3.2.3.2. Podzespół sterujący testowaniem pakietów MW-31.

Podzespół sterujący testowaniem pakietów MW-31 uwzględnia testowanie tych obwodów pakietu MW-31, do których jest dostęp od strony złącz obiektowych. Tak więc są to detektory napięć zasilających stałych, dodatnich, ujemnych, napięcia zasilającego przemiennego CNS oraz układy logiczne odbierające sygnały: WYŁ.ALARM, WYŁ. ZEG., WYŁ.BUDZ. i PRES.

Podczas testowania detektorów napięć sprawdza się kolejno ich działanie, poprzez bocznikowanie - przy pomocy interfejsu - każdego z rezystorów wyznaczających napięcia odniesienia dla komparatorów pakietu MW-31. (sygnały testujące T1...T16 - rys.8) Próba jest przeprowadzana dwustopniowo:

- w celu potwierdzenia działania detektora dołącza się dzielnik powodujący zasymulowanie przekroczenia napięcia poniżej dopuszczalnej wartości,
- w celu potwierdzenia prawidłowego progu działania komparatorów (dolna granica napięcia, przy której komparator jeszcze nie działa) dołącza się dzielnik powodujący zasymulowanie obniżenia napięcia bez przekroczenia jego dopuszczalnej wartości.

Sygnały testujące T1...T16 są wysyłane przez mikroprocesor testera i podawane na interfejs IT2 poprzez bramy we/wy tego pakietu.

Podobnie sygnały T17...T21 są wysyłane przez mikroprocesor w celu przetestowania reakcji pakietu MW-31 na sygnały WYŁ. ALARM, WYŁ. ZEG., WYŁ. BUDZ. i PRES. Wynik testu jest przesyłany do mikroprocesora poprzez magistralę testera gdzie jest interpretowany.

3.2.3.3. Podzespół sterujący testowaniem pakietów MZ-70

Podzespół sterujący testowaniem pakietu MZ-70 przedstawiono na rys.9. Obejmuje on obwody umożliwiające przeprowadzenie

testowania napięć wyjściowych pakietu MZ-70. Podczas tego testu badane są:

- odchyłki amplitud dodatniej i ujemnej obu napięć zasilających od ustalonych wartości,
- odchyłki różnic amplitud dodatniej i ujemnej dla każdego z napięć zasilających,
- odchyłki różnic amplitud obu napięć zasilających,
- odchyłki wartości średnich obu napięć zasilających.

Do detekcji ww. odchyłek zastosowano dyskryminatory okienkowe, natomiast amplitudy napięć mierzy się przy pomocy detektorów szczytowych (rys.9.) .

Testowanie napięć wyjściowych jest sterowane przez mikroprocesor, przy wykorzystaniu demultiplekserów analogowych (sygnały testujące T33...T38.)

W przypadku negatywnego wyniku testu napięć zasilających, testowane są obwody cyfrowe pakietu MZ-70. Jest to realizowane przez bezpośrednie porównanie w mikroprocesorze testera 8-bitowych sygnałów sterujących przetwornikami C/A (rozdział 3.2.3.1.) Zmiana stanu tych sygnałów jest wymuszana przez mikroprocesor testera (sygnały testujące T26,...T32), przy wykorzystaniu bram we/wy (rozdział 3.2.3.1.).

3.2.3.4. Podzespół sterujący testowaniem płyty wyświetlaczy panelu programowania (rys.10.)

Testowanie płyty wyświetlaczy ma za zadanie wykazać:

- świecenie każdego z punktów świetlnych wyświetlaczy,
- brak zwarcie pomiędzy tymi punktami świetlnymi.

W tym celu zbudowano podzespół elektroniczny umożliwiający wysterowanie kolejnych wierszy, a następnie kolejnych kolumn zespołu wyświetlaczy. (sygnały testujące T39,...T47).

Wybór wierszy/kolumn określa przerzutnik R-S sterowany sygnałami T39,T40 (rys.10) , natomiast kolejność ich świecenia określają sygnały T41,...T47.

Sygnały testujące T39,...,T47 są podawane z mikroprocesora przez bramy we/wy pakietu IT2 (rozdział 3.2.3.1.).

3.2.3.5. Układy dodatkowe.

Poza ww. podzespołami interfejsu IT2, na pakiecie tym znajdują się:

- podzespół do testowania detektorów przeciążenia pakietu MC-42 sygnały testujące T22, T23 - rys. 8 ,
- podzespół wytwarzający napięcia sterujące silnikiem symulującym układ wykonawczy robota sygnały testujące T24, T25 - rys. 8

Podczas testowania pakietu MC-42 jego obwody wyjściowe są obciążane prądem o wartościach:

- przekraczającej wartość graniczną - celu sprawdzenia działania detektorów przeciążenia,
- nie przekraczającej wartości granicznej - w celu sprawdzenia progu zadziałania detektora przeciążenia.

Sygnały sterujące silnikiem są podawane na jego układ napędowy TAR 1A (sygnały V_{s+} i V_{s-}).

3.3. Opis projektu wstępnego interfejsu IT3.

3.3.1. Przeznaczenie.

Pakiet IT3 jest przeznaczony do testowania przetwornika C/A pakietu MA-70 i układu interfejsu szeregowego panelu programowania. Podczas testowania, pakiet ten współpracuje z pakietami IT1 i IT4 (rozdział 3.4.).

W skład pakietu wchodzi układ przetwornika A/C i układ interfejsu szeregowego oraz 4-bitowa brama wyjściowa.

3.3.2. Dane techniczne.

3.3.2.1. Połączenie z magistralą kasety.

Pakiet IT3 posiada następujące połączenia z magistralą kasety:

- DAT 7/ - DAT $\bar{0}$ / : 8 dwukierunkowych linii danych,
- ADR 15/ - ADR $\bar{0}$ /, BHEN/ : linie adresowe,
- I/OWC/, I/ORC/, XACK/ : sygnały protokołu przekazu,
- RESET/ : sygnał zerowania,
- CCLK : sygnał zegarowy.

Powyższe sygnały są rozmieszczone na złączach A i B magistrali kasety zgodnie z opisem zawartym w tablicach 1 i 2.

3.3.2.2. Połączenia z pakietem kontrolowanym.

Na płycie czołowej pakietu IT3 umieszczono dwa złącza. Na złącze C są wyprowadzone sygnały interfejsu szeregowego oraz zasilania. Na złącze D są wyprowadzone sygnały niezbędne do testowania pakietu MA-70. Poniżej podano opis wszystkich sygnałów wychodzących ze złącz C i D pakietu:

RxD, CTS, DSR, TxD, DTR, RTS - sygnały interfejsu szeregowego,
+5V, +15V, -15V, -5V, GND - sygnały zasilania,

A \emptyset , A1, A2, A3, CZUJNIK - sygnały wyjścia,

VREF, VREFGND - wejście sygnału analogowego.

Rozmieszczenie sygnałów na złączach C i D opisano w tablicach 8 i 9.

3.3.2.3. Możliwości zadawania sprzętowego.

Poprzez różne zaprogramowanie pamięci ROM, na której jest zbudowany dekodery adresów, jest możliwe adresowanie znajdujących się na pakiecie układów we/wy w całym obszarze adresowym $\emptyset\emptyset\emptyset - FFFF$.

Przy pomocy przełącznika K2 można dokonać wyboru szybkości transmisji. Zwarcie kołków 1 i 2 daje szybkość transmisji 2400 bit/s lub 9600 bit/s, zwarcie kołków 2 i 3 daje szybkość transmisji 4800 bit/s lub 1200 bit/s, w zależności od zaprogramowania układu C1. (rys. 13.)

3.3.3. Opis budowy i zasada działania.

Układy logiczne pakietu IT3 są montowane na płycie drukowanej o wymiarach 233,35 x 220 mm. Na tylnej krawędzi płyty są montowane dwa złącza pośrednie (wtyki) 96-stykowe, zapewniające połączenie pakietu z magistralą typu MF-31. Na płycie czołowej pakietu jest montowane złącze C i D.

W skład pakietu wchodzi:

- dekodery adresów zbudowany z układów A3 i A4 - rys.11. ,
- układy sygnałów sterujących zbudowany z układów B1 i B3 - rys.11., 12. ,

TABLICA 8: Rozmieszczenie sygnałów na złączu C pakietu IT3

Nr styku	Sygnal
1	T D
2	DTR
3	RTS
4	GND
5	GND
6	+15V
7	R D
8	-15V
9	CTS
10	DSR
11	+5V
12	+5V
13	-5V
14	
15	
16	
17	
18	
19	
20	
21	
22	
23	
24	
25	

TABLICA 9. Rozmieszczenie sygnałów na złączu D pakietu IT3

Nr styku	Sygnal	
	a	b
1		
2		
3	A1	CZUJNIK
4	A2	
5	A0	
6	A3	
7		
8		
9		VREF
10		VREFGND
11		
12		
13		

≠ układ przetwornika A/C zbudowany z układów D1, ..D, D6 - rys.12.,
 - układ interfejsu szeregowego zbudowany z układów C1, ..., C5 -
 rys.13.

Układy pamięci A3 i A4 stanowiące dekodery adresów, podają sygnały wyboru układu $\overline{CS1}$ i $\overline{CS2}$ oraz sygnał CS, będący negacją iloczynu $\overline{CS1}$ i $\overline{CS2}$, i służący do wytwarzania sygnału potwierdzenia

XACK/. Jednocześnie sygnał CS steruje bramkami szyn danych.

Przetwornik A/C jest przetwornikiem kompensacyjnym o działaniu pośrednim. Sygnał analogowy VREF jest podawany na układ komparatora D6 (rys.12), gdzie jest porównywany z sygnałem analogowym otrzymywanym z przetwornika C/A zbudowanego z układów D3, D4, i D5 (rys.12). Sygnał wyjściowy tego komparatora jest podawany na detektor okienkowy D2, którego wyjście jest dołączone do bramy wejściowej pakietu IT3.

Do szczytywania sygnału z detektora służy układ interfejsu równoległego D1. Interfejs ten podaje również 12-bitowe słowo na przetwornik C/A oraz generuje sygnały testujące A0 - A3 i sygnał CZUJNIK (rys.12).

3.3.4. Programowanie bram we/wy pakietu i komunikacja z pakietem.

Komunikacja z układami bram interfejsu IT3 może się odbywać przy pomocy przekazów 1 i 3, w zależności od programu układu A4 (rys.11), zgodnie z tablicą 5.

Układ D1 (rys.12.) jest programowany poprzez wpisanie do rejestru słowa sterującego tego układu słowa 88 H. Adres słowa sterującego jest zgodny z programem dekodera adresu pakietu IT3, a ponadto: ADR 1 = 1 i ADR 2 = 1.

Układ C1 (rys.12.) jest programowany poprzez wpisanie pod odpowiedni adres słowa sterującego bit adresu ADR 1 = 1, pozostałe zgodne z programem dekodera adresu.

W zależności od wartości bitów DAT 0 i DAT 1 słowa sterującego i zwarcia krosu K2, otrzymuje się następujące szybkości transmisji (tablica 8.)

TABLICA 8. Szybkości transmisji.

DAT 0	DAT 1	Zwarte kołki K2	Szybkość transmisji
1	0	-	-
0	1	1 - 2	4800
1	1	1 - 2	1200
1	0	-	-
0	1	2 - 3	9400
1	1	2 - 3	2400

3.4. Opis projektu wstępnego pakietu interfejsu IT4.

3.4.1. Przeznaczenie.

Pakiet IT4 jest przeznaczony do testowania pakietów MA-70 oraz płyty P1 panelu programowania. Zapewnia on połączenie pomiędzy szynami wewnętrznymi pakietów zawierających układy mikroprocesorowe, a jednostką centralną testera. Pakiet umożliwia:

- podłączenie do magistrali testera pamięci i urządzeń we/wy, znajdujących się na pakiecie testowanym,
- sczytywanie stanu szyn adresowych, sterowania i danych przy pracy krokowej mikroprocesora na pakiecie testowanym,
- wymuszanie wykonywania przez mikroprocesor pakietu testowanego - programu wpisanego przez tester do pamięci RAM, umieszczonej na interfejsie IT4.

Powyższe trzy rodzaje pracy umożliwiają przeprowadzenie testu funkcjonalnego pakietów MA-70 i płyty P1 panelu programowania.

3.4.2. Dane techniczne.

3.4.2.1. Połączenia z magistralą kasety.

Pakiet IT4 posiada następujące połączenia z magistralą kasety:

- DAT 7/- DAT \emptyset /: 8 dwukierunkowych linii danych.
- ADR 15/ - ADR 0/, BHEN/ : linie adresu,
- I/ORC/, I/OWC/, XACK/ : sygnały protokołu przekazu danych,
- +5V, GND : linie zasilania.

Sygnały powyższe są rozmieszczone na złączach A i B kasety zgodnie z opisem zawartym w tablicach 1 i 2.

3.4.2.2. Połączenia z pakietem kontrolowanym.

Na płycie czołowej pakietu IT4 jest montowane złącze C. Poprzez to złącze są wyprowadzone następujące sygnały:

- A \emptyset ÷ A 15 : 16 linii adresowych,
- DB 0 ÷ DB 8 : 8 linii danych,
- MEMW, MEMR, I/OW, I/OR, XACK : sygnały protokołu przekazu danych,
- HOLD : sygnał żądania wejścia w stan HOLD,
- WAIT : sygnał potwierdzenia wejścia w stan WAIT,
- HEDA : sygnał potwierdzenia wejścia w stan HOLD,

PROMINH : sygnał zakazu korzystania z pamięci programu pakietu testowanego,

SREADY : sygnał gotowości,

CSTESTRAM : sygnał potwierdzenia pamięci RAM interfejsu IT4.

Rozmieszczenie sygnałów na złączu C podano w tablicy 9.

3.4.2.3. Możliwości zadawania sprzętowego.

Poprzez różne zaprogramowanie układów C6, C7 (rys.16.) stanowiących dekodery adresu, jest możliwa zmiana adresu urządzeń we/wy pakietu w całym zakresie adresów: 0000 - FFFF.

Przy pomocy przełącznika K1 można zmieniać cztery najstarsze bity adresu pamięci RAM pakietu IT4, oraz, w przypadku współpracy z CPU testera, adresy pamięci na pakiecie testowanym.

3.4.3. Opis budowy i zasada działania.

Układy logiczne pakietu IT4 są montowane na płycie drukowanej o wymiarach 233,35 x 220 mm. Na tylnej krawędzi płyty są montowane dwa złącza pośrednie - 96-stykowe, zapewniające połączenie pakietu z magistralą typu MF-31. Na płycie czołowej jest montowane 37-stykowe złącze zapewniające połączenie interfejsu z pakietem testowanym.

Pakiet IT4 składa się z dwóch części:

- części pierwszej - dostępnej z magistrali testera oraz -
 - części drugiej - dostępnej dla testera i pakietu testowanego.
- W skład pierwszej z nich wchodzi:
- dekodery adresu układy C6, C7 - (rys.16, 17),
 - bramki sterujące układ C5,
 - bramki linii danych układy A9, A10,
 - układy we/wy układy B1, B2, B3, B4.

Brama B1, zbudowana z wykorzystaniem układu 8255, umożliwia szczytywanie przez tester stanu linii adresowych i linii danych pakietu testowanego. Brama B2, zbudowana z wykorzystaniem układu SN 74125, umożliwia szczytywanie stanu linii sterowania. Bramy B3 i B4 układy SN 74174 i SN 74125 służą do przekazywania sygnałów wprowadzających pakiet testowany w stany HOLD i WAIT oraz do szczytywania potwierdzeń wysyłanych przez pakiet testowany.

W skład części drugiej, dostępnej dla testera i pakietu testo-

TABLICA 9. Rozmieszczenie sygnałów na złączu C pakietu IT4.

Nr styku	Nazwa sygnału
1	
2	A7
3	A9
4	<u>HOLD</u>
5	A8
6	
7	<u>I/OW</u>
8	A0
9	A2
10	A4
11	A14
12	DB7
13	DB6
14	DB0
15	A10
16	HLDA
17	SREADY
18	A13
19	A12
20	<u>CSTESTRAM</u>
21	
22	I/OR
23	
24	A6
25	
26	<u>MEMW</u>
27	A1
28	A3
29	A5
30	DB4
31	DB3
32	DB5
33	DB1
34	DB2
35	<u>PROMINH</u>
36	A11
37	<u>MEMR</u>

wanego, wchodzą: (rys. 14, 15)

- bramki sterowania liniami adresu (układy A1...A4)
- układy sterowania liniami danych (układy A5...A8, B6),
- układy sterowania liniami sterującymi (układ C4).

Jeśli mikroprocesor pakietu testowanego jest w stanie HOLD, to stan linii SHOLD jest niski. Linie sterowania magistrali testera są wówczas dołączone do odpowiednich linii sterowania pakietu testowanego. Wtedy wymiana danych między pakietem testowanym, a testerem odbywa się - w zależności od typu przekazu - po liniach starszego lub młodszego bajtu danych. W tym stanie tester ma dostęp do pamięci RAM pakietu IT4 oraz do pamięci i urządzeń we/wy pakietu testowanego. Jednoczesny dostęp do pamięci RAM pakietu IT4 i EPROM pakietu testowanego jest niemożliwy ze względu na wspólny obszar adresowy tych pamięci.

Jeśli sygnał PROMINH jest równy zeru, tester lub mikroprocesor pakietu badanego mogą komunikować się z pamięcią RAM; w przeciwnym przypadku z pamięcią EPROM.

Sygnały WAITQR=0 i PROMINH=0 wprowadzają mikroprocesor pakietu testowanego w stan WAIT. W tym trybie pracy stan linii SWAIT jest niski. Mikroprocesor pakietu testowanego wykonuje wówczas program z pamięci RAM pakietu IT4. Sygnał potwierdzenia XACKRQ (rys. 16., 17) może być wówczas określany programowo.

3.4.4. Programowanie bram we/wy pakietu i komunikacja z pakietem.

Bramy wejść/wyjść umieszczone na pakiecie nie wymagają programowania. Układ 8255 jest gotowy do pracy po przyjściu sygnału RESET.

Komunikacja z układami we/wy (układy B1...B4 - rys. 16., 17.) odbywa się przy pomocy przekazów typu 1 i 3 - zgodnie z opisem przedstawionym w tabelicy 10.

TABLICA 10. Typy przekazów pakietu IT4

Typ	ADRO	BHEN	Ilość bitów	Wykorzystanie linii danych
1	L	L	16	DATO - DAT15 *
3	L	H	8	DATO - DAT7

* - stan linii starszego bajtu nie ma wpływu na stan pakietu

Komunikacja z układami pakietu testowanego i pamięcią RAM pakietu IT4 odbywa się przy pomocy przekazów typu 2 i 3 - tablica 11

TABLICA 11 . Typy przekazów pakietu IT4

Typ	ADRO	BHEN	Ilość bitów	Wykorzystanie linii danych
2	H	L	8	DAT 8 - DAT 15
3	L	H	8	DAT 0 - DAT 7

3.5. Płytką sterująca kolejnością włączania i wyłączania napięć zasilających wraz z zasilaczem +47V

Ze względu na wykorzystywanie testera do testowania podzespołów zawierających elementy elektroniczne, których jednym z napięć zasilających jest napięcie polaryzujące -5V, zaprojektowano układ zapewniający włączanie tego napięcia w pierwszej kolejności i odłączanie w ostatniej kolejności (rys.18).

Ponadto układ ten jest sterowany z pakietu MW-31 sygnałem U_{NR} , który informuje o zaniku któregośkolwiek ze stałych napięć zasilających. W takim przypadku napięcie - 5V również zostaje odłączone w ostatniej kolejności.

3.6. Opis projektu wstępnego płytki przełączników, zapewniającej połączenie systemu testera z minikomputerem SM-4 oraz z monitorem ekranowym.

Schemat ideowy płytki przełączników przedstawiono na rys.19. Płytką przełączników jest umieszczona w kasce testera obok pakietu MM-86. W płycie czołowej płytki przełączników umieszczone są trzy złącza służące do podłączania:

- monitora ekranowego,
- pakietu jednostki centralnej testera MM-86,
- minikomputera SM-4, a także trzy przełączniki pozwalające na następujące połączenia:
 - jednostka centralna testera MM-86 - monitor ekranowy,
 - minikomputer SM-4 - jednostka centralna testera MM-86,
 - minikomputer SM-4 - monitor ekranowy.

3.7. Opis projektu wstępnego płyty złącz czołowych.

Schemat ideowy płyty złącz czołowych przedstawiono na rys.20, natomiast widok jej elementów na rys.21.

Płyta złącz czołowych znajduje się w ścianie frontowej bloku sterowania. Z prawej strony płyty są umieszczone dwa złącza, w które jest wsuwany pakiet testowany swymi złączami A i B.

Złącza te w czasie normalnego użytkowania pakietu są przeznaczone do łączenia pakietu z magistralą MF-31. Pozostała część płyty złącz czołowych jest przeznaczona do połączenia złącz obiektowych pakietów z testerem.

Z tyłu płyty znajdują się kołki lutownicze, z których prowadzone są kable do złącz obiektowych pakietów testera. Po dołączeniu wszystkich kabli wewnętrznych, płyta złącz czołowych zostaje na stałe przymocowana do płyty frontowej bloku sterowania.

Na płycie złącz czołowych znajdują się również rezystory - stanowiące wstępne obciążenie dla układów wyjściowych pakietu MC-42 oraz diody separujące wyjścia tego pakietu, służące do testowania detektorów przeciążenia (rozdział 3.2.3.5.)

3.8. Opis projektu wstępnego kabli testera.

Tester posiada szereg kabli rys. 22:32, które można podzielić na trzy grupy:

- kable łączące złącza obiektowe pakietów testowanych z odpowiednimi złączami płyty złącz czołowych (K1, K2),
- kable łączące monitor ekranowy z płytką przełączników i z jednostką centralną (K3, K4),
- kable stanowiące połączenia w bloku zasilania:
 - = K5 i K9 - łączące płytkę sterującą kolejnością włączania i wyłączania napięć zasilających z:
 - == zasilaczami K5,
 - == układem napędowym TAR 1A K9,
 - = K6 - łączący zasilacze z magistralą MF-31,
 - = K7 - doprowadzający napięcie sieciowe w bloku zasilania,
 - = K8 - doprowadzający sygnały sterujące silnikiem,
 - = K10- doprowadzający napięcie sieciowe do testera.

3.9. Opis projektu wstępnego układu testowania magistrali.

Magistrala MF-31 jest testowana bez użycia systemu mikroprocesorowego testera. Do tego celu służy układ testowania magistrali, składający się z dwóch płytek - wsuwanych w złącza magistrali. Schematy ideowe tych płytek przedstawiono na rys.34. Płytką główną jest wsuwana do skrajnych złącz magistrali, natomiast płytka dodatkowa jest umieszczana w czasie testowania w kolejne miejsca kasety magistrali - w zależności od przebiegu testowania.

W I kroku testowania płytkę dodatkową wsuwa się do przeciwnych, skrajnych złącz kasety. Możliwe są następujące przypadki:

- jedna z diód nie świeci - to oznacza zwarcie linii, do których jest dołączona nie świecąca dioda,
- żadna dioda nie świeci - to oznacza przerwę w obwodzie szeregowym zasilającym diody. W tym przypadku należy przesunąć płytkę dodatkową w stronę płytki głównej w celu wychwycenia przerwy w obwodzie krok II.

Szczegółowa instrukcja posługiwania się układem testowania magistrali zostanie zamieszczona w instrukcji obsługi testera.

4. Opis sieci działań dla programów testujących.

4.1. Testowanie pakietu MW-31.

Testowanie pakietu MW-31 odbywa się w układzie jak na rys. 35. Pakiet testowany jest połączony z magistralą za pomocą interfejsu równoległego IT1. Sygnały testujące przychodzące na złącze obiektowe D są podawane z interfejsu IT2 (rozdział 3.2.3.2). Sygnały wychodzące na złącze E pakietu testowanego UOK, UTR, PR., ALARM są podawane na pakiet MC-42 testera (złącze D), zaś sygnały testujące przychodzące na złącze E: PRZERW 1, PRZERW 2, PRZERW 3, PRZERW 4 są podawane z pakietu MC-42 testera - (złącze C), sterowanego od strony magistrali przez mikroprocesor testera.

Schemat sieci działań dla programu testującego pakiet MW-31 przedstawiono na rys.36 - 45.

W sieci działań wyróżnia się następujące części:

- testowanie bloku dekodera adresu,
- testowanie bloku kontroli przesyłu po magistrali,
- testowanie przerzutników przerwań,
- testowanie torów przerwań zewnętrznych,
- testowanie toru kontroli napięcia +5VB,
- testowanie toru kontroli napięć stałych +5V, -5V, +12V, +15V, - 15V.
- testowanie toru kontroli napięcia przemiennego CNS.,
- testowanie torów sygnałów \overline{MPRO} , \overline{RESET} , \overline{OUPON} .

w przypadku negatywnego wyniku testowania któregoś z podzespołów, program testujący zostaje zatrzymany, a na monitorze jest wyświetlany komunikat informujący o uszkodzeniu.

Po pozytywnym przejściu wszystkich części programu testującego, pojawia się komunikat " KONIEC TESTU" , co oznacza, że badany pakiet jest sprawny.

4.2. Testowanie pakietu MC-42.

Testowanie pakietu MC-42 odbywa się w układzie jak na rys.46. Połączenie pakietu testowanego z magistralą testera zapewnia interfejs IT1 (rozdział 3.1.) .

Wejścia i wyjścia pakietu testowanego są podawane na odpowiednie wejścia i wyjścia pakietu MC-42 testera, co umożliwia zadawanie stanu na wejściach i odczytywanie stanu wyjść. Wyjścia pakietu testowanego są wstępnie obciążone rezystorami znajdującymi się na pakiecie interfejsu IT2. Interfejs IT2 służy również do testowania detektorów przeciążenia pakietu MC-42 (rozdział 3.2.3.5.) W zależności od sygnału sterującego podawanego z magistrali testera, możliwe jest testowanie każdego z wyjść pakietu MC-42 oddzielnie.

Program testujący pakietu MC-42 składa się z następujących części:

- testowanie dekodera adresów, i układu sterującego,
- testowanie obwodów wejściowych,
- testowanie obwodów wyjściowych,
- testowanie detektorów przeciążenia.

Schemat blokowy sieci działań dla programu testującego przedstawiono na rys.47 - 50.

W przypadku negatywnego wyniku testowania któregoś z podzespołów, program testujący zostaje przerwany.

4.3. Testowanie pakietu MA-70.

Testowanie pakietu MA-70 odbywa się w układzie podanym na rys.51. Połączenie pakietu testowanego z magistralą zapewnia interfejs IT1.

Podczas testowania pakietu MA-70:

- pakiet MC-42 generuje sygnał SYNCŚW, przeznaczony do testowania pakietu MA-70, (rys.51.),
- sygnały adresu zadanego $A\emptyset$, A1, A2, A3 oraz sygnał CZUJNIK są generowane przez pakiet IT3. (rozdział 3.3.),
- sygnał VREF z wyjścia analogowego pakietu testowanego MA-70 jest podawany na przetwornik A/C umieszczony w pakiecie IT3.
- dostęp testera do wewnętrznej magistrali pakietu testowanego zapewnia pakiet interfejsu IT4.

Schemat sieci działań dla programu testującego pakietu MA-70 składa się z następujących części:

- testowanie układu określania wartości cyfrowej położenia wału silnika symulującego układ wykonawczy robota,
- testowanie układów pamięci,
- testowanie układów we/wy,
- testowanie przetwornika C/A,
- testowanie jednostki centralnej pakietu,
- testowanie dekodów adresu.

Powyższe schematy przedstawiono na rys.52 - 57.

Przy testowaniu układu przetwornika C/A sprawdza się prawidłowość odpowiedzi analogowej na wszystkie wymuszenia cyfrowe. W przypadku wykrycia niezgodności wartości analogowej otrzymanej z przetwornika C/A z wartością wzorcową, program sygnalizuje błąd i testowanie zostaje przerwane.

Przy testowaniu układów we/wy, sprawdzane są następujące układy:

- rejestr położenia rzeczywistego osi,
- rejestr stanu sterownika położenia,
- rejestr zadanego przyrostu,
- układy wejścia.

Testowanie każdego z układów we/wy odbywa się w sposób niezależny. Po wykryciu uszkodzenia w ww. układzie, drukowany jest odpowiedni komunikat oraz następuje przejście do testowania kolejnego układu we/wy.

Przy testowaniu dekodera adresu sprawdzane są kolejno:

- dekodér adresów wysyłanych przez mikroprocesor pakietu MA-70,
- dekodér adresów odbieranych przez pakiet testowany z magistrali.

W czasie testowania dekodérów są generowane kolejne adresy z całej przestrzeni adresowej oraz jest sprawdzane generowanie sygnału \overline{XACK} . W przypadku wykrycia uszkodzenia testowanie jest zatrzymane.

Przy testowaniu jednostki centralnej do pamięci RAM interfejsu IT4 jest wpisywany program wzorcowy. Bezbłędne wykonanie tego programu przez mikroprocesor pakietu testowanego MA-70 powoduje pojawienie się w ww. pamięci RAM słowa DAT, które jest odczytywane przez tester i porównywane w nim ze słowem wzorcowym. Zgodność tych słów świadczy o poprawnym działaniu jednostki centralnej testowanego pakietu MA-70.

4.4. Testowanie pakietu MZ-70.

Testowanie pakietu MZ-70 jest wykonywane oddzielnie dla obwodów analogowych i oddzielnie dla obwodów cyfrowych tego pakietu. Przebieg testowania omówiono w rozdziale 3.2.3.3.

Schemat sieci działań dla programu testującego pakietu MZ-70 przedstawiono na rys.58

4.5. Testowanie panelu programowania płyty P1 i P2.

Testowanie płyt P1, P2 panelu programowania odbywa się w układzie jak na rys.59.

Do testowania płyt P1, P2 jest używana płyta wyświetlaczy P3, która została wcześniej przetestowana z wynikiem pozytywnym.

Testowanie płyty P1 obejmuje:

- testowanie bloku procesora,
- testowanie bloku pamięci,
- testowanie interfejsu szeregowego,
- testowanie bloku przycisków i wyświetlaczy LED,

Testowanie bloku procesora jest wykonywane przy pomocy programu testującego, którego sieć działań podano na rys.57. Przebieg testowania jest analogiczny do testowania jednostki centralnej pakietu MA-70 (rozdział 4.3.).

Testowanie bloku pamięci jest wykonywane według programu

testującego, którego sieć działań podano na rys.52 i jest analogiczne do testowania układów pamięci pakietu MA-70 (rozdział 4.3.).

Testowanie interfejsu szeregowego jest wykonywane według programu testującego, dla którego sieć działań podano na rys.60. Sygnały interfejsu szeregowego są podawane z interfejsu testera IT3, zaś odpowiedzi płyty P1 na te sygnały są odbierane przez mikroprocesor testera poprzez interfejs IT4.

Testowanie płyty P2 oraz bloku przycisków i wyświetlaczy płyty P1 jest sterowane przez mikroprocesor testera poprzez interfejs IT4. Prawidłowość działania jest oceniana na podstawie obserwacji płytki wyświetlaczy P3 i ocenę zgodności informacji wyświetlanej z informacją przekazaną do wyświetlenia.

4.6. Testowanie panelu programowania - płytki wyświetlaczy.

Testowanie płyty wyświetlaczy P3 panelu programowania jest przeprowadzane zgodnie z opisem przedstawionym w rozdziale 3.2.3.4. .

Schemat sieci działań dla programu testującego płytę P3 przedstawiono na rys. 61

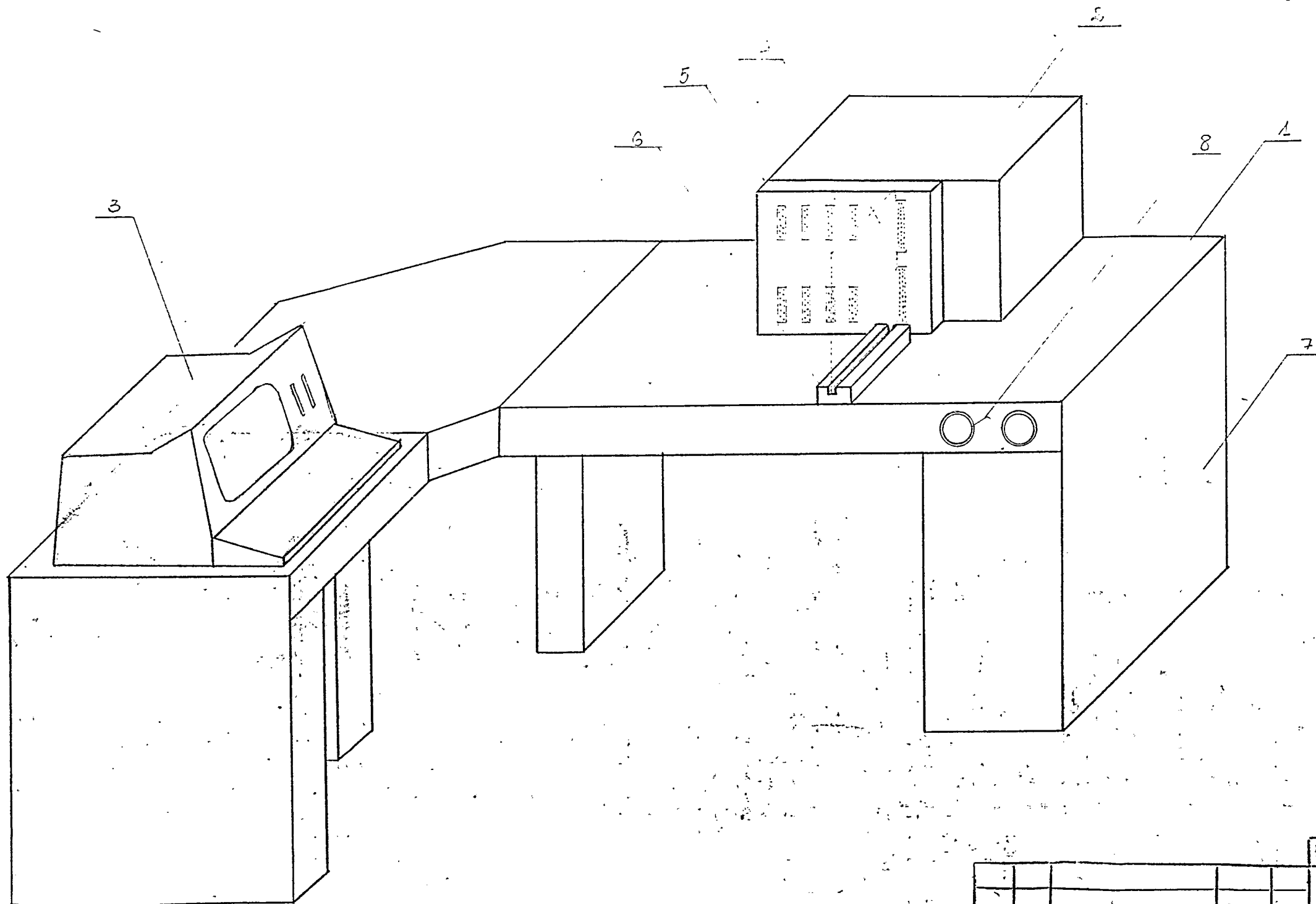
4.7. Testowanie pakietów standardowych MI-50 oraz ML-50.

Zgodnie z ustaleniami przyjętymi po wykonaniu założeń wstępnych dla testera, sprawozdanie PIAP Nr rej.5494 , pakiety standardowe MI-50 oraz ML-50 będą testowane przy wykorzystaniu omawianego w niniejszej pracy testera.

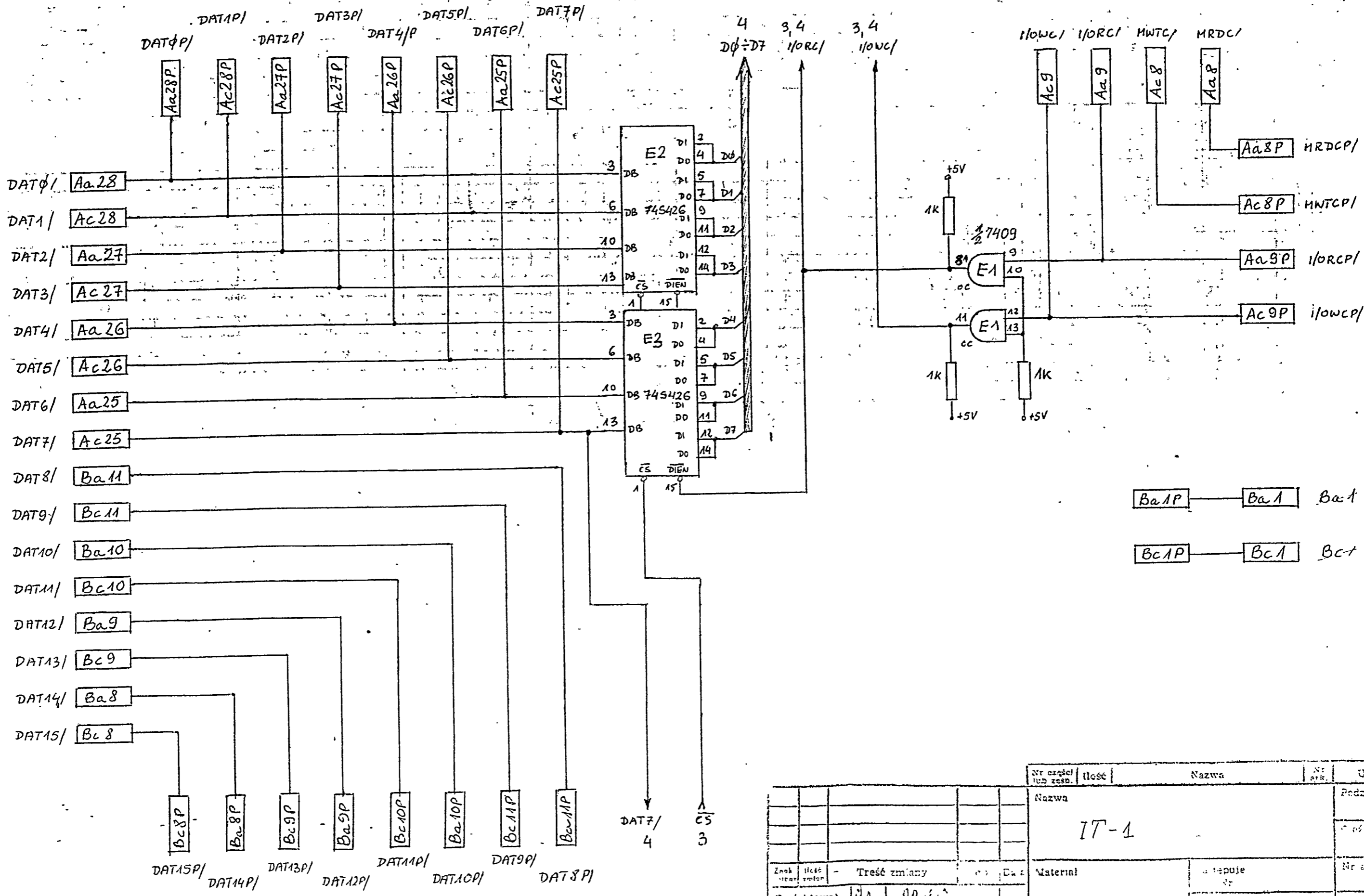
Pakiet ML-50 nie ma złącz obiektowych - w związku z tym, w celu przetestowania tego pakietu niezbędne będą programy testujące, które opracują ^{jego} konstruktorzy.

Pakiet MI-50 posiada złącza obiektowe. Z tego powodu przy testowaniu tego pakietu oprócz programów testujących niezbędne będą wymagania konstruktorów pakietu na urządzenia dodatkowe (interfejs) umożliwiające przeprowadzenie testowania.

Wymagania konstruktorów zostaną uwzględnione podczas wykonywania dokumentacji szkicowej testera, w etapie 4 pracy.

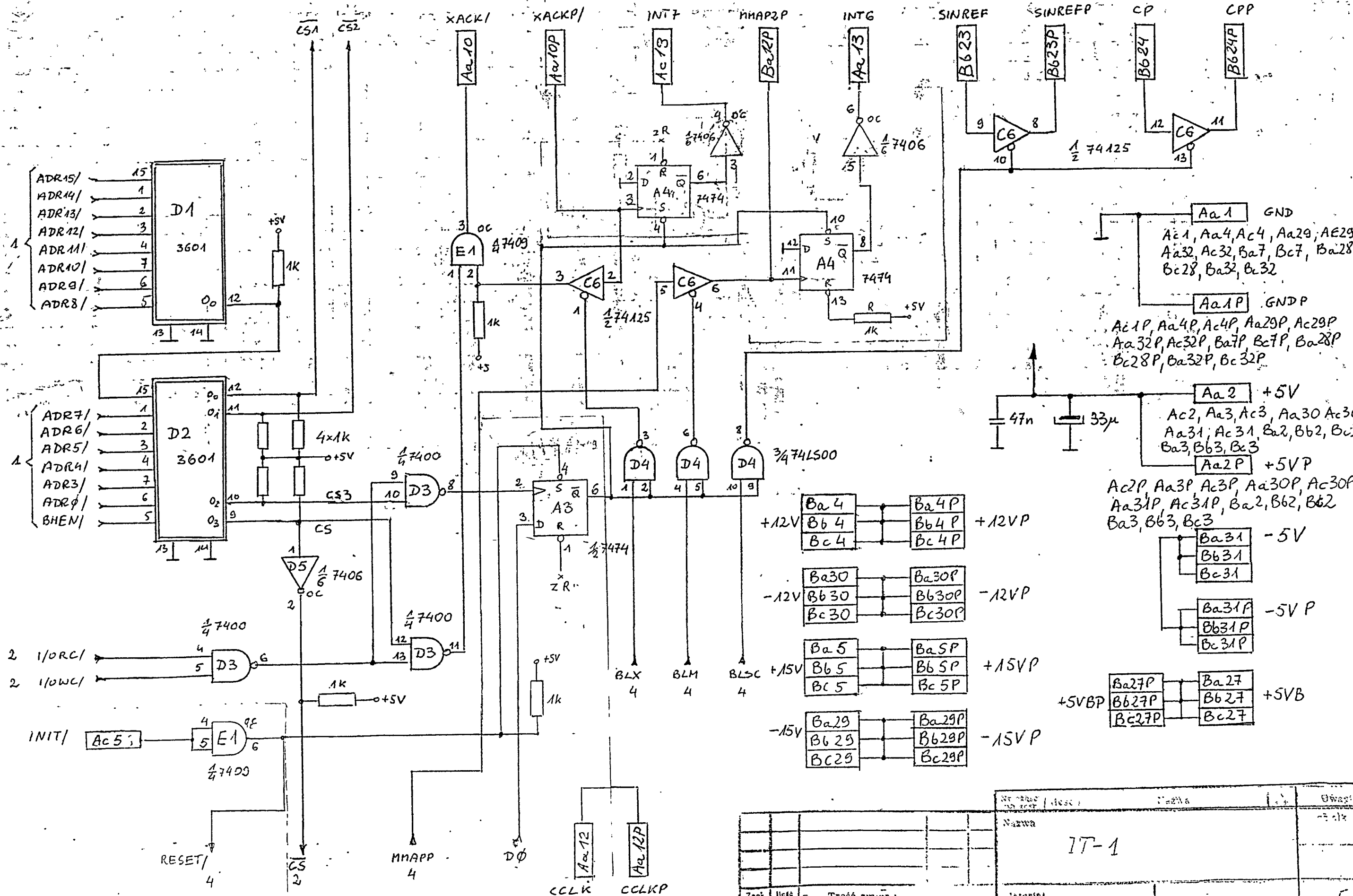


Nr części lub zesp.		Ilość		Nazwa		Nr ark.		Uwagi	
Nazwa						Podziałka			
Konstrukcja mechaniczna testera						Cieżar			
Treść zmiany						Zastępuje		Nr ark.	
Projektował						nr. Nr		A	
Konstruował						Zastąpiono		Nr rys. zest.	
Kreślił						przez rys. Nr			
Sprawdził						Nr-rysunku		Nr części	
Kier. Pracowni						Przemysłowy Instytut Automatyki i Pomiarów Warszawa		A	
Kier. Zakładu						Zakład OAE		34	

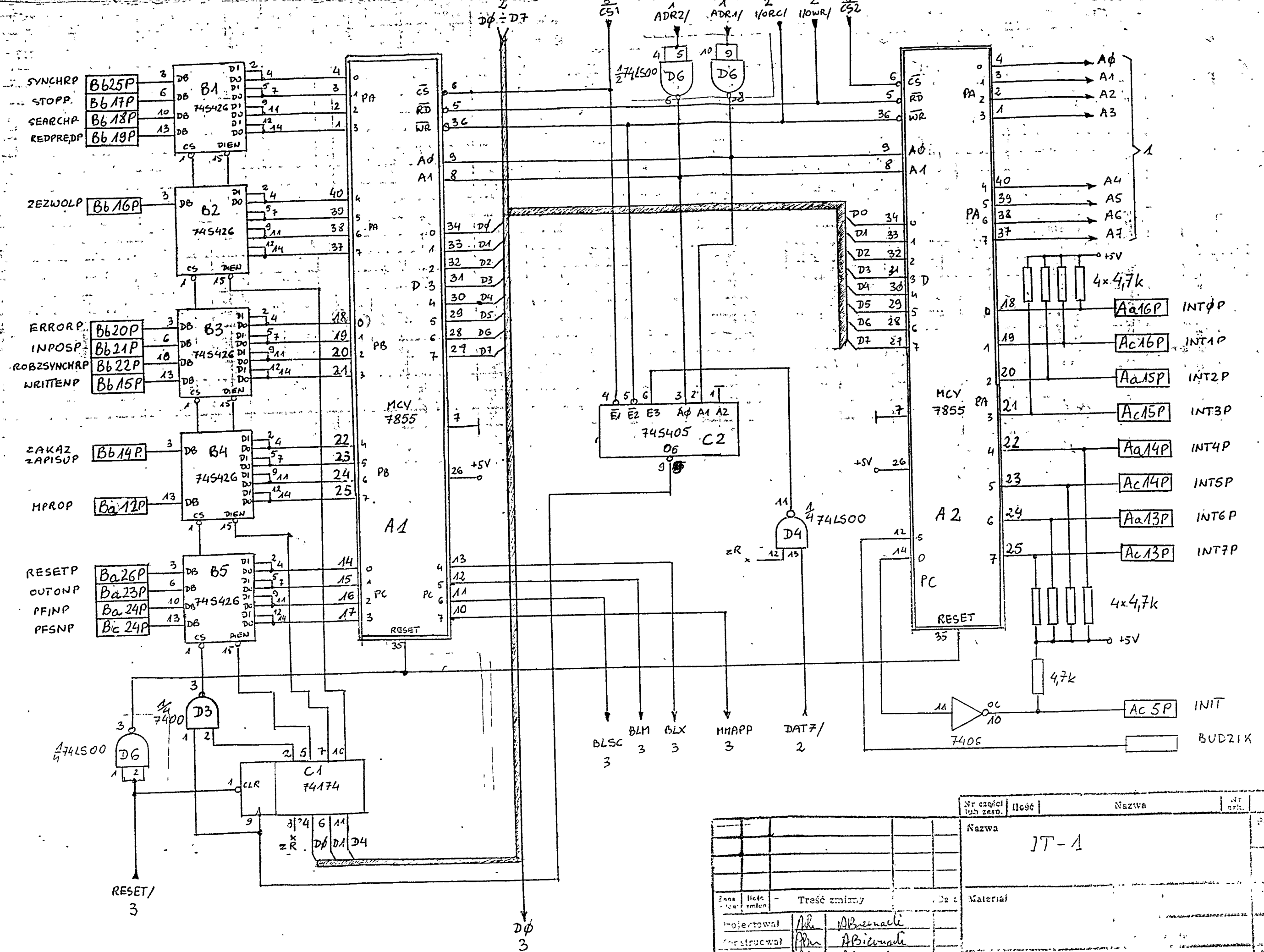


Znak	Ilość	Treść zmiany	Nazwa	Nr ark.	Uwagi
			Nazwa		Podpisano
			17-1		
			Material		Nr ark.
					Nr rys. z
					Nr części
Projektował		AP			
Konstruował		AB			
Kreślił		AB			
Sprawdził					
Kier. Pracowni		M. Wronski			
Kier. Zakładu		P. Jabłoński			

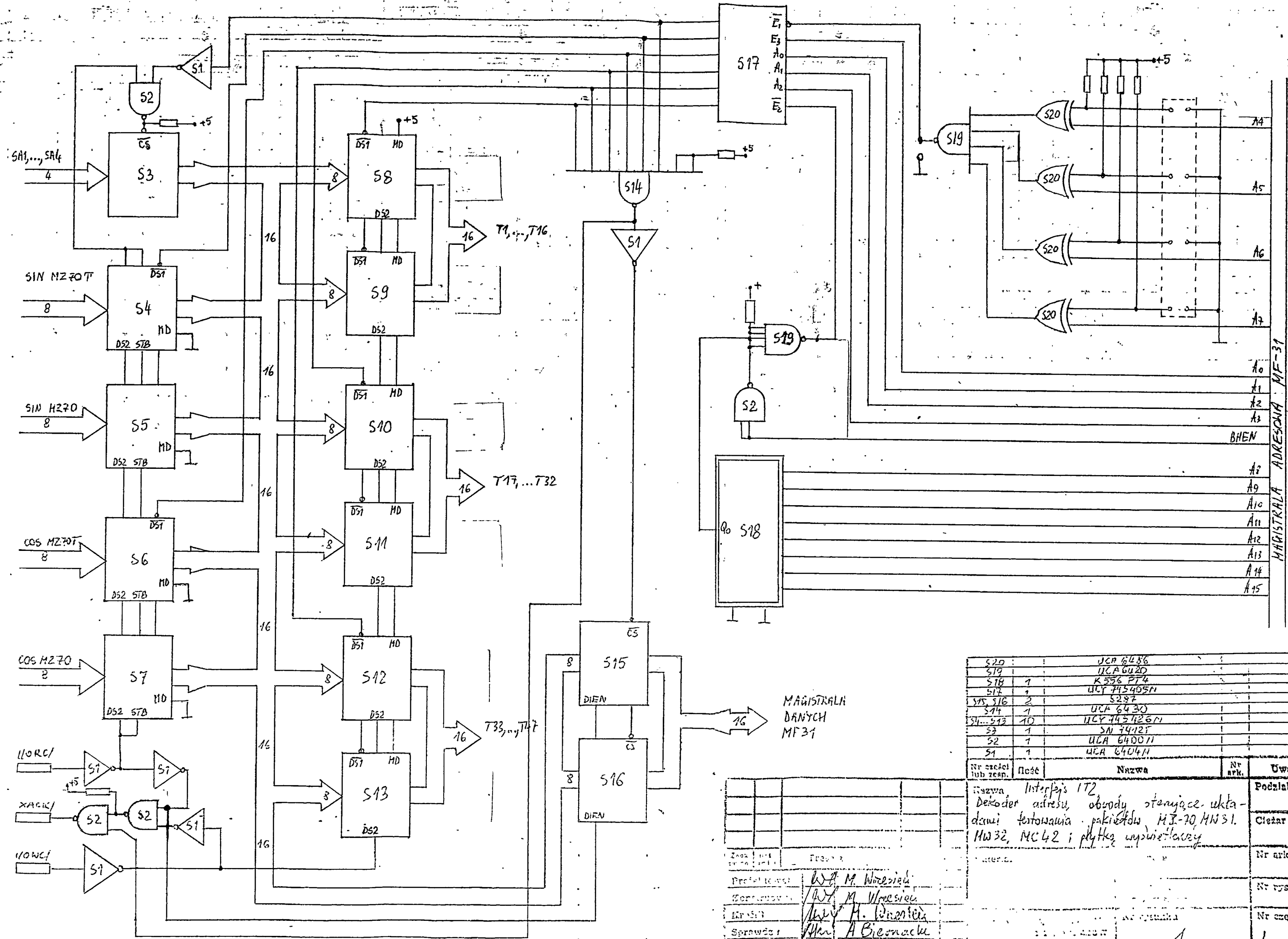
1/2 34



Nr. 1000 / desc. 1000		Nazwa		Uwagi	
		IT-1			
Znak zmiany		Treść zmiany		Data	
Projektował	AB	OPierwini			
Konstruował	AB	OPierwini			
Kreślił	AB	OPierwini			
Sprawdził					
Kier. Pracowni	W	H. W.			
Kier. Zakładu		K. T.			
				13	38



Nr części lub zespoł.	Ilość	Nazwa	Nr art.	Uwagi
		Nazwa		Podziałka
		IT-1		
Znak	Ilość	Treść zmiany	Do	Materiał
Projektował	AB	ABrenaci		
Strukturwał	AB	ABilwadi		
Prosj II	AB	ABrenaci		
Porównał				
Nier. Przew.		M. Wroblew		
Nier. Zakład.		P. Jankowski		



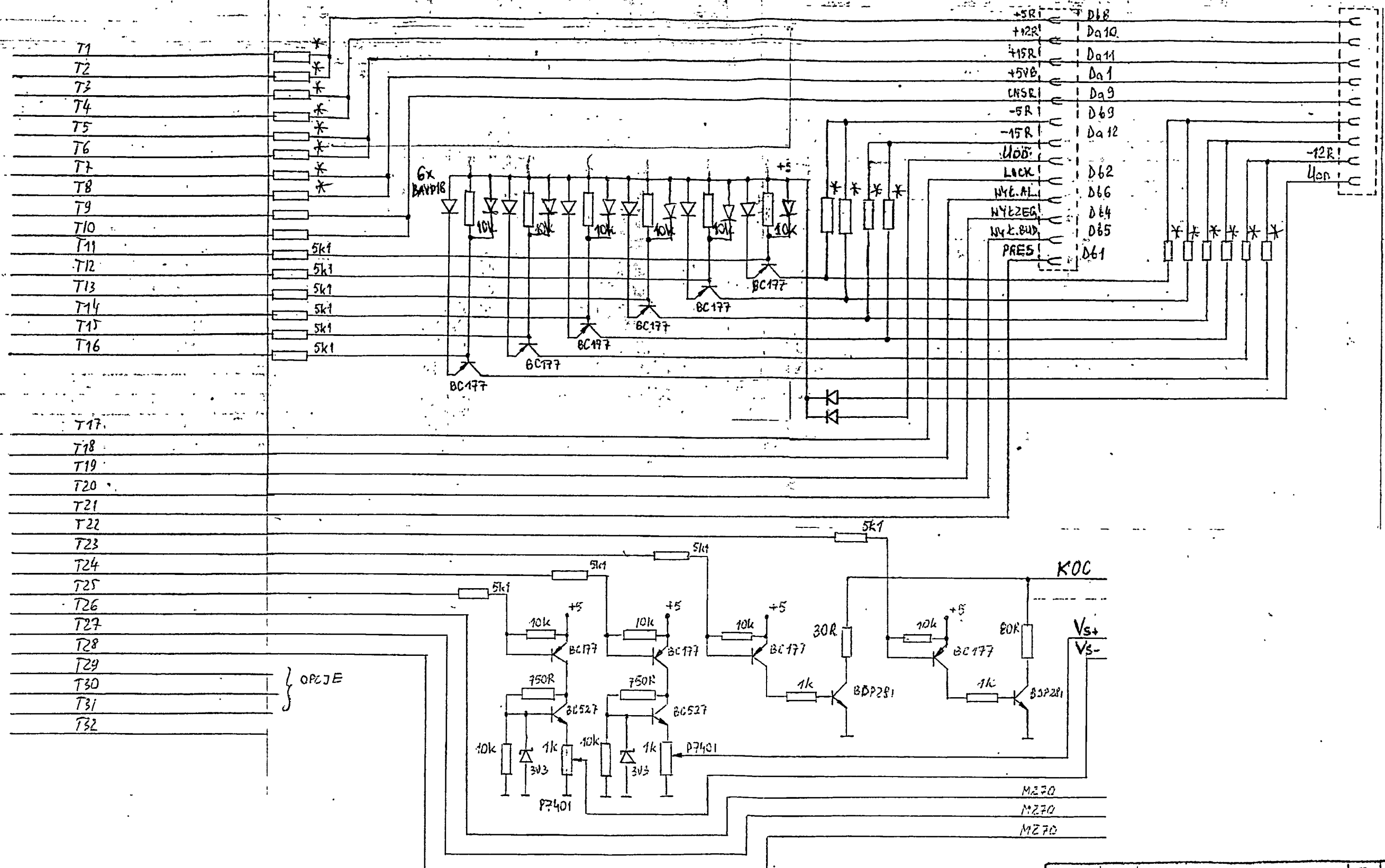
MAGISTRALA ADRESOWA MF-31

S20		UCA 6486	
S19		UCA 6420	
S18	1	K 556 PT4	
S17	1	UCY 415405N	
S15, S16	2	S287	
S14	1	UCA 6430	
S13...S12	10	UCY 445426N	
S9	1	SN 74125	
S2	1	UCA 640011	
S1	1	UCA 640411	

Nr części lub zesp.	Placę	Nazwa	Nr ark.	Uwagi
		Nazwa Interfejs I2		Początek
		Decodier adresu, obwód stanowiący układami testowania pakietów MZ-70, MN 31, MZ 32, MC 42 i płytkę wyświetlaczy		Ciechar
				Nr ark. 7
				Nr wys. zes.
				Nr części 40

Znak i nr	Przebieg
Przebieg	W. M. Wroblewski
Wzrost	W. M. Wroblewski
Wzrost	W. M. Wroblewski
Sprawdz.	W. M. Wroblewski
Kier. Pracowni	W. M. Wroblewski
Kier. Zespołu	P. Jablonski

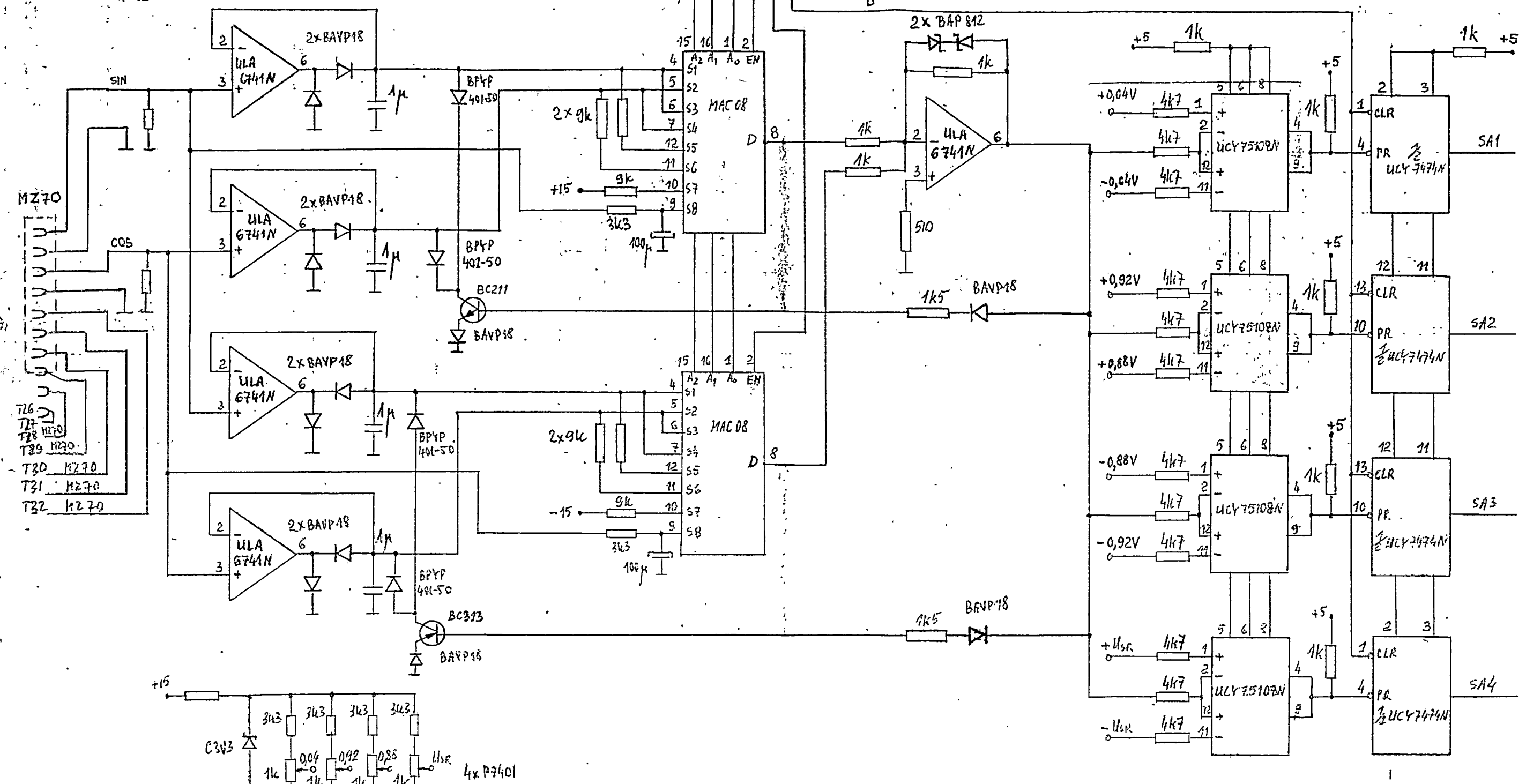
MAGISTRALA DANYCH MF 31



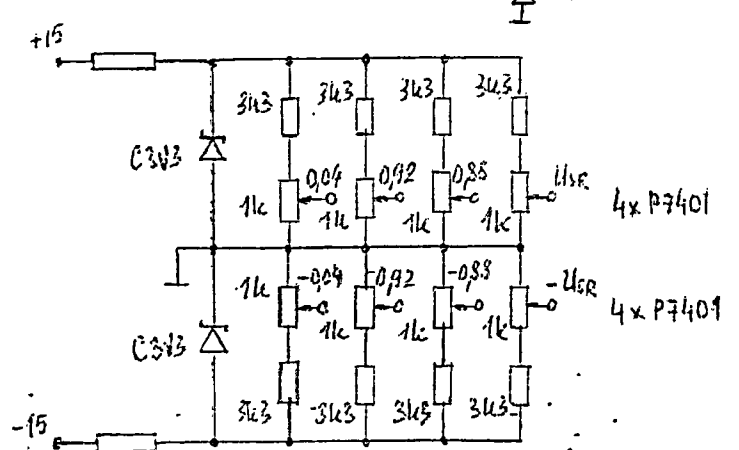
* Ręcznie dobierane przy umiarkowaniu modelu użytkowego.

Znak		Nr części lub zesp.	Plomb	Nazwa	Nr ark.	Uwagi
				Nazwa 172		Podziałka
				Układ testowania palników MN31 i MN32, obrotowy sterujący układami testowania palników MZ70, HC92 i MK70		Ciepota
Znak	Nr części	Treść zmiany	Podpis	Data	Materiał	Nr ark. 2
Projektant	W. W.	M. Wroński		07.86	Zastępuje rys. Nr	Nr rys. zest.
Konstruował	M. W.	M. Wroński		07.86	Skonop. 000	
Weryfik.	W. W.	M. Wroński		07.86	rys. Nr	Nr części
Przewedł.					Nr rysunku 2	
Upr. Pracowni	W. W.	M. Wroński		07.86		41
Upr. Zakładu	J. J.	L. Jablowski				

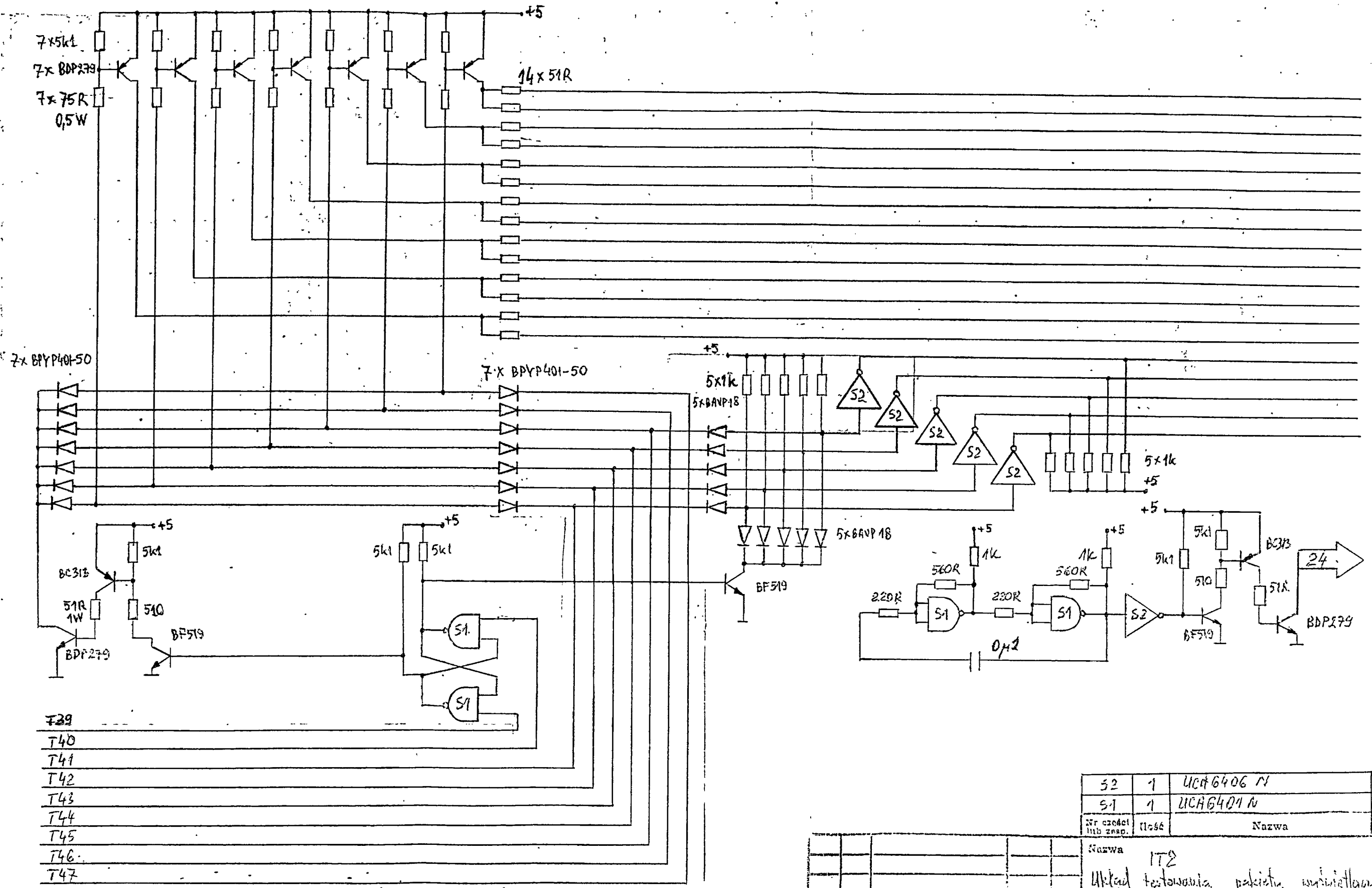
T33
T34
T35
T36
T37
T38



MZ70
T26 MZ70
T27 MZ70
T28 MZ70
T29 MZ70
T30 MZ70
T31 MZ70
T32 MZ70



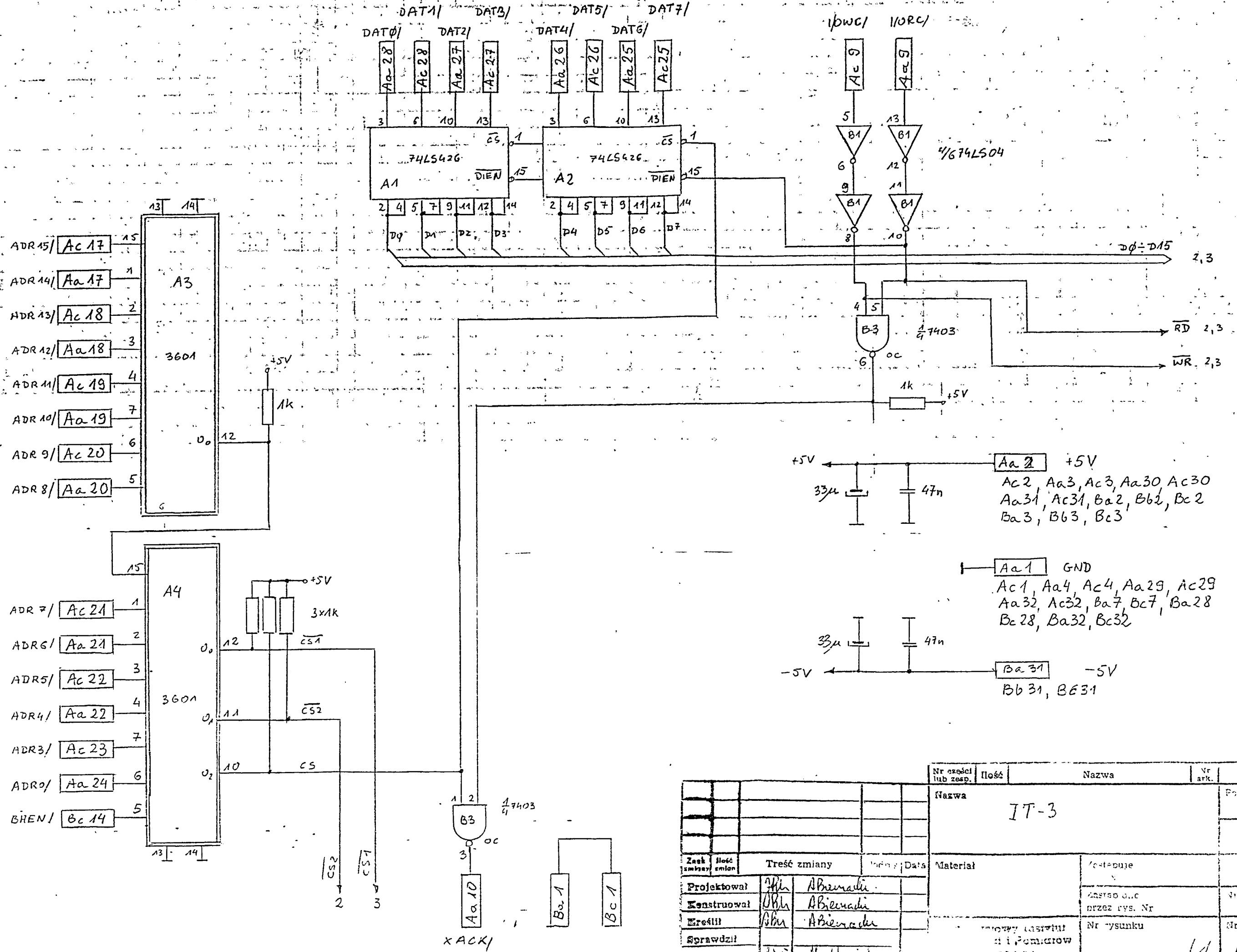
Nr części lub zesp.	Ilość	Nazwa	Nr ark.	Uwagi
		Nazwa		Podziałka
		Schemat ideowy zespołu		
		Kontrola pociętu MZ-70		Ciężar
				Nr ark. 9
				Nr rys. zest.
				Nr części 3
				42



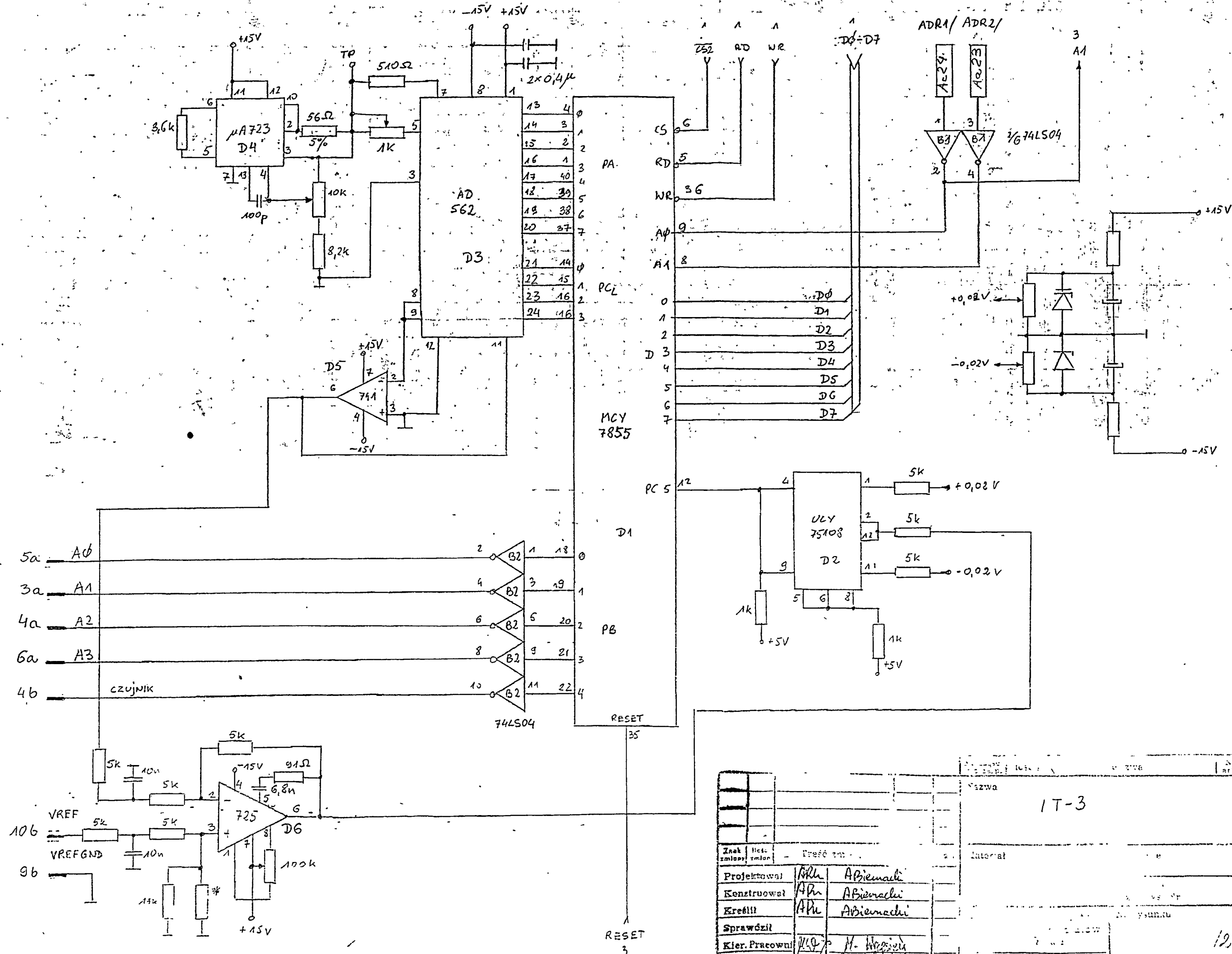
- F29
- T40
- T41
- T42
- T43
- T44
- T45
- T46
- T47

S2	1	UCA6406 N		
S1	1	UCA6401 N		
Nr części lub zap.	11066	Nazwa	Nr art.	Uwagi

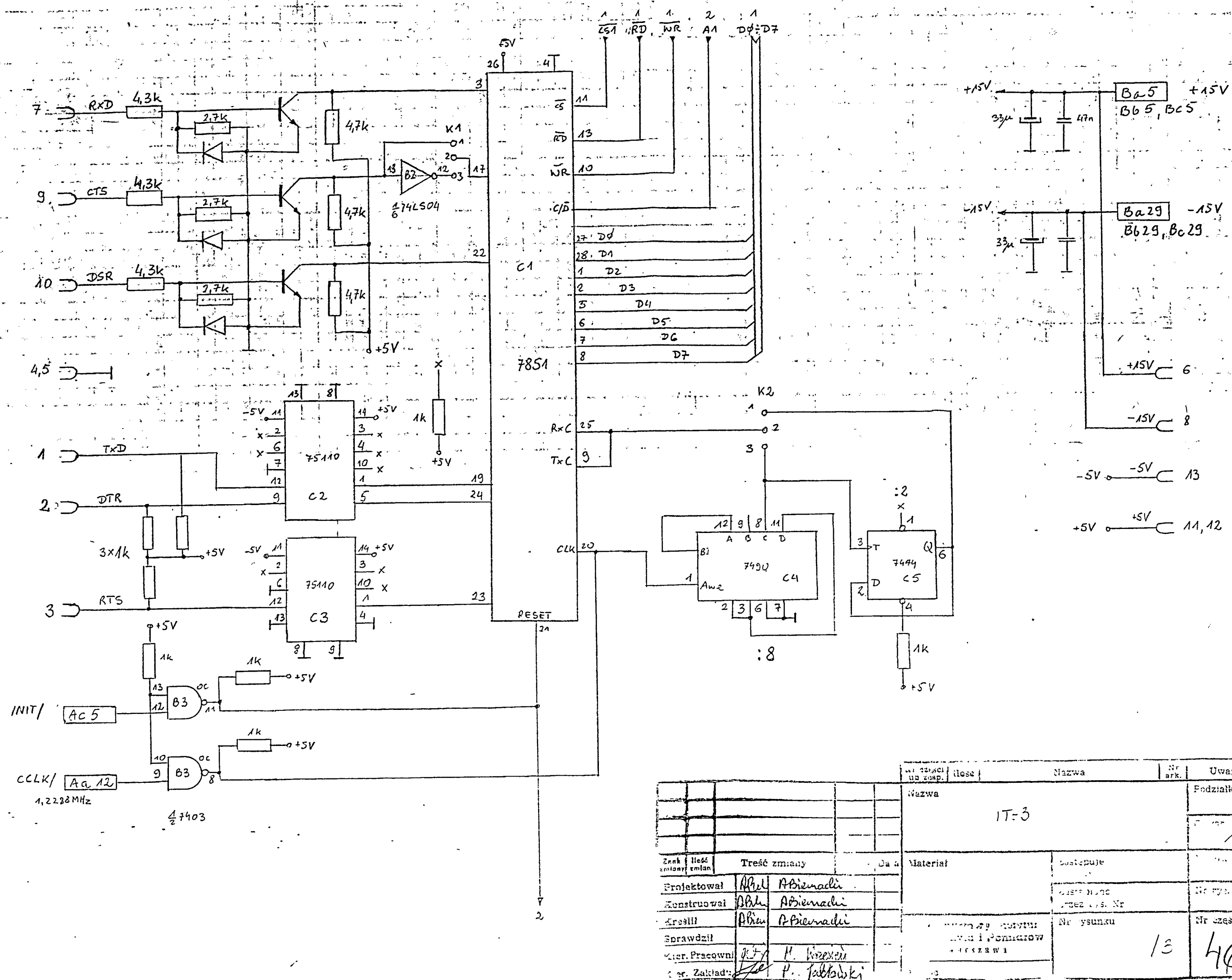
Znak		1141		Tytuł rysunku		Nazwa		Podziałka	
Projektował		H. Wroblewski		Nazwa		IT2		Podziałka	
Sprawdził		H. Wroblewski		Układ testowania pakietu wypinietłowy		panelu programowania		Ciężar	
Kier. prac		H. Wroblewski		Numer		10		Nr rys. zes.	
Kier. zak. ad.		P. Jabłowski		Nr rysunku		4		Nr części	
								43	



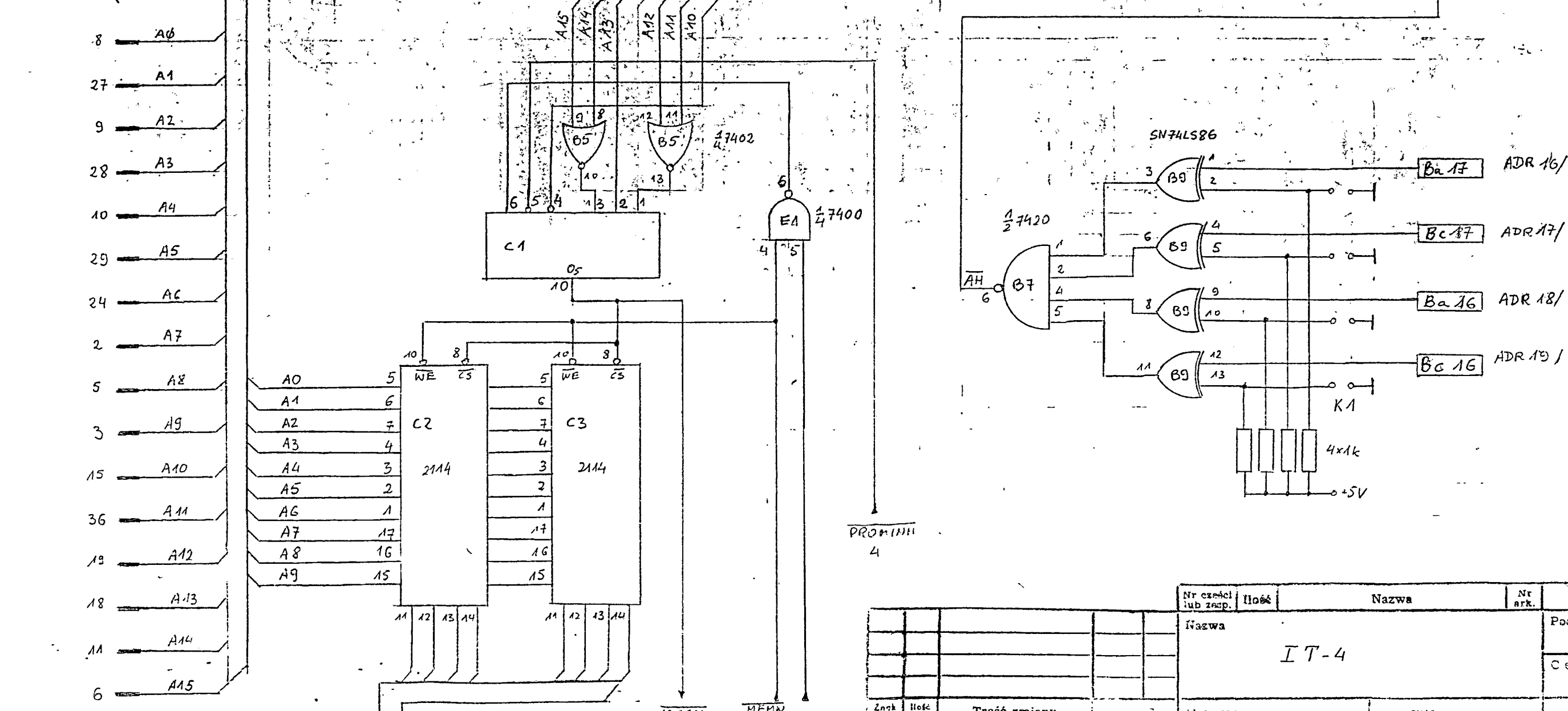
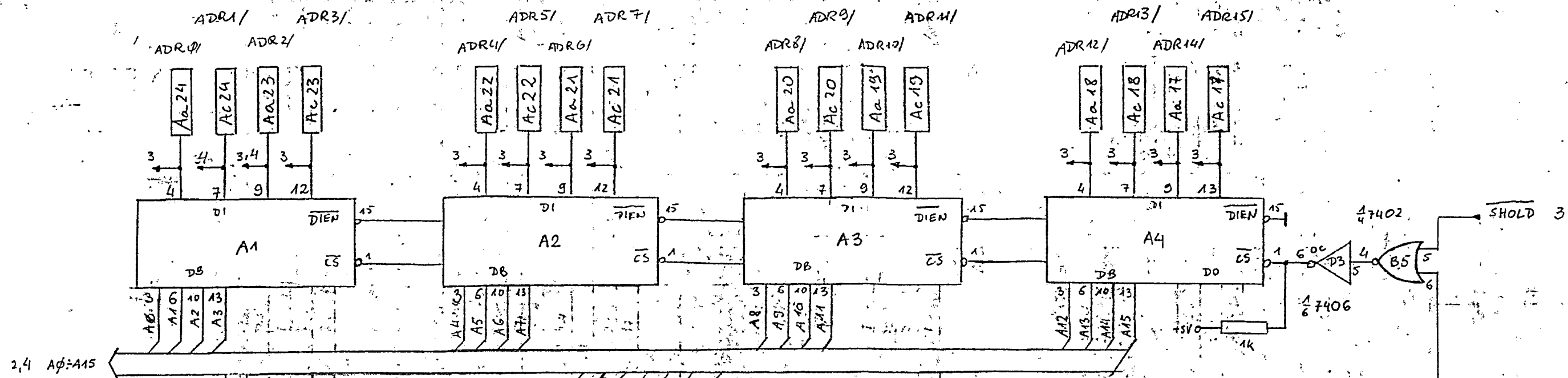
Znak zmiany	Ilość zmian	Treść zmiany	Wzrost	Data	Nr części lub zesp.	Ilość	Nazwa	Nr art.	Uwagi
					Nazwa		IT-3		
					Materiał		Kosztuje		
Projektował		M. Abramski					Koszt o.c. przez rys. Nr		
Konstruował		A. Biernacki					Nr rysunku		
Kreślił		A. Biernacki					Nr części		
Sprawdził							1/1		
Kier. Pracowni		M. Wójcik					4/4		
Kier. Zakład		P. Jablonski							



Znak zmiany		Liczba zmian		Data		Miejsce		Uwagi	
				Nazwa		IT-3			
				Internat				12	
Projektował		APh		ABiemacki				Nr rys. zesp.	
Konstruował		APh		ABiemacki				Nr części	
Kreślił		APh		ABiemacki				12	
Sprawdził								45	
Kier. Pracowni		M. W.		M. W.					
Kier. Zakładu		P. T.		P. T.					

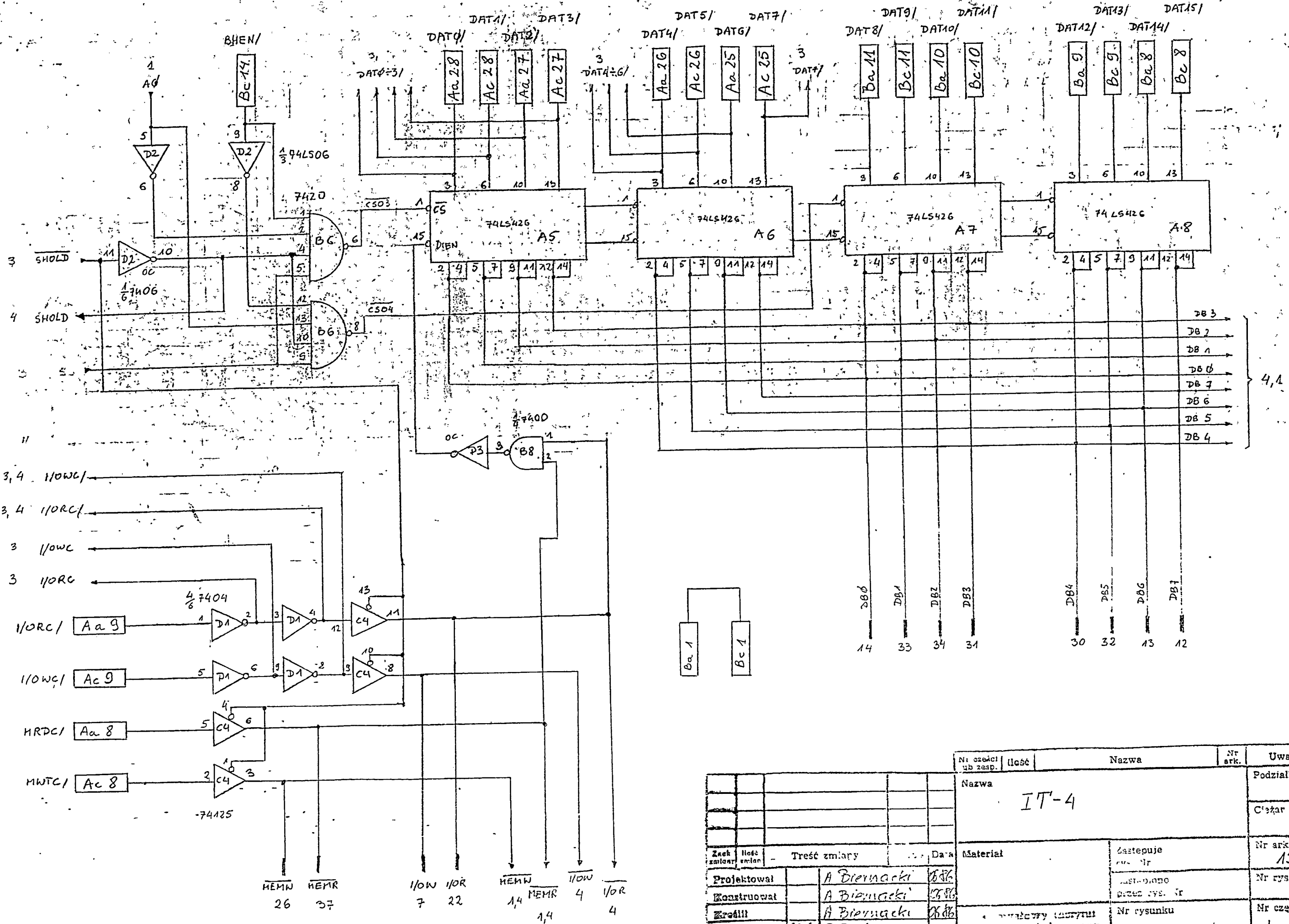


Znak	№ listy	№ listy	Treść zmiany	Da	Materiał	Ważność	№ rys. zesp.	№ części
Projektował	AB		ABiernacki					
Konstruował	AB		ABiernacki					
Kreślił	AB		ABiernacki					
Sprawdził								
Kier. Pracowni			M. Wroński					
Kier. Zakładu			P. Jabłoński					
Nazwa							Podziałka	
IT-3							13	
Materiał							Ważność	
Nr rysunku							Nr części	
13							40	

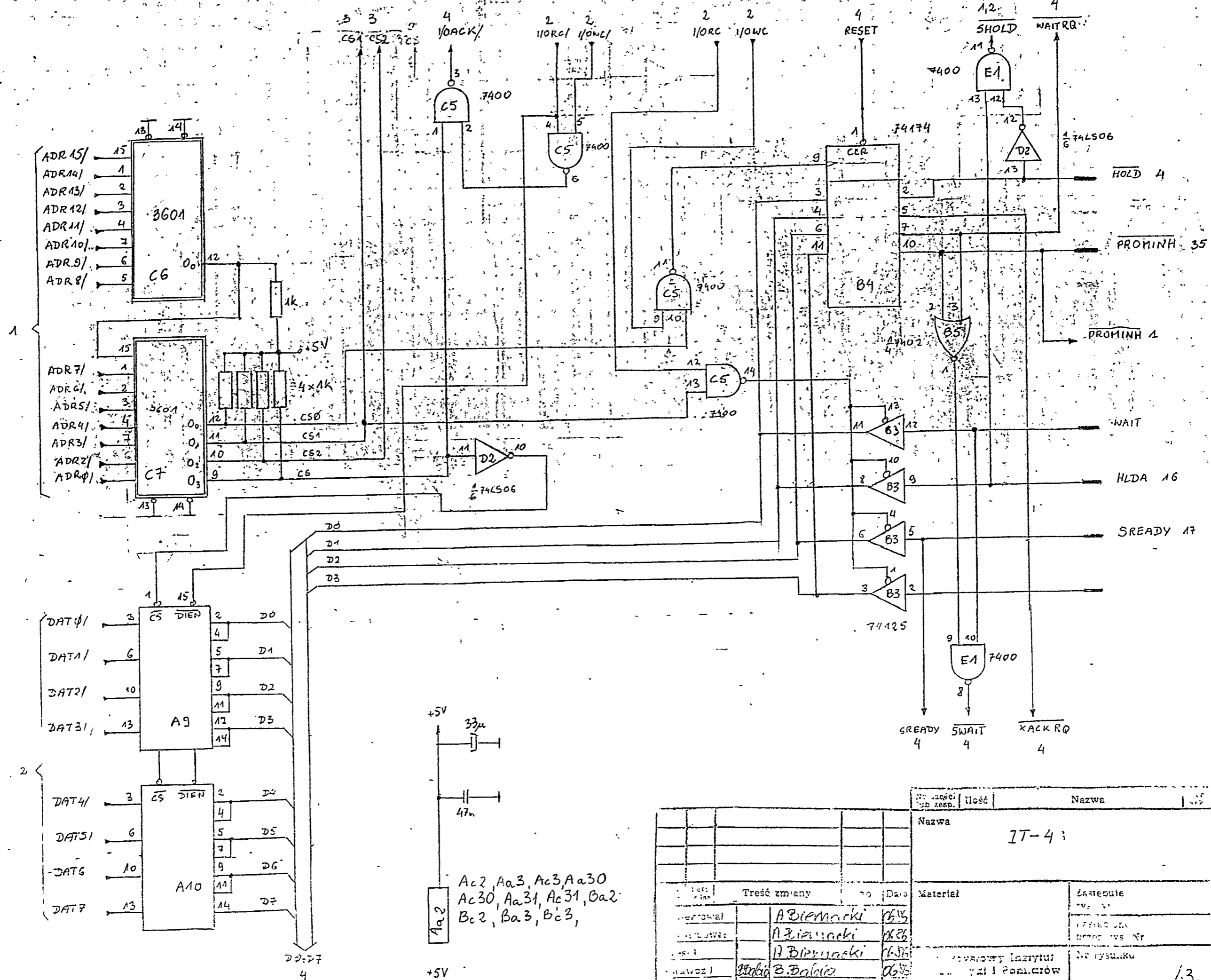


Nr części lub zesp.	Ilość	Nazwa	Nr ark.	Uwagi
		Nazwa		Podziałka
		IT-4		Cętar
		Materiał		
				14
				1/1.
				44

Znak	Ilość	Treść zmiany	Dotyczy
Projektował		A. Biernacki	686
Konstruował		A. Biernacki	686
Treścił		A. Biernacki	686
Sprawił		B. Zieliński	686
Kier. Pracowni		M. D. Zieliński	686
Kier. Zakładu		J. P. Zieliński	686

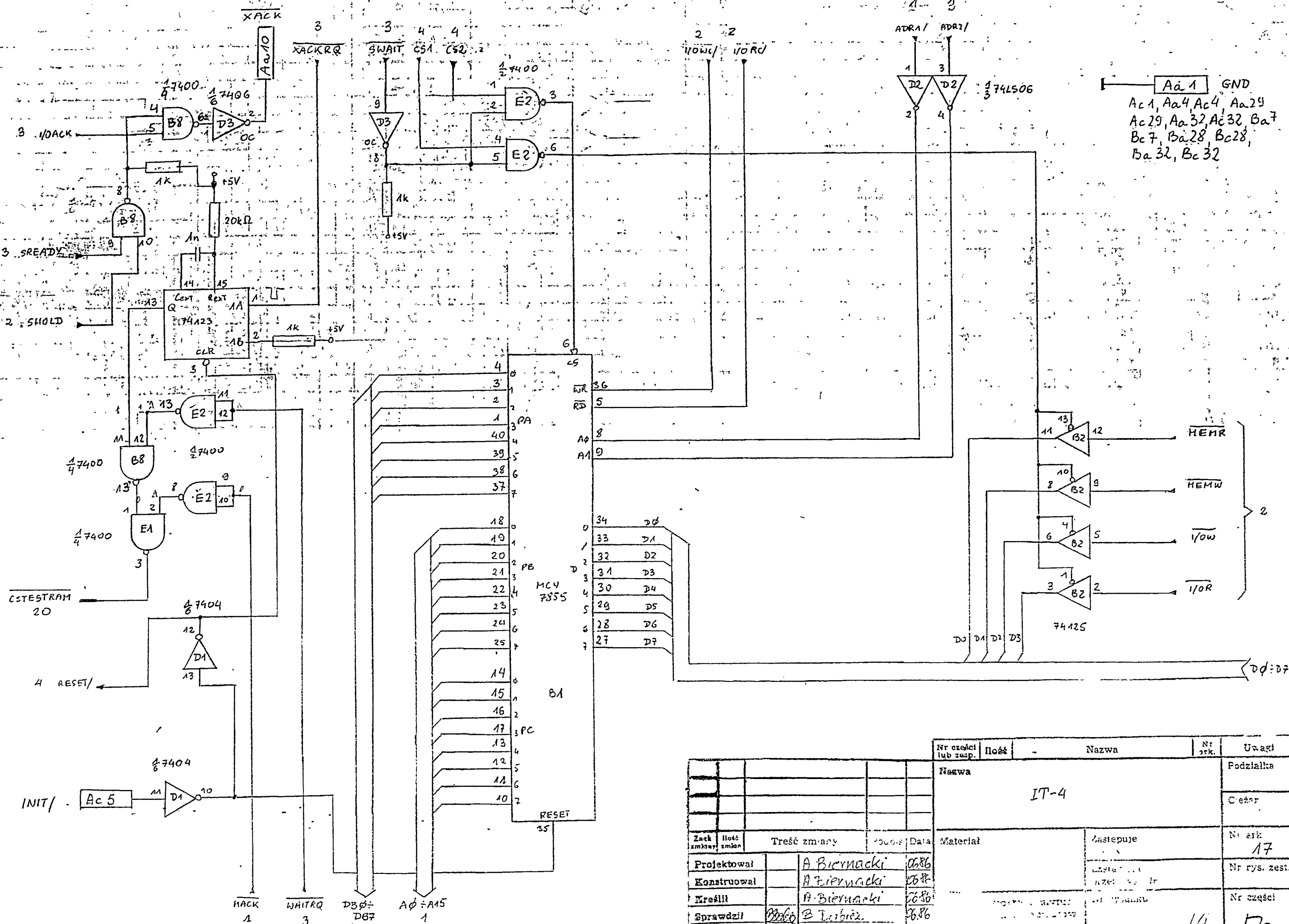


		Nr części lub zesp.	Ilość	Nazwa	Nr ark.	Uwagi
		Nazwa			Podziałka	
		IT-4			Część	
		Materiał			Nr ark.	
		Zastępuje rys. Nr			15	
		Zestawiono przed rys. Nr			Nr rys. zesp.	
		Nr rysunku			Nr części	
		1.2			48	
Zech zalicz.	Not zmiar	Treść zmiany		Data		
Projektował		A Biernacki		06.86		
Konstruował		A Biernacki		06.86		
Kreślił		A Biernacki		06.86		
Sprawdził	W. B.	D. Bahirz		06.86		
Elek. Pracownik		M. W. Mesini		06.86		
Elek. Zakładu		P. J. J.				



A₂
 A_{c2}, A_{a3}, A_{c3}, A_{a30}
 A_{c30}, A_{a31}, A_{c31}, B_{a2}
 B_{c2}, B_{a3}, B_{c3}

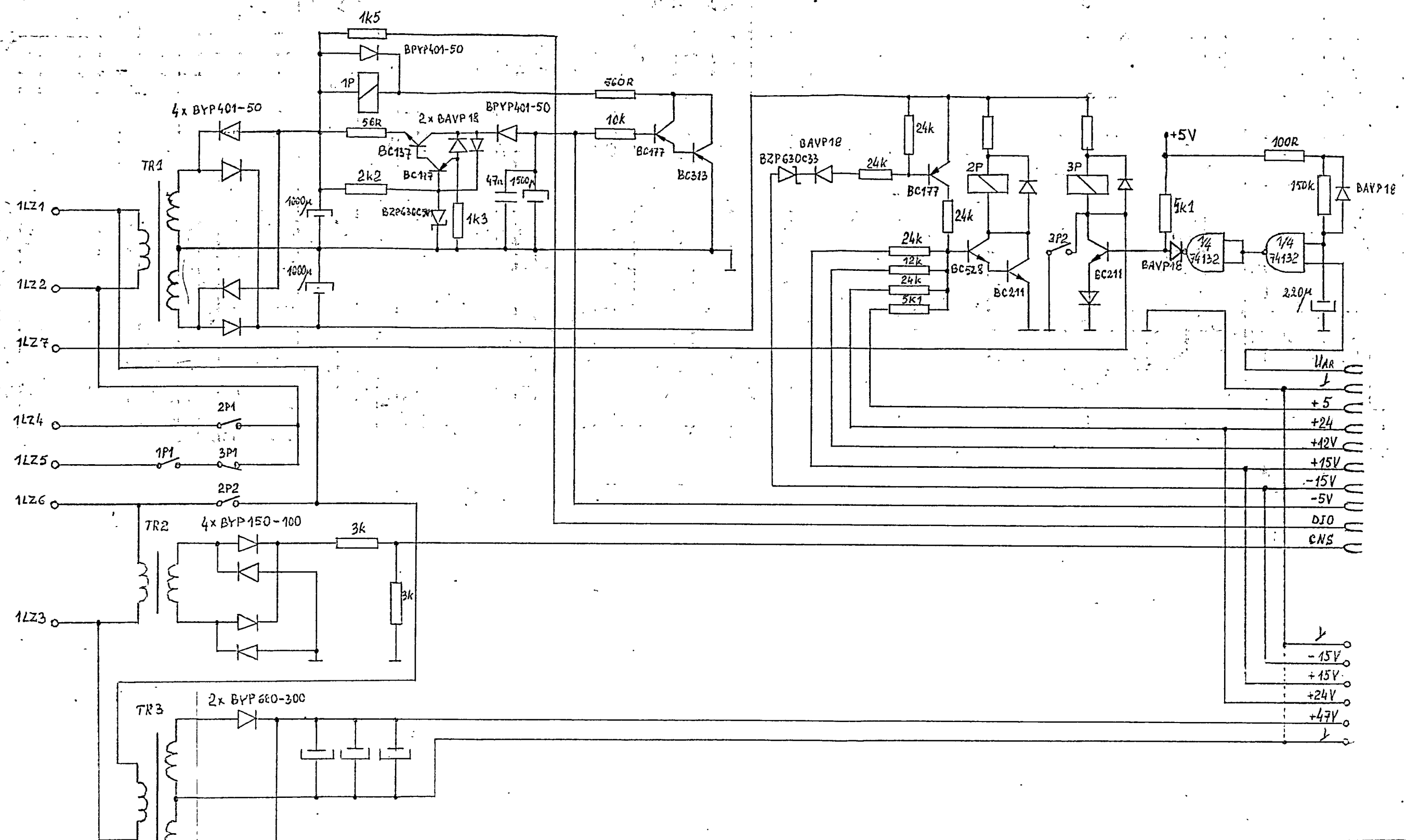
Treść zmiany		Data		Nazwa		Uwagi	
Wykonawca	A. Biernacki	16.05		Nazwa		Podz. alka	
Wykonawca	A. Biernacki	16.05		IT-4		Dziwny	
Wykonawca	B. Biernacki	16.05		Materiał		16	
Wykonawca	B. Biernacki	16.05		Załącznik		Nr rysunku	
Wykonawca	M. Własiewicz	05.05		Materiał		Nr części	
Wykonawca	P. Julewicz			Materiał		13	
						49	



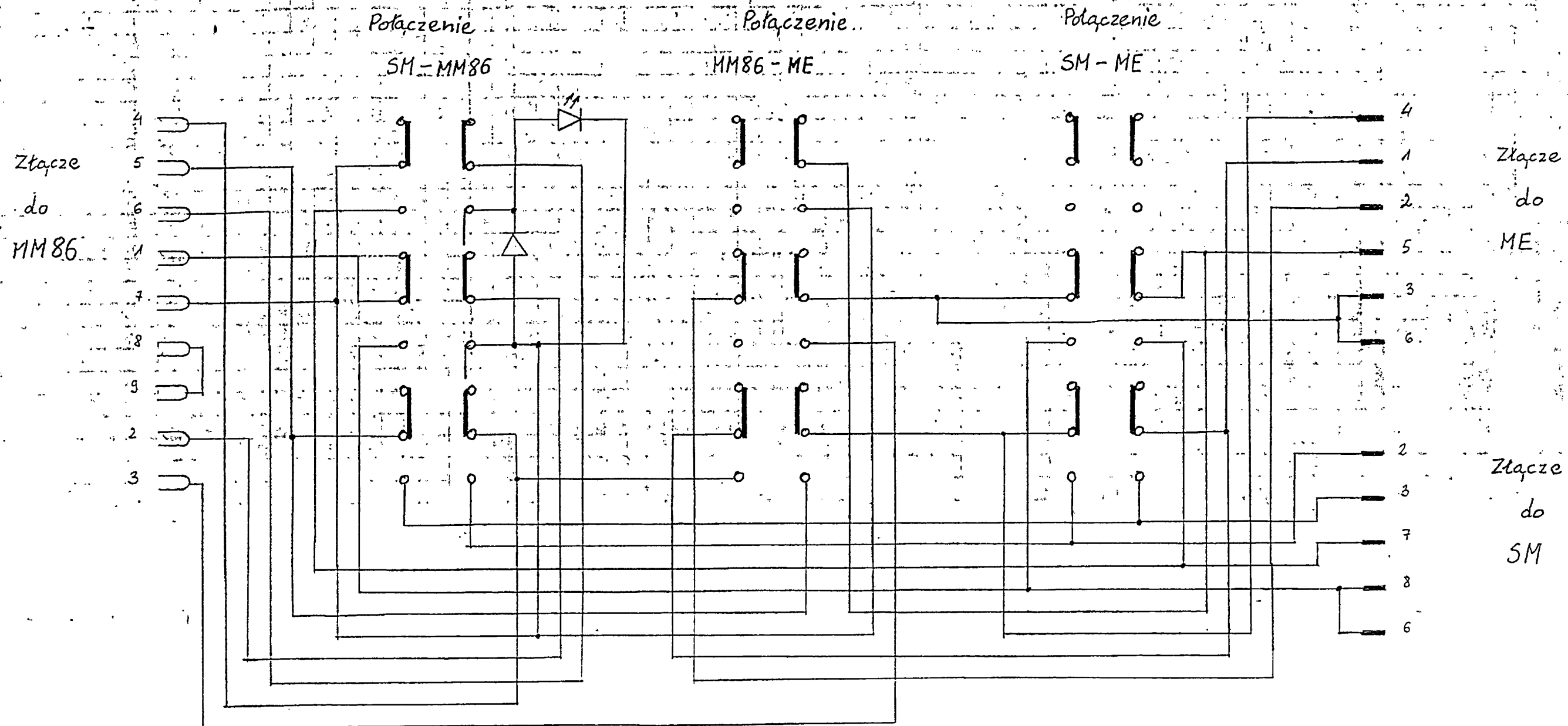
Aa 1 GND
 Ac 1, Aa 4, Ac 4, Aa 29
 Ac 29, Aa 32, Ac 32, Ba 7
 Bc 7, Ba 28, Bc 28,
 Ba 32, Bc 32

Zach. zmiana	Ilość zmian	Treść zmiany	Podpis	Data	Nr części lub zast.	Ilość	Nazwa	Nr ark.	Uwagi
					Nazwa				Podziałka
					IT-4				Cezyr
					Materiał				Nr ark.
					Zastępuje				17
									Nr rys. zest.
									Nr części
								14	50

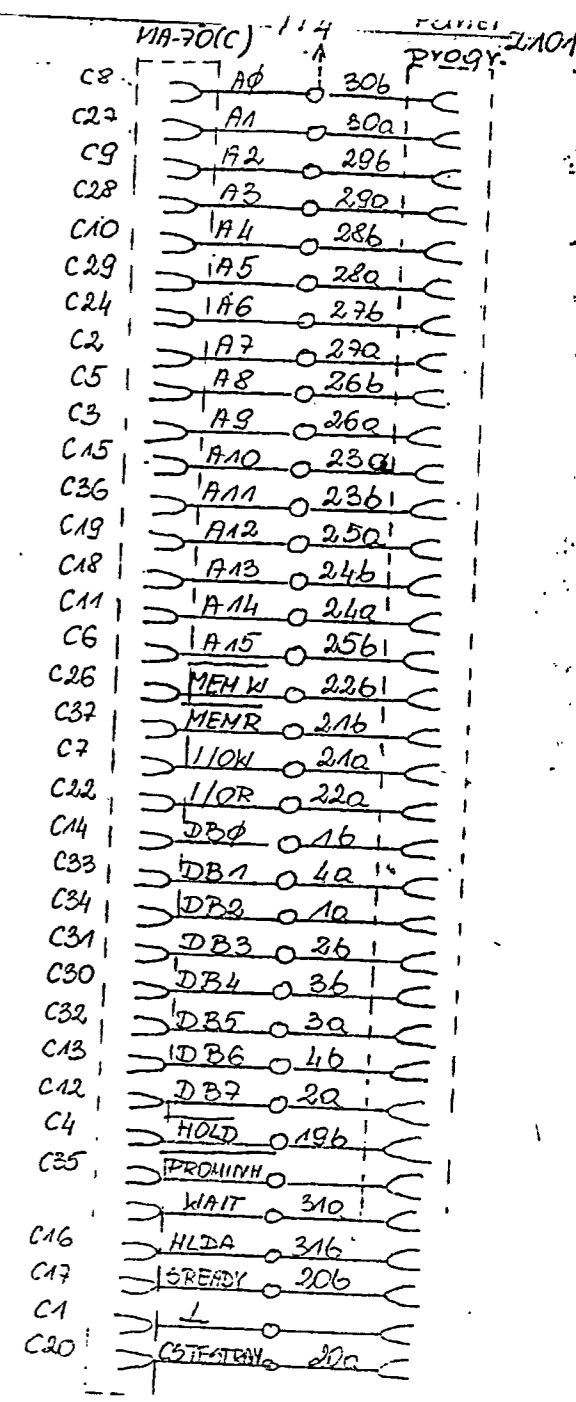
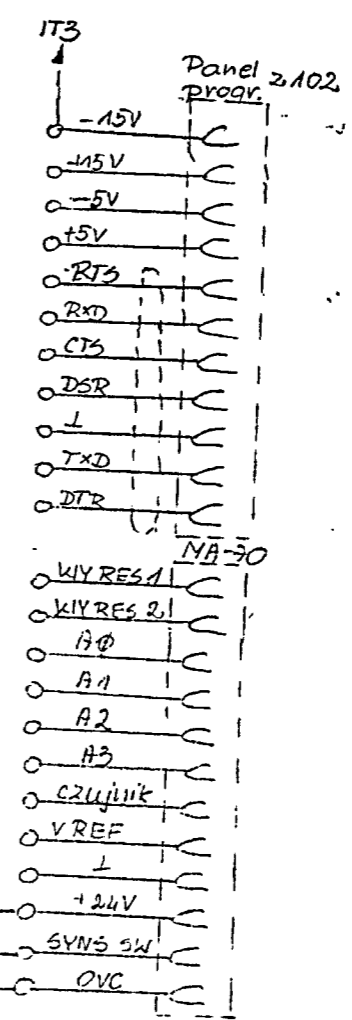
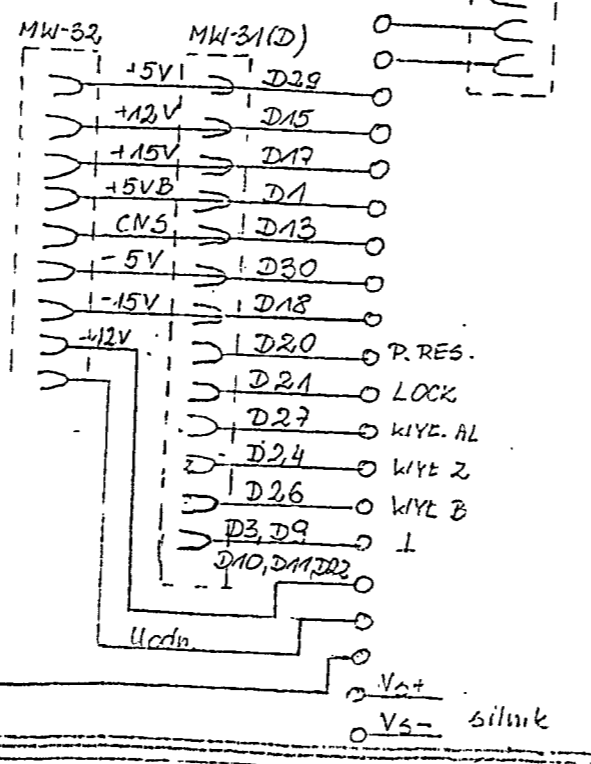
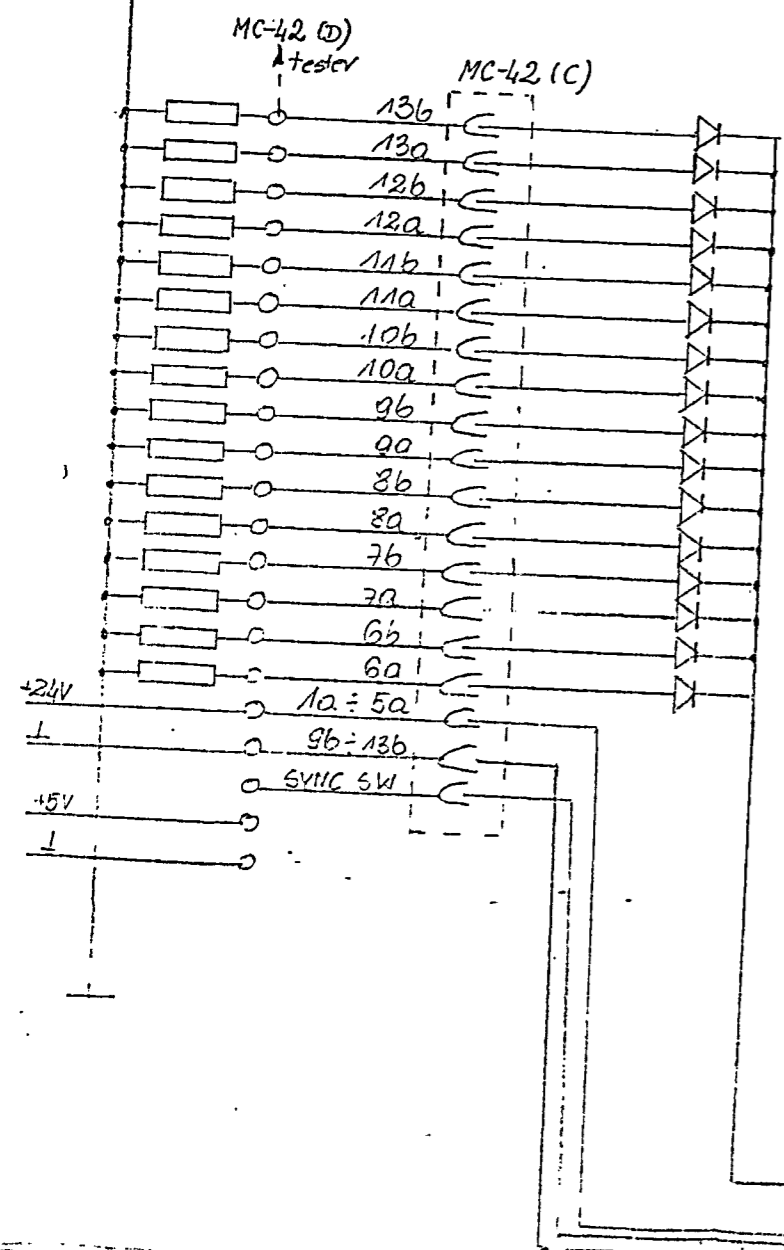
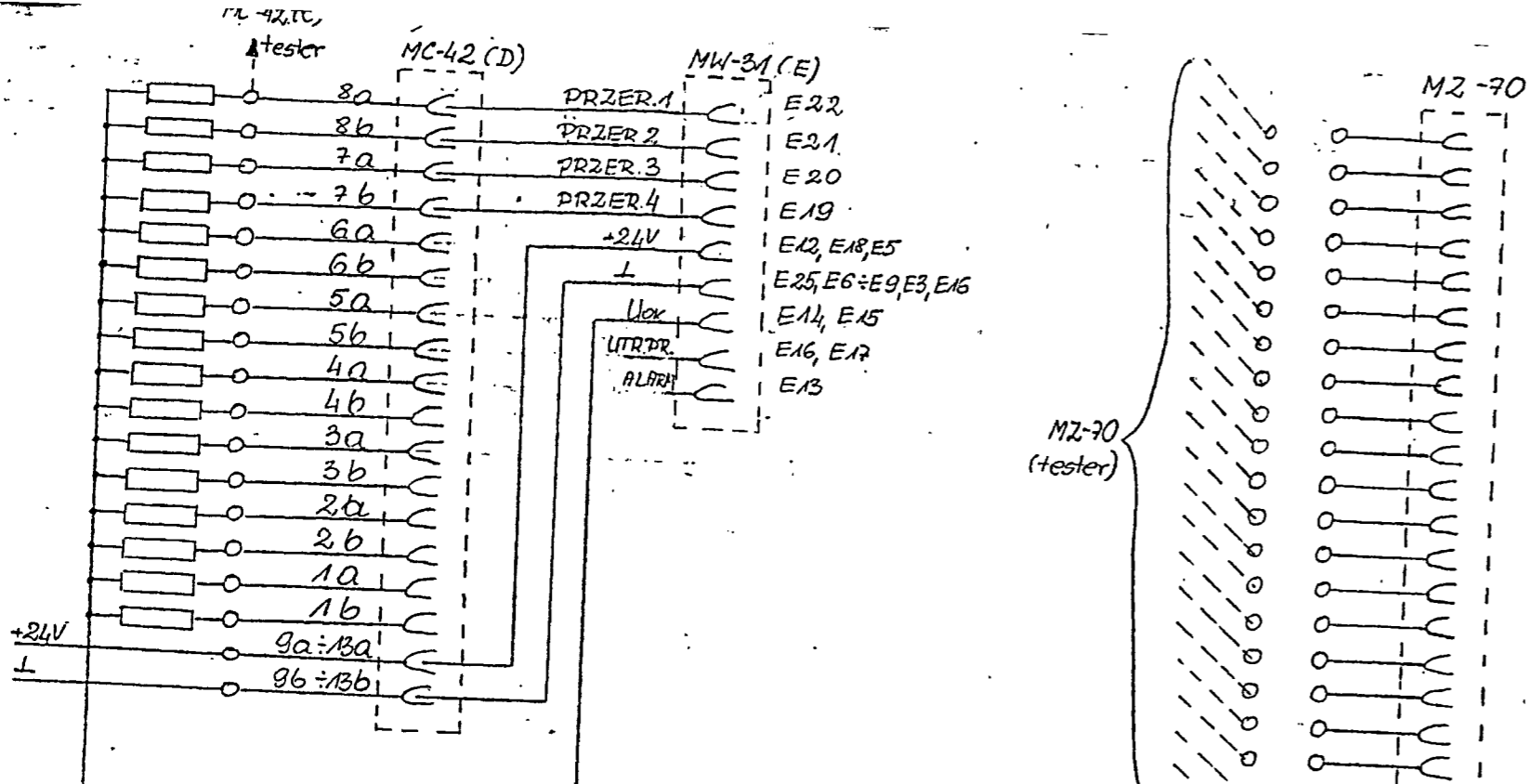
Projektował	A. Biernacki	06.86
Konstruował	A. Biernacki	06.86
Kreślił	A. Biernacki	06.86
Sprawdził	B. Zabicz	06.86
Kier. Pracowni	M. Wroński	06.86
Kier. Zakład.	J. P. Jankowski	



Znak emblemat	Wzrost emblem	Treść zmiany	Wzrost emblem	Data	Nr części lub zesp.	Ilość	Nazwa	Nr ark.	Uwagi
					Nazwa: Schemat ideowy płytki sterującej kolejnością włączania i wyłączania napis zasilających i zasilacz +47V				Podpiszka
							Zastępuje rys. Nr		Ciętar
							Zastąpiono przez rys. Nr	Nr ark. 18	
							Nr rysunku		Nr rys. zest.
									Nr części 51
Projektował		Wzrost M. Własień		05.36					
Konstruował		Wzrost M. Własień		05.36					
Kreślił		Wzrost M. Własień		05.36					
Sprawdził		Wzrost B. Babitz		05.36					
Kier. Pracowni		Wzrost M. Własień		05.36					
Kier. Zakładu		Wzrost P. Jabłoński					Zakład OAE		

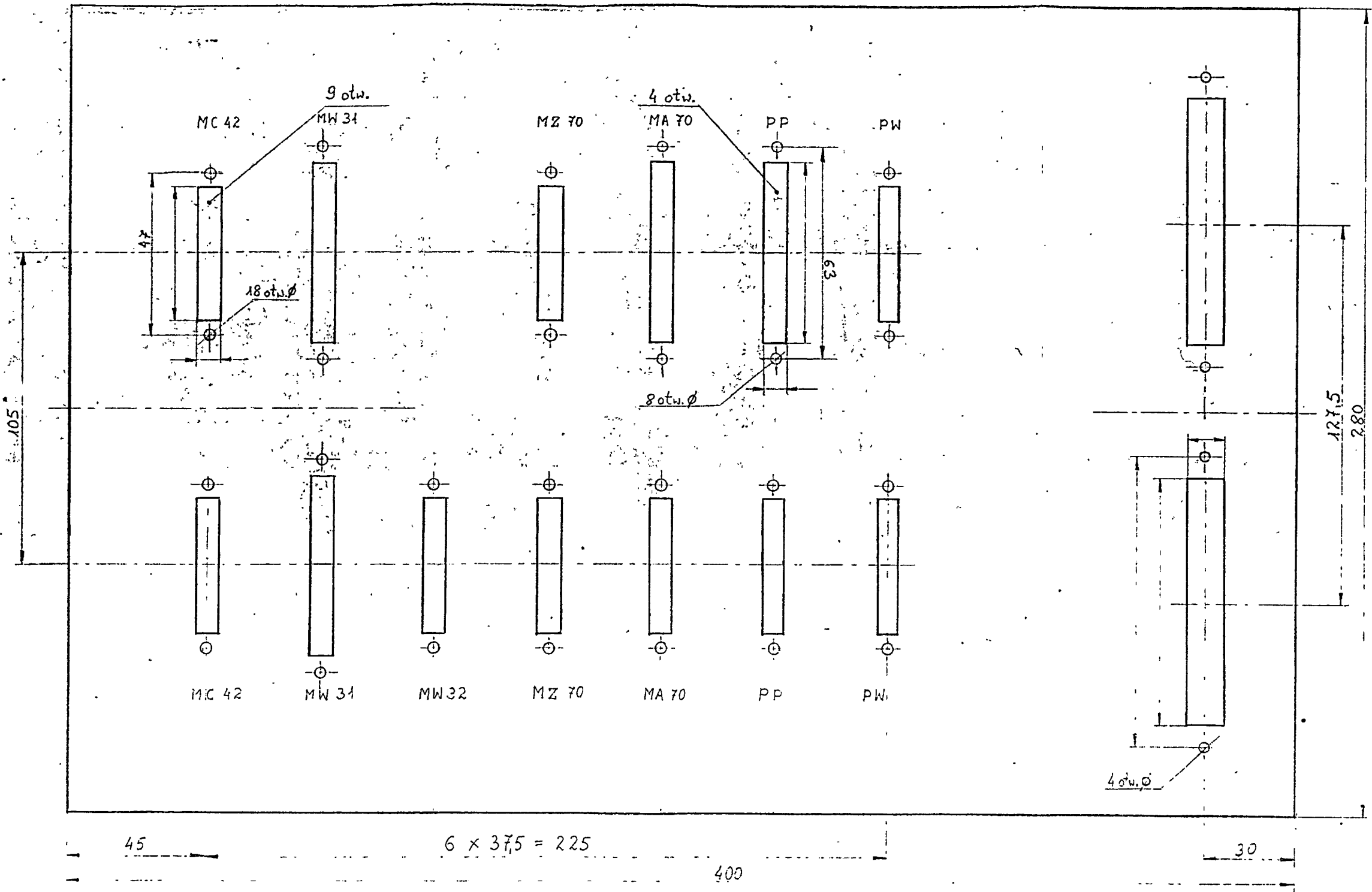


Znak		Liczba zmian		Treść zmiany		Data		Nazwa		Tytuł	
								Schemat iacewy płytki prze- ręczników		Rozwiązanie	
Projektował		A. Biernacki		0588				Zastępuje		Nr ark.	
Konstruował		A. Biernacki		0686				rys. Nr		19	
Kreślił		A. Biernacki		0686				Zastąpiono		Nr rys. zas.	
Sprawdził								przez rys. Nr			
Kier. Pracowni		M. Własiewicz						Nr rysunku		Nr ark.	
Kier. Zakładu		P. Jablowski								52	
								w jednostce inżynierskiej centrali pomiarów warstawa			
								OAE			



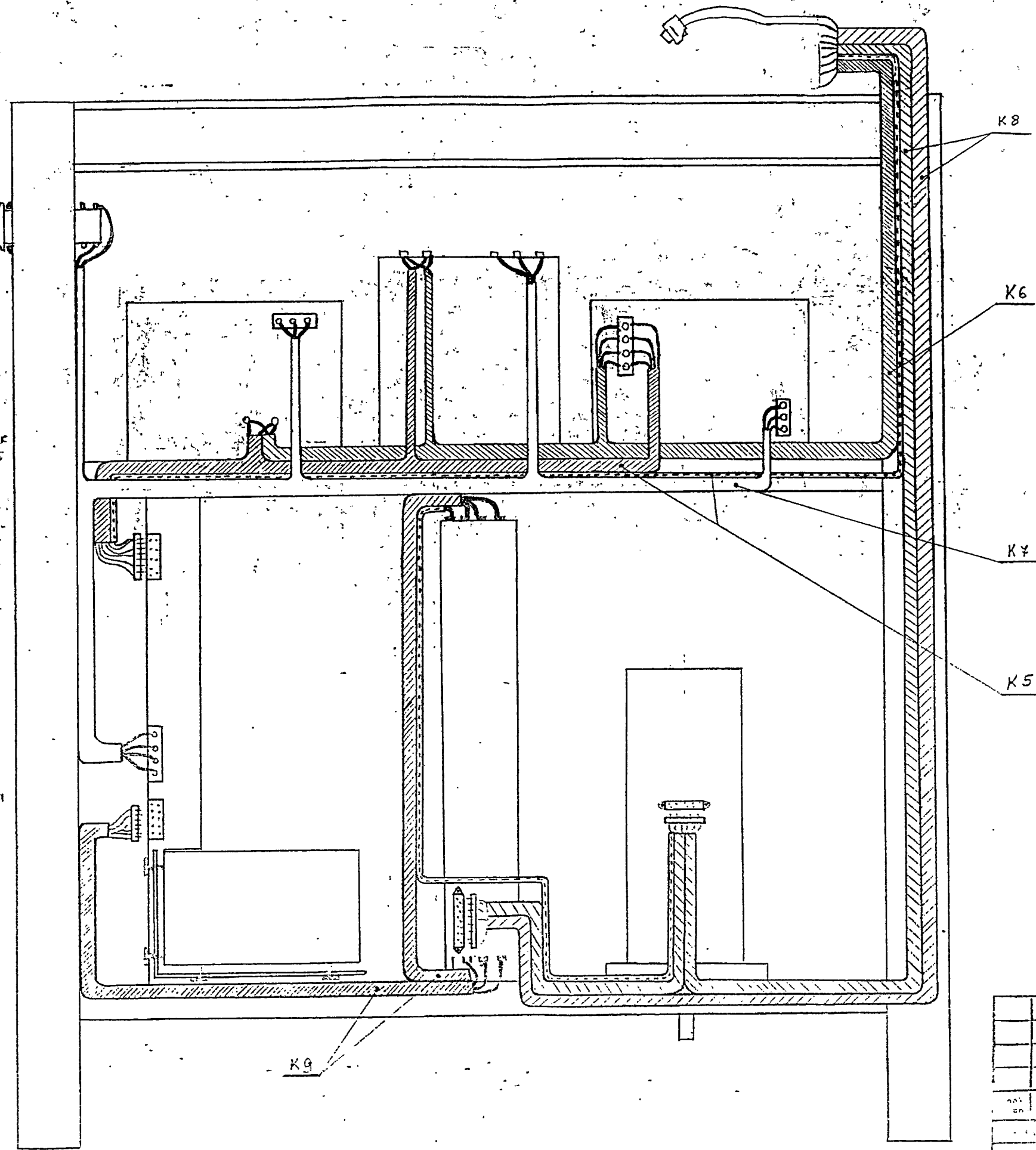
Schemat ideowy płyty złącz czotowych

M. Krzesień 06.86		Data	20
B. Babicz 06.86			
B. Babicz 06.86		Nr rys. zot.	53
M. Krzesień 06.86			
? Jabłkowski 06.86		Nr części	



Lp. pozycji		Lp. części		Nazwa	Nr art.	Uwagi
				Nazwa		Podziałka
				Płyta stalowa ocynkowana		
				- widok elementarna		
				Material	Zastępuje	Nr art.
					Nr	21
					Zastępuje	Nr rys. zest.
					Nr rys. Nr	
					Nr rysunku	Nr części
					2	54
					OAE	

Lp. pozycji	Treść zm.	Nr art.
1	Wzrostek M.	86.05
2	Pałeczki H.	86.05
3	Pałeczki A.	86.05
4	B. Bolitz	86.06
5	Wzrostek	86.06
6	J.P. Jankowski	86.06



Nr części lub zesp.	Ilość	Nazwa	Nr ark.	Uwagi
		Nazwa		Podziałka
		GŁOŚNIWIENIE		Cieżar
				Nr ark. 22
				Nr rys. zest. 250
				Nr części
				55

Nr	Imię i nazwisko	Treść zmiany	Data	Podpis
		WRZESIEŃ M.	05.86	
		PALCZEWSKI A.	05.86	
		PALCZEWSKI P.	05.86	
		BABIŃCZ B.	05.86	
		WRZESIEŃ M.	05.86	
		P. Tabłowski	06.86	

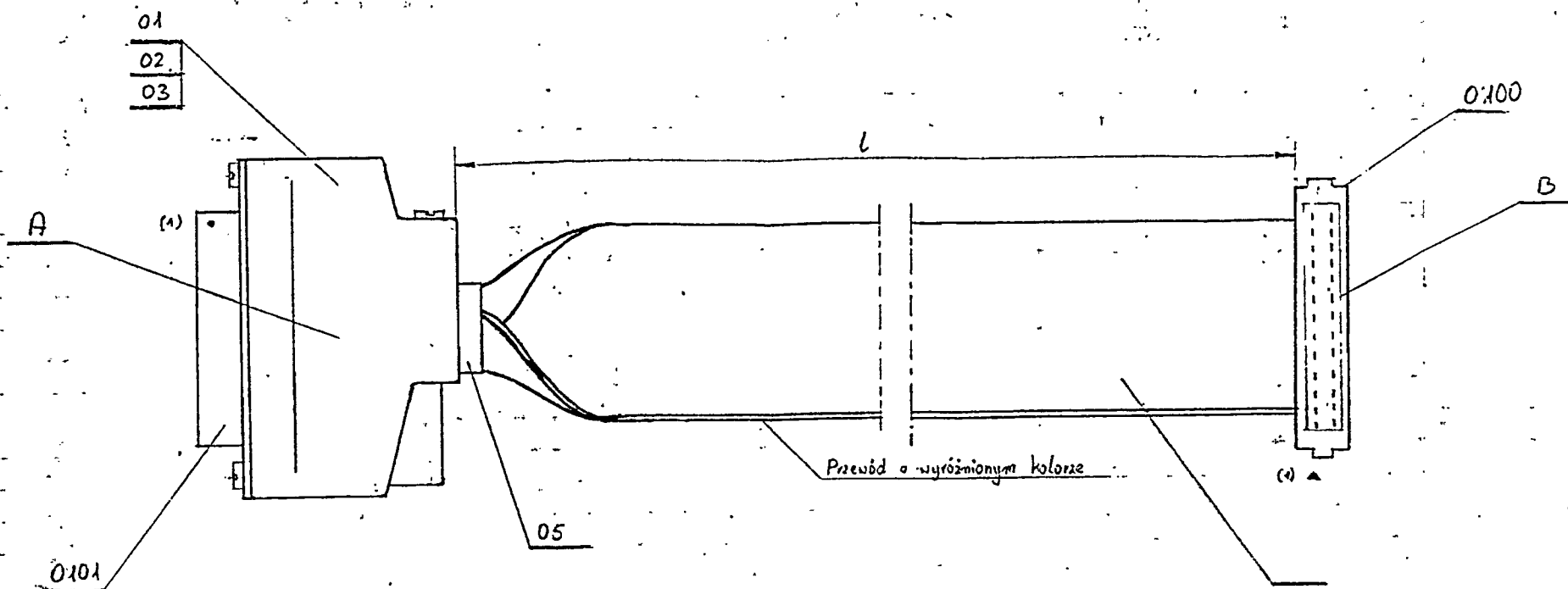


Tabela połączeń			
L.p.	Złącze A	Złącze B	Nazwa sygnału
1	1	a 1	
2	2	a 2	
3	3	a 3	
4	4	a 4	
5	5	a 5	
6	6	a 6	
7	7	a 7	
8	8	a 8	
9	9	a 9	
10	10	a 10	
11	11	a 11	
12	12	a 12	
13	13	a 13	
14	14	b 1	
15	15	b 2	
16	16	b 3	
17	17	b 4	
18	18	b 5	
19	19	b 6	
20	20	b 7	
21	21	b 8	
22	22	b 9	
23	23	b 10	
24	24	b 11	
25	25	b 12	
26	—	b 13	

0100	Taciówka ELN 137 4332-13 - - 272 1120
0101	Tyczołka 871 037 044 ELTRA
04	
03	
02	
01	

Znak zmiany	Ilość zmian	Treść zmiany	Podpis	Data	Nr części lub zesp.	Ilość	Nazwa	Nr ark.	Uwagi
							Nazwa		Podziałka
							Kabel taśmowy K 1		Ciężar
							Materiał	Zastępuje rys. Nr	Nr ark. 23
						Zastąpiono przez rys. Nr		Nr rys. zest.	
							Przemysłowy Instytut Automatyki i Pomiarów Warszawa	Nr rysunku	Nr części 56
								OAE	
Projektował		PALCZEWSKI A.		86.05					
Konstruował		PALCZEWSKI A.		86.05					
Kreślił		PALCZEWSKI A.		86.05					
Sprawdził		BABICZ B.		86.05					
Upr. Pracowni		WRZESIEŃ M.		86.05					
Upr. Zakładu		P. Jabłoński		86.06					

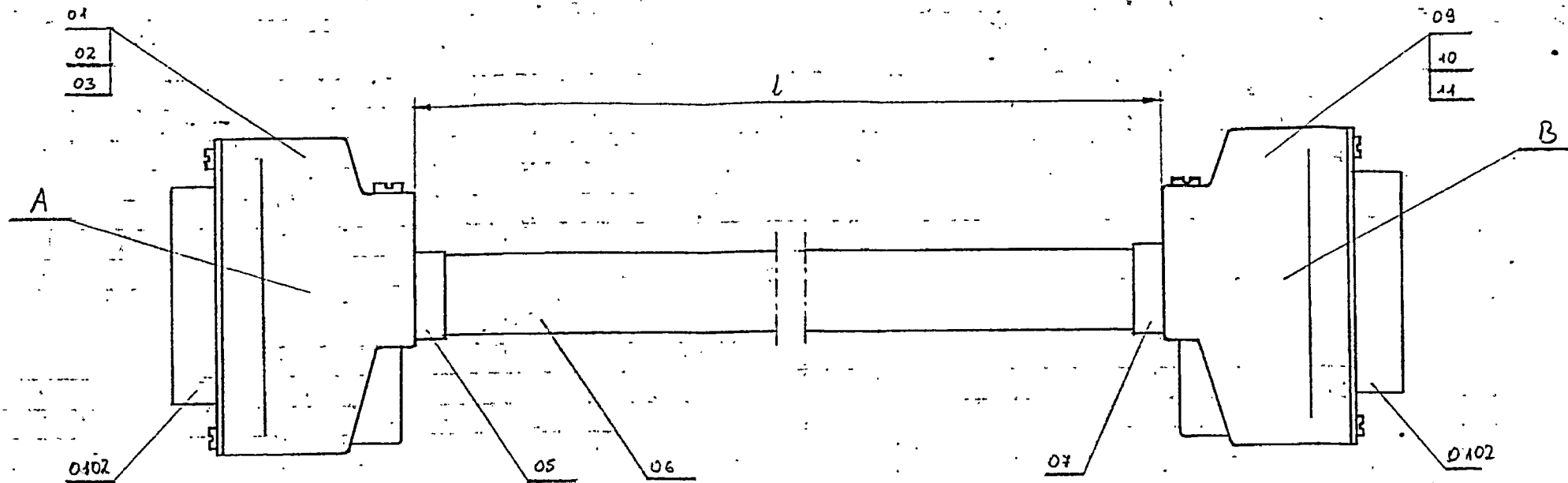


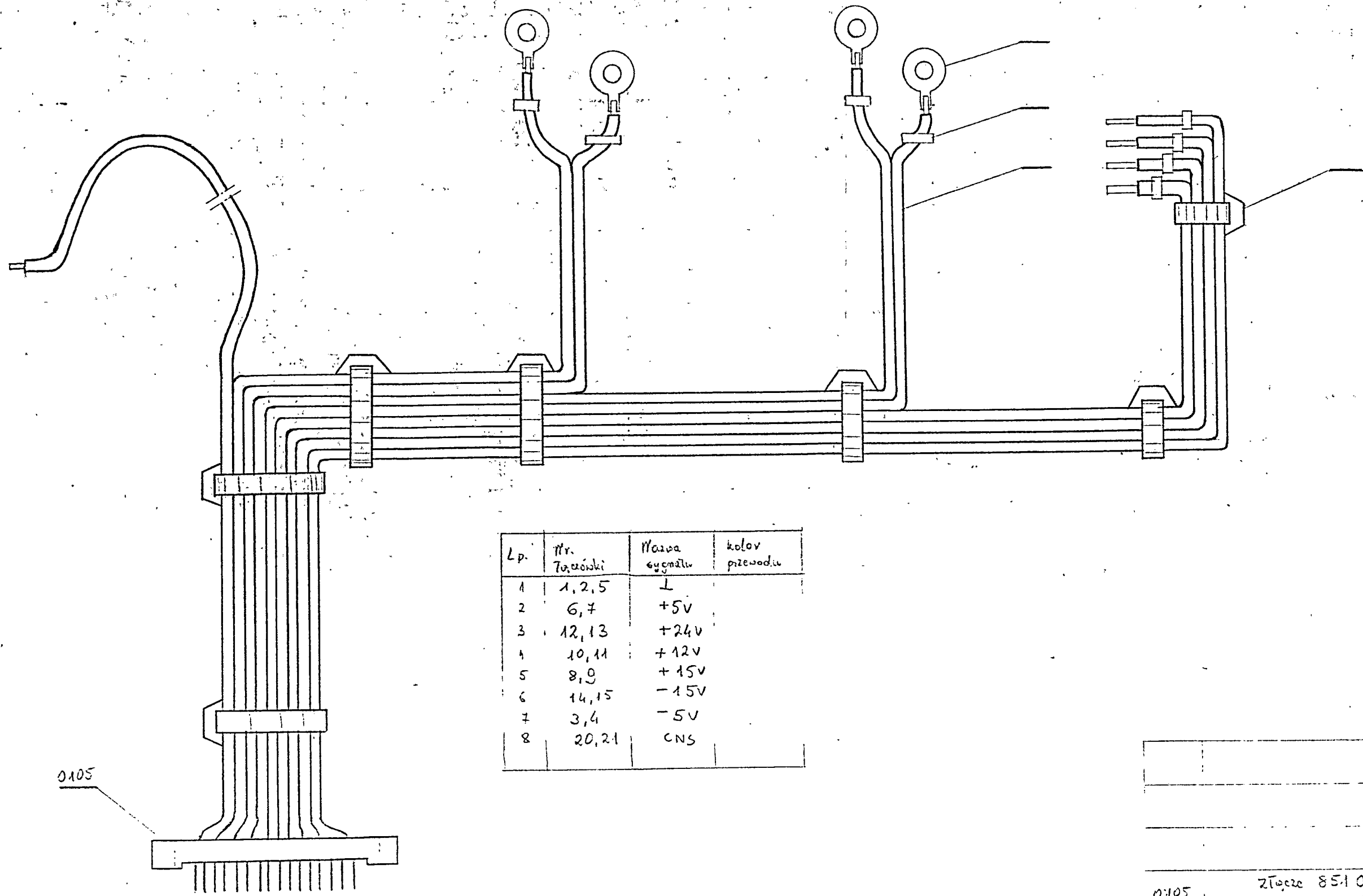
TABELA POŁĄCZEŃ			
L.p.	Złącze A	Złącze B	Nazwa sygnału
1	1	1	
2	2	2	
3	3	3	
4	4	4	
5	5	5	
6	6	6	
7	7	7	
8	8	8	
9	9	9	
10	10	10	
11	11	11	
12	12	12	
13	13	13	
14	14	14	
15	15	15	
16	16	16	
17	17	17	
18	18	18	
19	19	19	
20	20	20	
21	21	21	
22	22	22	
23	23	23	
24	24	24	
25	25	25	

11			
10			
09			
08			
07			
06			
05			
0402	2	Złącze 871 025 ELTRA	
03			
02			
01			

Znak zmiany	№ zmiany	Treść zmiany	Podpis	Data	Nazwa	Nr ark.	Uwagi
					Nazwa		Podziałka Podziałka
							Główny Główny
					Materiał		Nr ark. 24
							Nr rys. zast. Nr rys. zast.
							Nr rysunku Nr rysunku
							57

Projektował	✓	PALCZEŃSKI A.	86.05
Konstruował	✓	PALCZEŃSKI A.	86.05
Kreślił	✓	PALCZEŃSKI A.	86.05
Sprawdził	✓	BAGICZ B.	86.05
Kier. Pracowni	✓	WRZESIEŃ M.	86.05
Kier. Zakładu	✓	P. Taborski	86.05

Zastępuje rys. Nr	
Zastąpiono przez rys. Nr	
Nr rysunku	
Nazwa	OAE



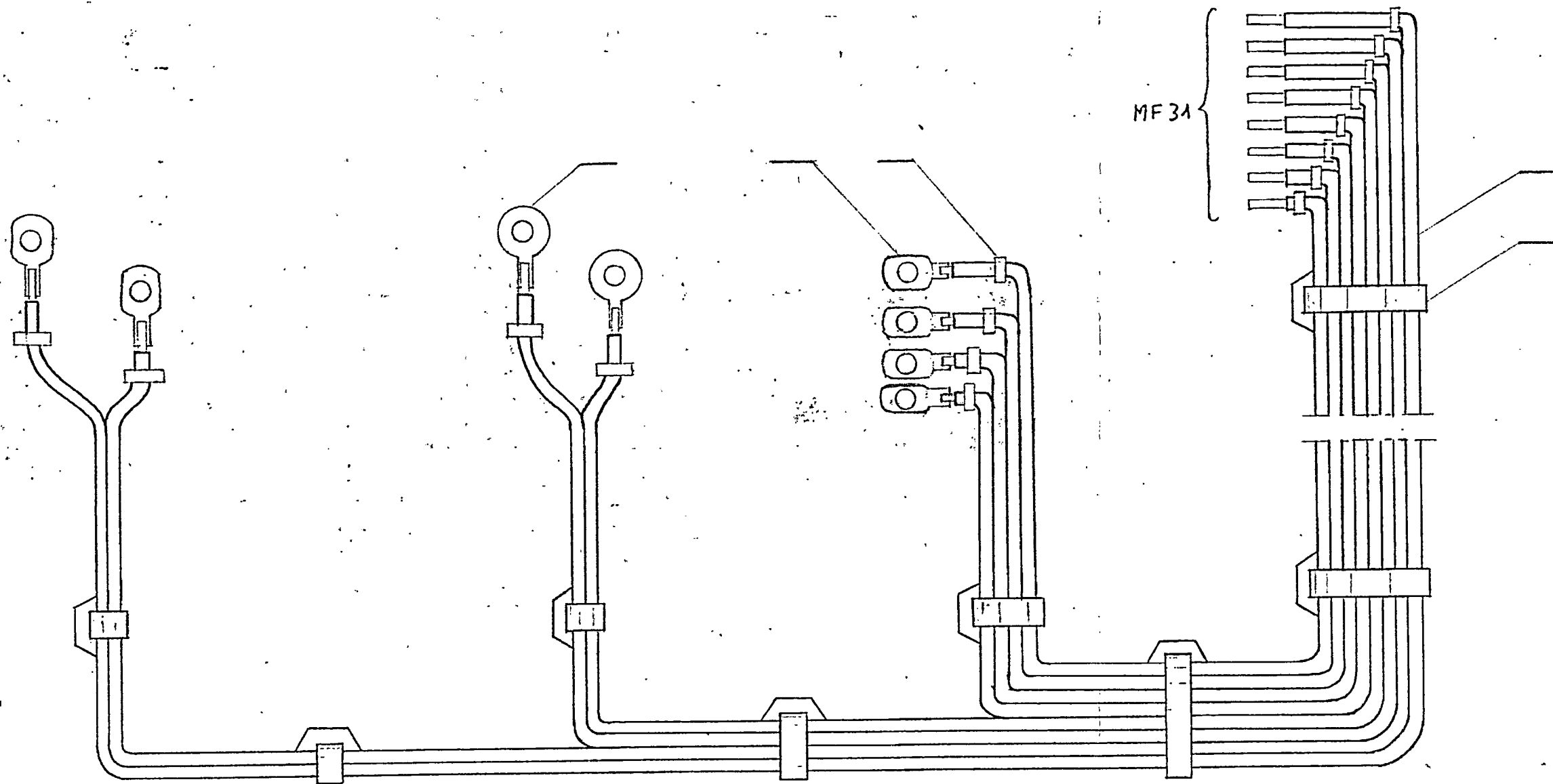
Lp.	Nr. Twarówki	Nazwa sygnału	kolow przewodu
1	1, 2, 5	L	
2	6, 7	+5V	
3	12, 13	+24V	
4	10, 11	+12V	
5	8, 9	+15V	
6	14, 15	-15V	
7	3, 4	-5V	
8	20, 21	CNS	

0105

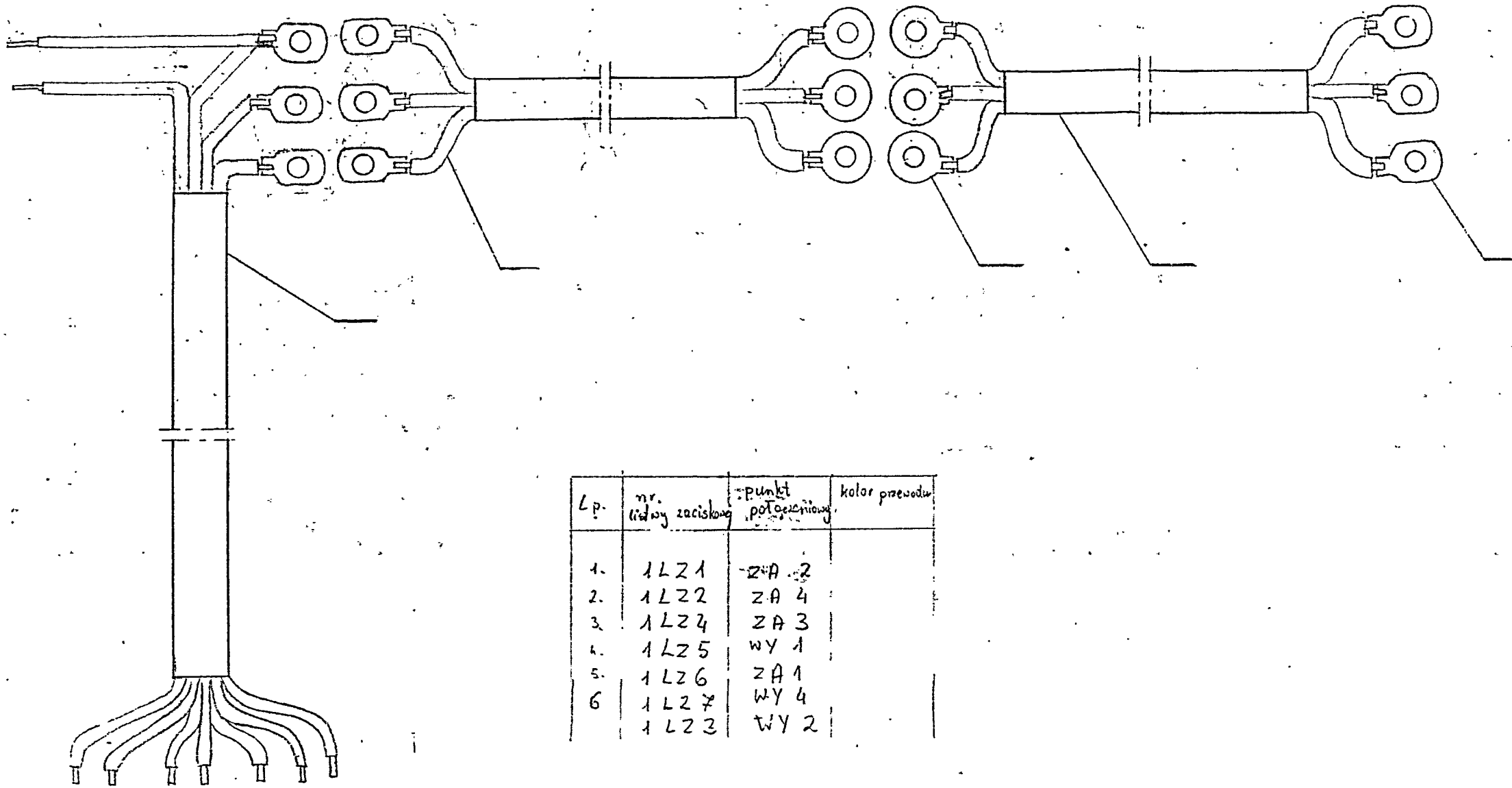
0105 Złącze 851 021 01
 310004

Nr części lub zesp.	Ilość	Nazwa	Nr ark.	Uwagi
		Nazwa		Podziałka
		Kabel K 5		026
		Materiał		Nr rys. zest.
				Nr części
				59
		Zakład	OAE	

Unk. env.	Ilość env.	Treść zmiany	Data
		Projektował: <i>[Signature]</i> Palczewski A.	86.05
		Konstruował: <i>[Signature]</i> Palczewski A.	86.05
		Nręcił: <i>[Signature]</i> Palczewski A.	86.05
		Sprawdził: <i>[Signature]</i> Bobirz B.	86.05
		Kier. Pracowni: <i>[Signature]</i> Wrzesień M.	86.05
		Kier. Zakładu: <i>[Signature]</i> P. Tabłowski	86.05

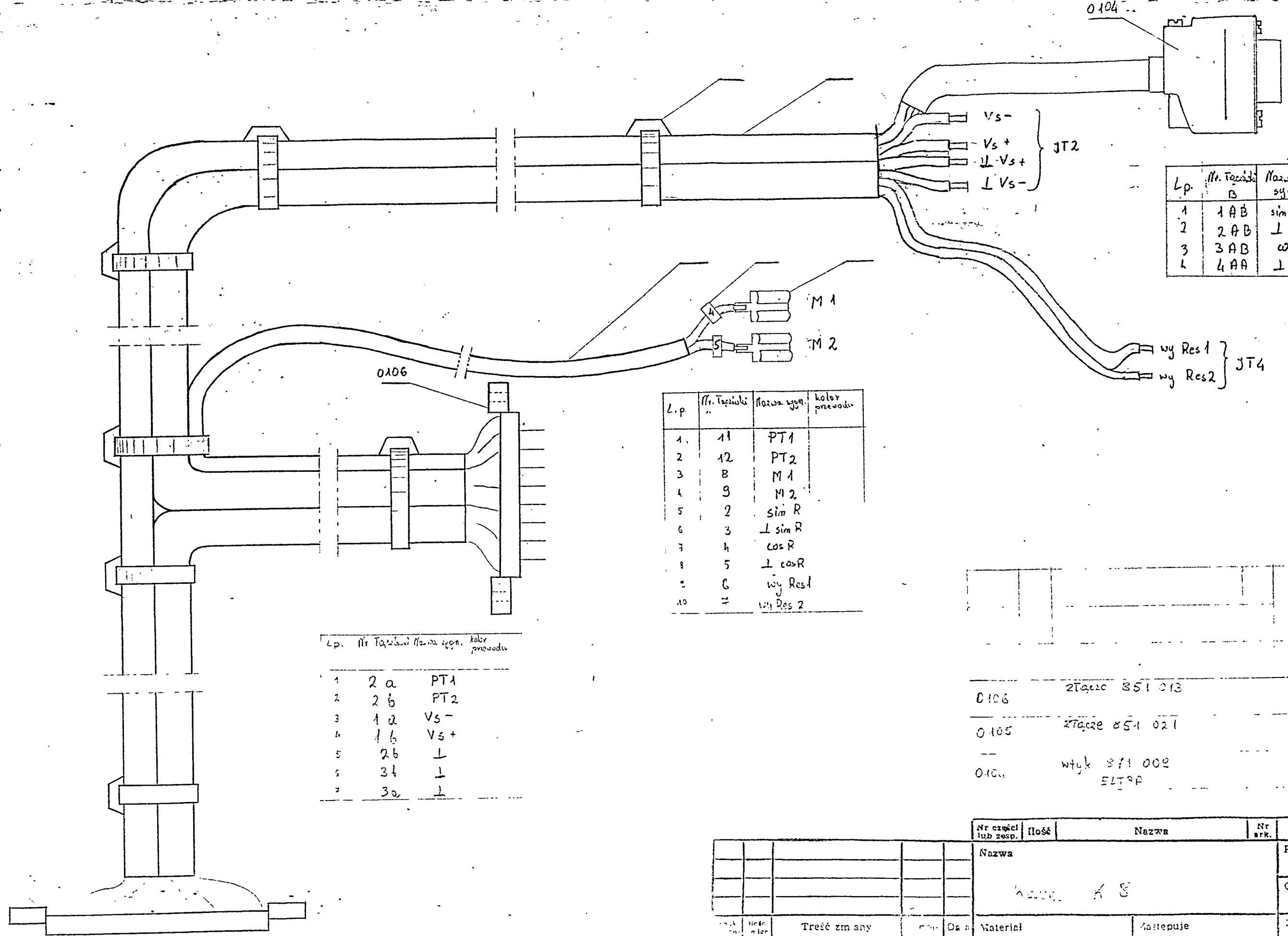


Nr części lub zesp.		ilość	Nazwa	Nr ark.	Uwagi
Nazwa				Podziałka	
Kabel K 6				Ciepła	
Treść zmian:		Materiał		Zastępuje	
Projektował	<i>[Signature]</i> Palczewski A.	36.05.	Przemysłowy Instytut Automatyki i Pomiarów Warszawa	Nr ark. 27	
Konstruował	<i>[Signature]</i> Palczewski A.	36.05.		Zastąpiono przez rys. Nr	
Kreślił	<i>[Signature]</i> Palczewski W.	36.05.		Nr rys. zast.	
Sprawił	<i>[Signature]</i> Babicz B.	36.05.		Nr rysunku	
ster. Pracowni	<i>[Signature]</i> Wrzesień M.	36.05.		Nr części	
ster. Zakładu	<i>[Signature]</i> P. Tabiński	36.05.	Zakład	OPE	60



Lp.	nr. linii zaciskowej	punkt potężniowy	kolor przewodu
1.	1L21	ZA 2	
2.	1L22	ZA 4	
3.	1L24	ZA 3	
4.	1L25	WY 1	
5.	1L26	ZA 1	
6.	1L27	WY 4	
	1L23	WY 2	

		Nr części lub zesp.	Ilość	Nazwa	Nr ark.	Uwagi
		Nazwa			Podziałka	
		Kabel K 7			Cieżar	
projekował	<i>[Signature]</i>	Palczewski A.	86.05	Zastępuje --- Nr	Nr ark. 28	
konstruował	<i>[Signature]</i>	Palczewski A.	86.05		Zastępuje przez rys. Nr	
Kreślił	<i>[Signature]</i>	Palczewski A.	86.05	Zastępuje przez rys. Nr	Nr rysunku	
Sprawdził	<i>[Signature]</i>	Babicz B.	86.05		Nr części	
Kier. Pracowni	<i>[Signature]</i>	Wnesień M.	86.05		61	
Kier. Zakładu	<i>[Signature]</i>	Jabłoński	86.05	Zakład DHE		



Lp.	Nr. Tablicki B	Nazwa sygnału
1	1 AB	sim R
2	2 AB	L sim R
3	3 AB	cos R
4	4 AA	L cos R

L.p.	Nr. Tablicki	Nazwa sygn.	kolor przewodu
1.	11	PT1	
2	12	PT2	
3	B	M 1	
4	9	M 2	
5	2	sim R	
6	3	L sim R	
7	4	cos R	
8	5	L cos R	
9	6	wy Res 1	
10	7	wy Res 2	

Lp.	Nr. Tablicki	Nazwa sygn.	kolor przewodu
1	2 a	PT1	
2	2 b	PT2	
3	1 a	Vs -	
4	1 b	Vs +	
5	2 b	L	
6	3 b	L	
7	3 a	L	

0106	Złącze 851 013
0105	Złącze 851 021
0104	wtyk 871 008 ELTRA

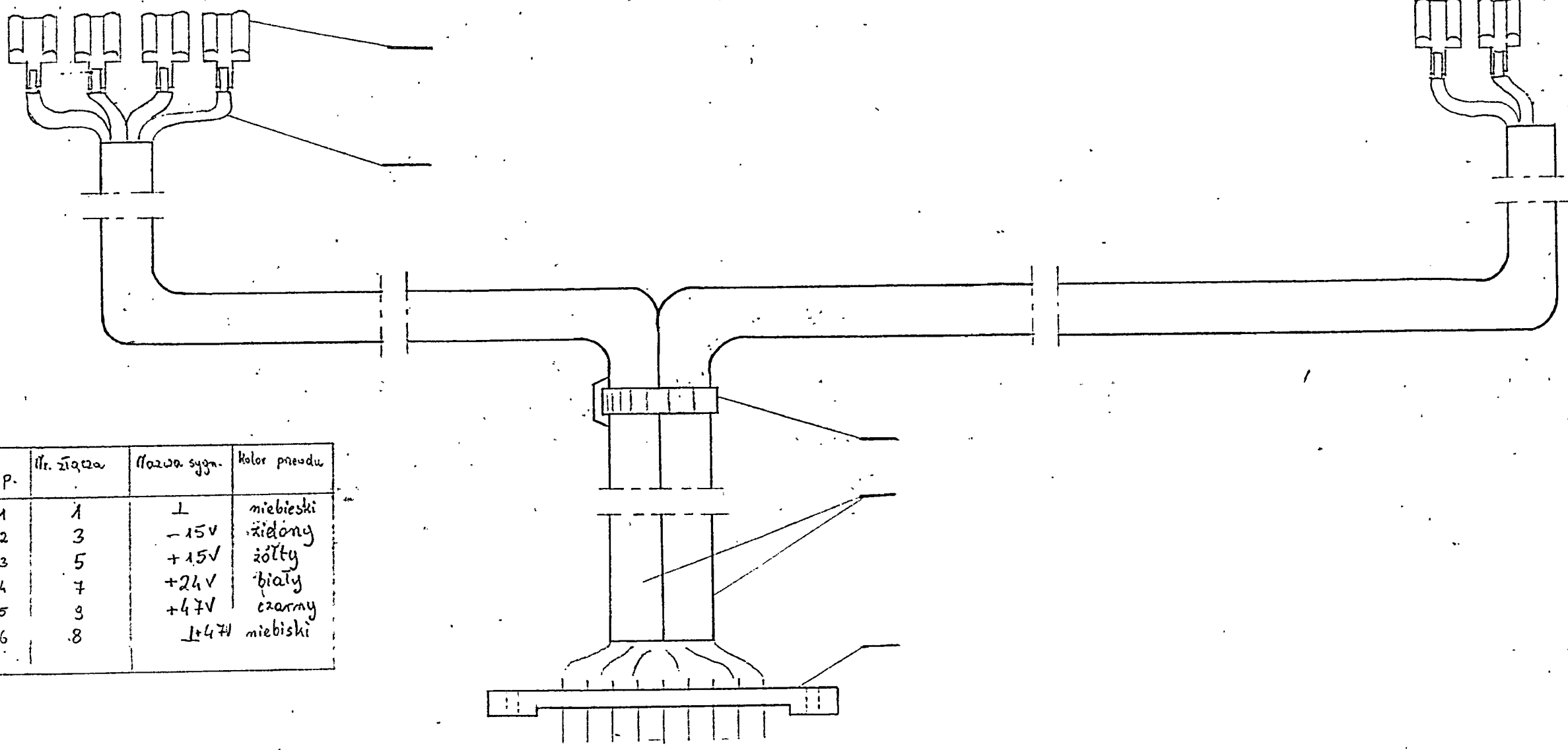
0105

Nr części lub zesp.	Ilość	Nazwa	Nr ark.	Uwagi
		Nazwa		Podziałka
		Material		Ciętno
		Treść zmiany		Nr ark. 29
		Wykonował: PALCZEŃSKI A. 86.05		Nr rys. zost.
		Construcował: PALCZEŃSKI A. 86.05		Nr części 62
		Kreślił: PALCZEŃSKI A. 86.05		
		Sprzedał: BABICZ B. 86.05		
		Kier. Praceowni: WRZESIEN M. 86.05		
		Kier. Zakładu: P. Tablowski 86.06		
		Material: OAE		

górn

1 (7) -15V (10) +15 (9) +24 (8)

+47V (1) 1 47 (2)

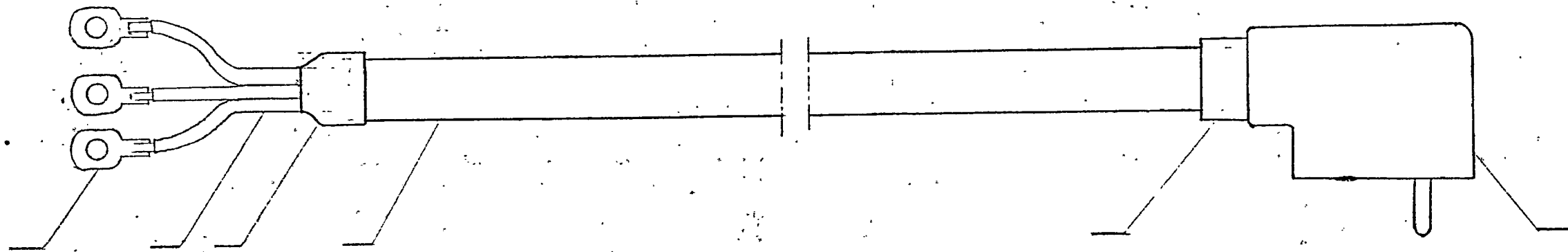


L.p.	Nr. żyłowa	Nazwa syg.	Kolor przew.
1	1	1	niebieski
2	3	-15V	żółty
3	5	+15V	żółty
4	7	+24V	biały
5	9	+47V	czarny
6	8	1+47V	niebieski

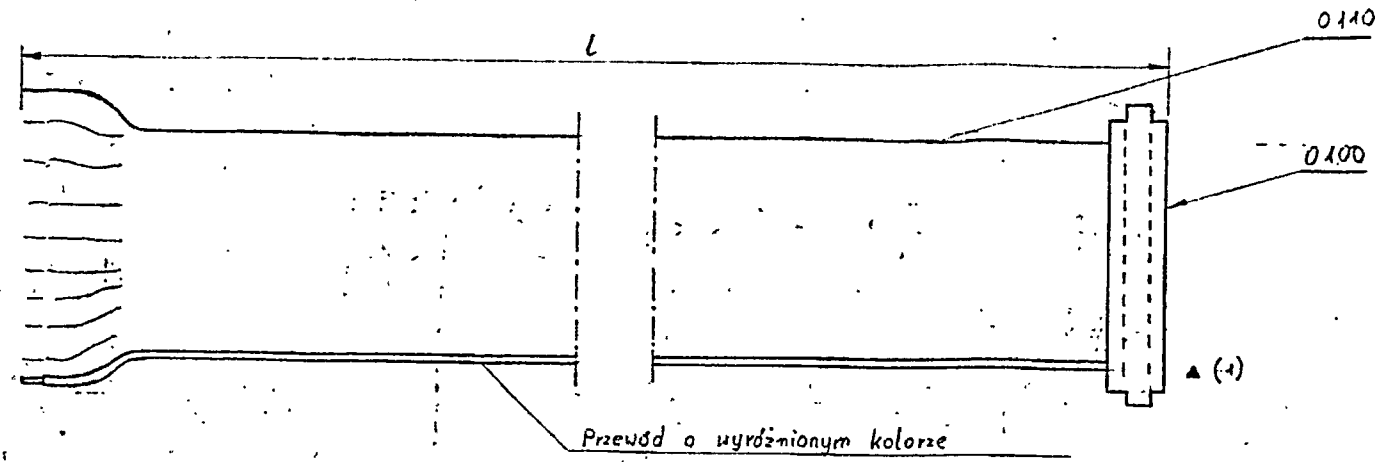
Przewód TLY 0,5

Nr części lub zesp.	Ilość	Nazwa	Nr ark.	Uwagi
		Kabel K 9		Podzielnik
				Ciepła
				Nr ark. 30
				Nr rys. zast.
				Nr części
				03

Znak zmiany	Nazwa	Data	Treść zmiany
	Projektował	26.05	PALCZEWSKI A.
	Konstruował	26.05	PALCZEWSKI A.
	Sprawił	26.05	PALCZEWSKI H.
	Sprawdził	26.05	BABICZ G.
	Kier. Pracowni	26.05	WRZESIEN M.
	Kier. Zakładu	26.05	P. Tabionisli

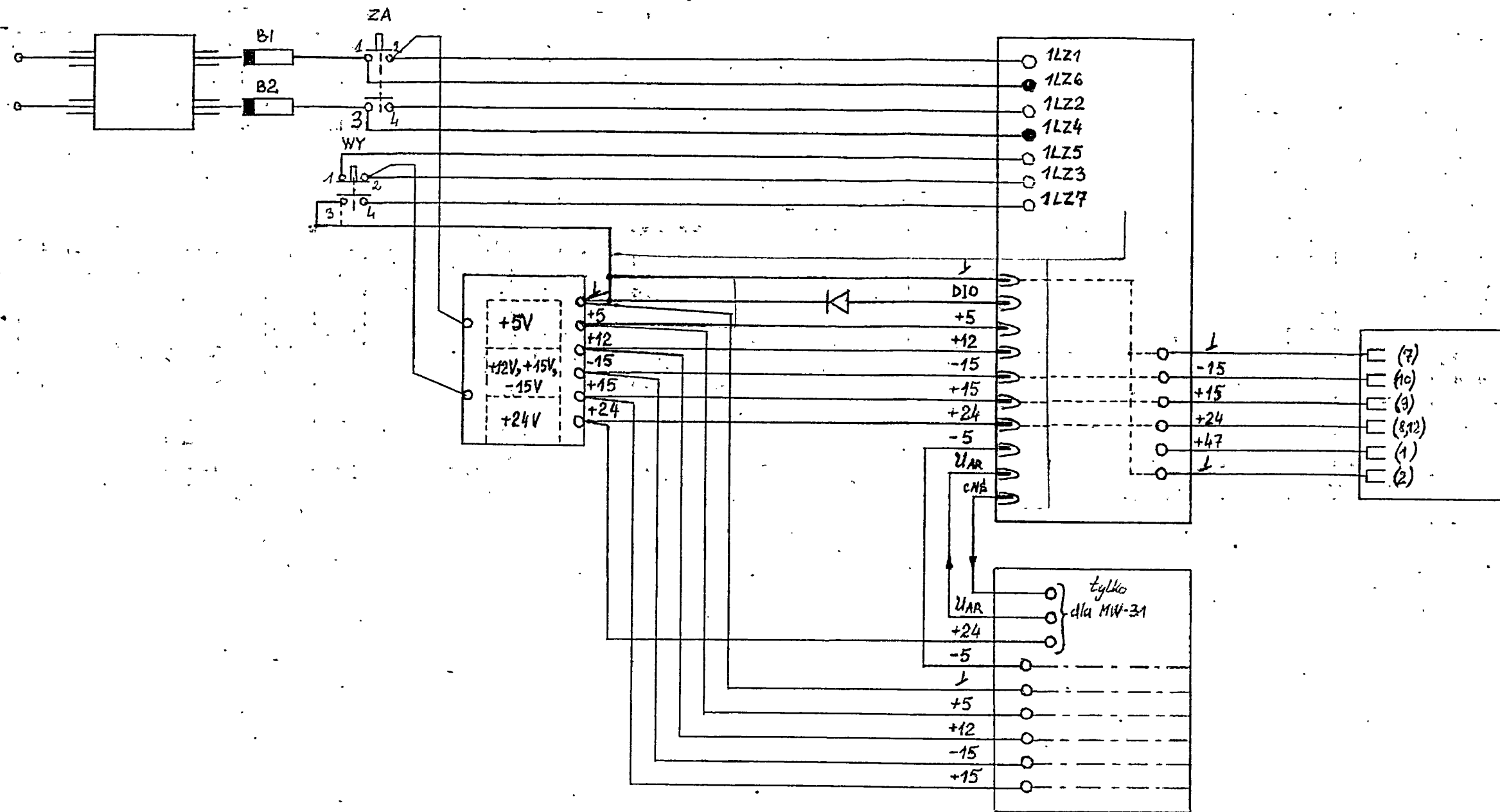


Nr części lub zesp.		Ilosc	Nazwa	Nr sk.	Uwagi					
Nazwa			Kable K 10		Podziałka					
					Ciętar					
Znak		Ilosc	Treść zmiany	Podpis	Data	Materiał	Zastępuje Nr	Zastąpiono przez rys. Nr	Nr rysunku	Nr części
Projektował			PALCZEWSKI A.		26.05	Instytut Miar i Pomiarów Warszawa				31
Konstruował			PALCZEWSKI A.		26.05					
Kreślił			PALCZEWSKI A.		26.05					
Sprawdził			BABICZ B.		26.05					
Kier. Pracowni			WRZESIEN M.		26.05					
Kier. Zakładu			JABLONSKI		26.05					
						Załad	OAE			69

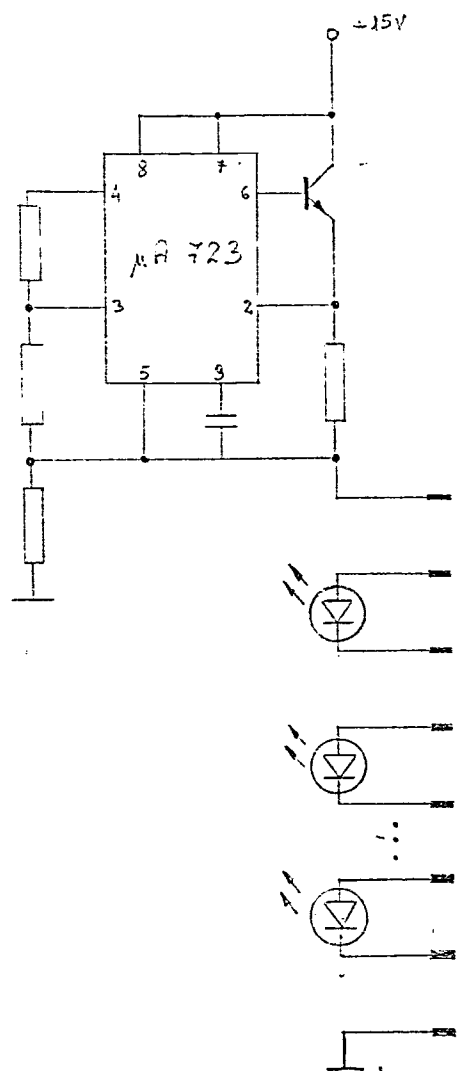


0.100	Złącze ELN 437 73 3213-2721120	VRD
0.110	Kabel taśmowy XSA 26 x 0,375-1,25	CSRS
	Nazwa	Nr
	Nazwa	Podziałka
	Kable płyty sztywnej bloku sterowania testera	
		32
		Nr części
		65
	OAE	

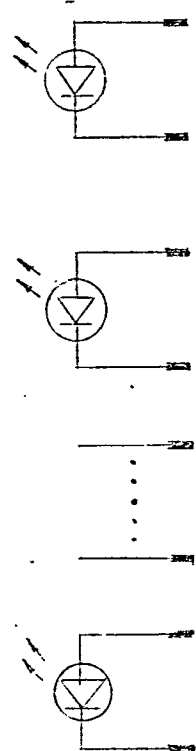
Nr	Imię i nazwisko	Podpis	Data
	PALCZEWSKI A.		86.05
	PALCZEWSKI A.		86.05
	PALCZEWSKI A.		86.05
	BABICZ B.		86.05
	WRZESIEN A.		86.05
	Jabłoński		86.05



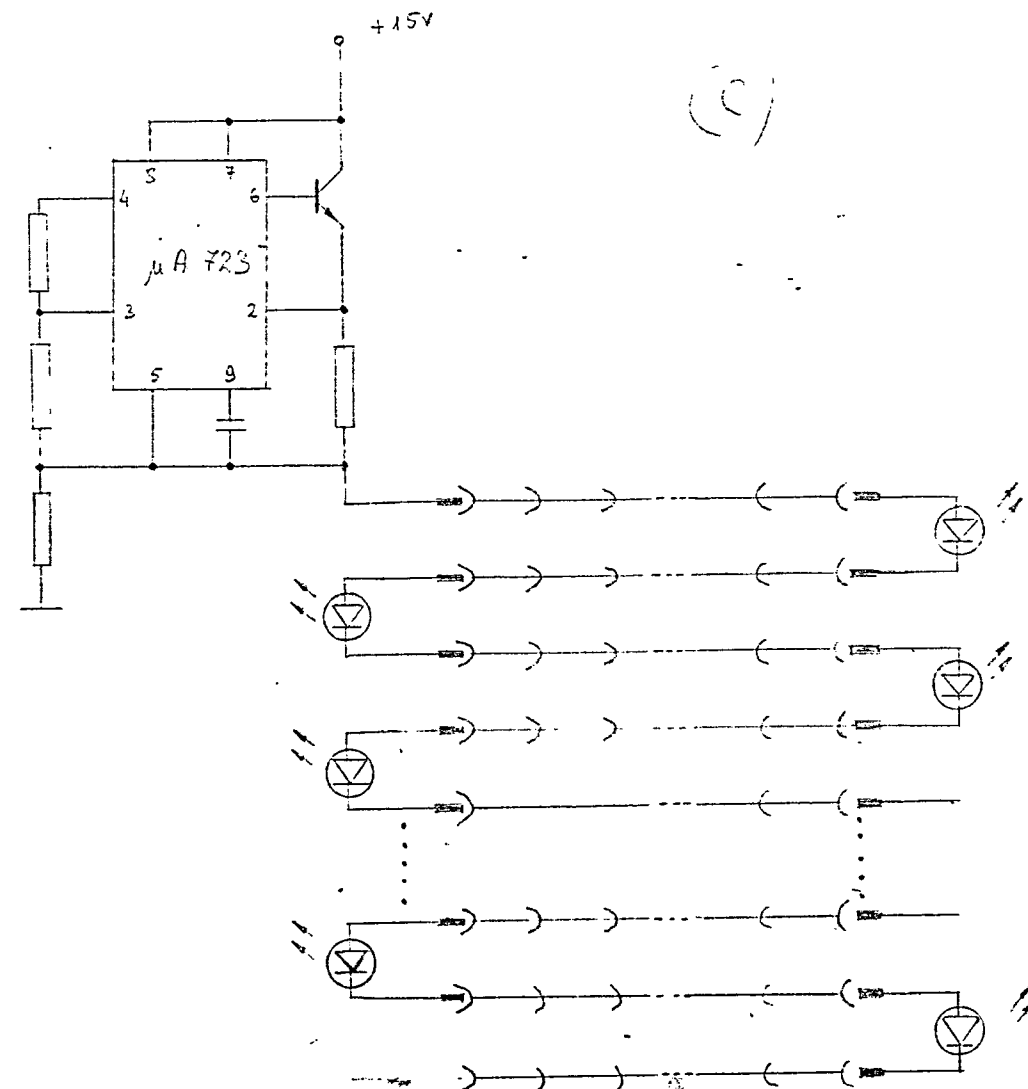
Znak emblem		Nost emblem		Treść zmiany		Data		Nr części lub zesp.	ilość	Nazwa	Nr ark.	Uwagi
								Nazwa		Schemat montażowy kabeli zasilających		Podziałka
								Materiał		Zastępuje rys. Nr		Nr ark. 33
								Zaprojektował		Zatwierdono przez rys. Nr		Nr rys. zesp.
								Kier. Pracowni		Nr rysunku		Nr części
								Kier. Zakładu		Zakład		66



(a)

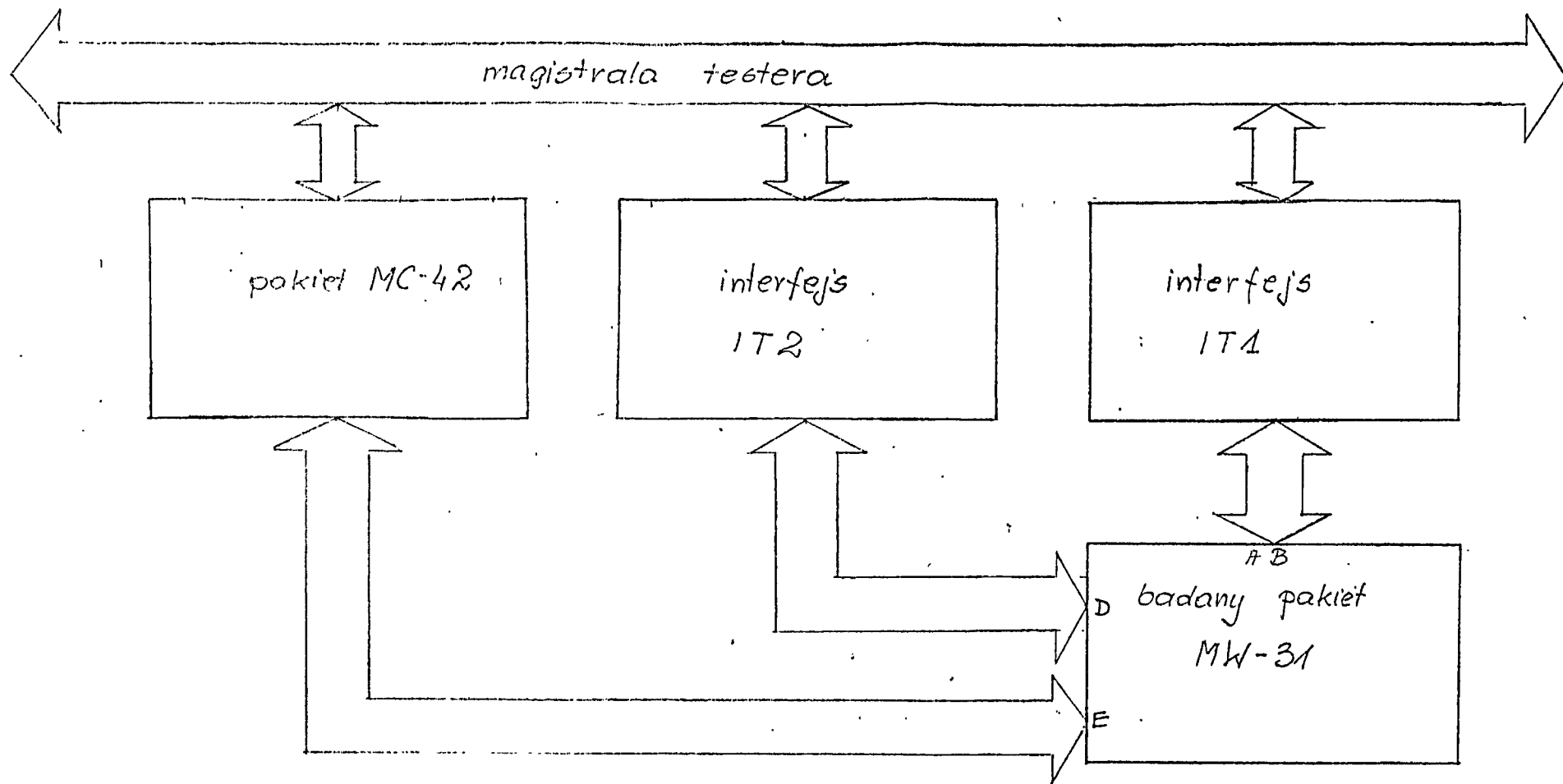


(b)



(c)

Zmiany		Treść zmiany		Data		Nr części lub zesp.	Ilość	Nazwa	Nr ark.	Uwagi
						Nazwa			Podziałka	
						Schemat ideowy płytki głównej PG (a)			Ciepzar	
						płytki dodatkowej PD (b), układu testowania			Nr ark.	
						magistrali (c) oraz schemat pol. przy testowaniu			34	
						Materiał			Zastępuje	
									Nr rys. zest.	
						Zastąpiono przez rys. Nr			Nr części	
						Instytut Lotnictwa			67	
						Warszawa				
						Załącznik				
Zmiany	Ilość	Treść zmiany		Data						
Projektował	1	M. Wniewi								
Konstruował	1	M. Wniewi								
Kreślił	1	A. Palowicki								
Sprawił	1	B. Bobicz		0688						
Kier. Pracowni	1	M. Wniewi								
Kier. Zakładu	1									



Rys 35 Konfiguracja sprzętu do testowania pakietu MW-31

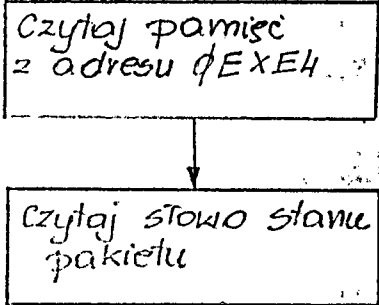
$\overline{DAT3}=0$



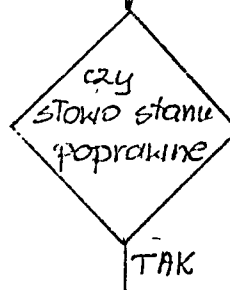
Komunikat:
Usterka w torze z układami:
C2(1,2,3), D10(1,3,8)

STOP

$\overline{UST2}=0$



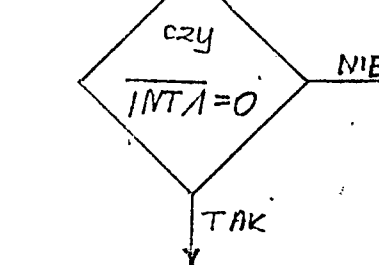
$\overline{DAT2}=1$



Komunikat:
Usterka w torze z układami:
C3(9,10,8), D10(4,5), F2(7,6)

STOP

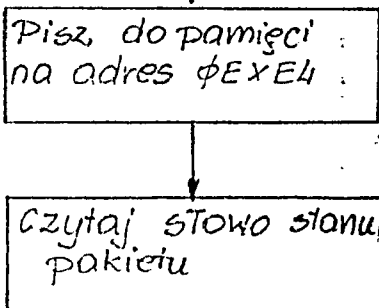
$\overline{ZER2}=0$



Komunikat:
Usterka w torze z układami:
E3(3,4), E4(12,7)

STOP

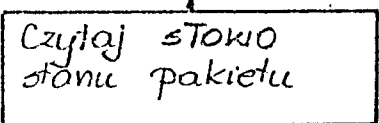
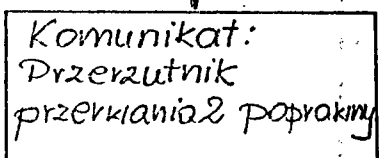
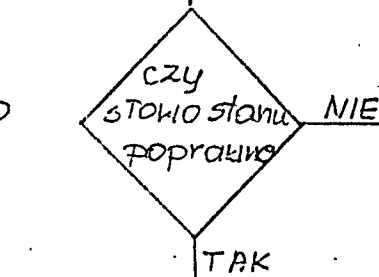
$\overline{DAT2}=0$



Komunikat:
Usterka w torze z układami:
C3(11,12,13), D10(1,5)

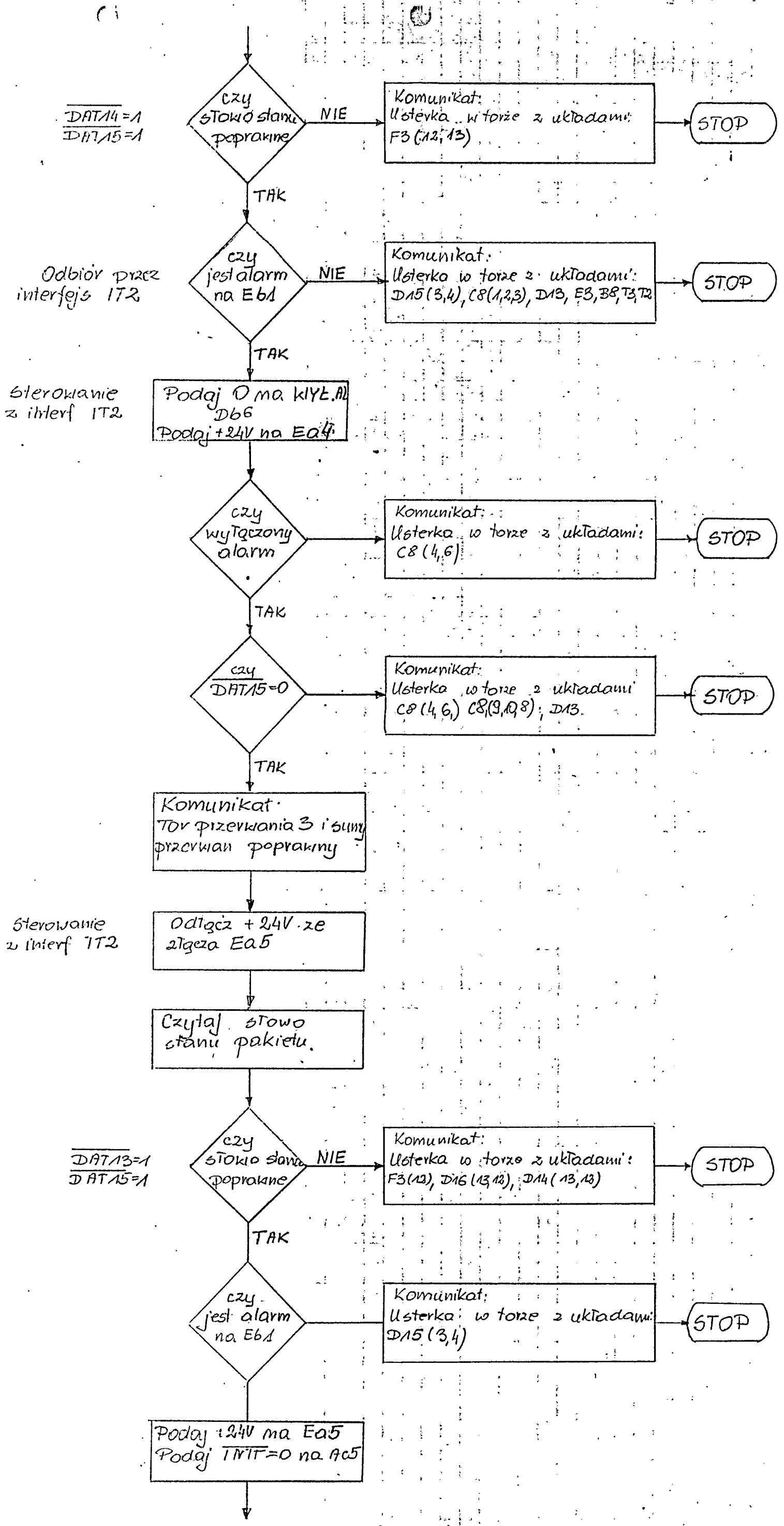
STOP

sterowanie
z interfejsu
IT2



nr części lub zesp.	ilość	Nazwa	Nr apr.	Uwagi
		Nazwa		
		Siec danych dla programu		
		testy paczki		
		70		
		38		
		70		

Nr części	Ilość	Nazwa	Nr części	Opis
6685		Testy pakietu Nr 31	39	
6686				
6687				
6688				
6689				
6690				
6691				
6692				
6693				
6694				
6695				
6696				
6697				
6698				
6699				
6700				
6701				
6702				
6703				
6704				
6705				
6706				
6707				
6708				
6709				
6710				
6711				
6712				
6713				
6714				
6715				
6716				
6717				
6718				
6719				
6720				
6721				
6722				
6723				
6724				
6725				
6726				
6727				
6728				
6729				
6730				
6731				
6732				
6733				
6734				
6735				
6736				
6737				
6738				
6739				
6740				
6741				
6742				
6743				
6744				
6745				
6746				
6747				
6748				
6749				
6750				
6751				
6752				
6753				
6754				
6755				
6756				
6757				
6758				
6759				
6760				
6761				
6762				
6763				
6764				
6765				
6766				
6767				
6768				
6769				
6770				
6771				
6772				
6773				
6774				
6775				
6776				
6777				
6778				
6779				
6780				
6781				
6782				
6783				
6784				
6785				
6786				
6787				
6788				
6789				
6790				
6791				
6792				
6793				
6794				
6795				
6796				
6797				
6798				
6799				
6800				



DAT14=1
DAT15=1

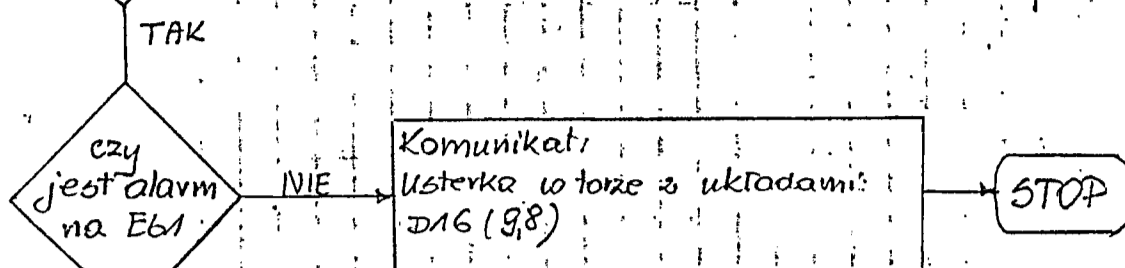
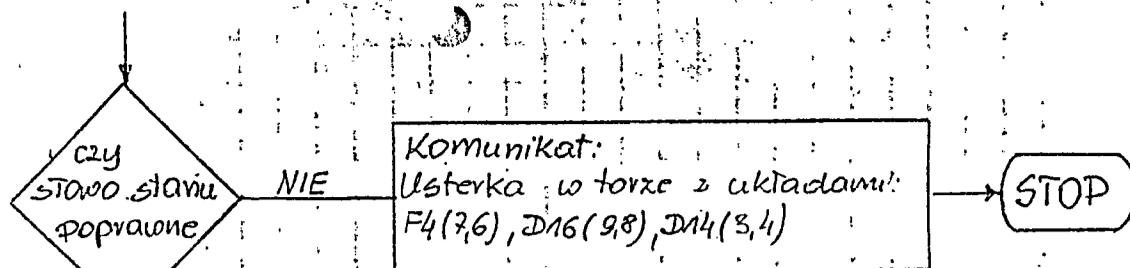
Odbiór przez interfejs IT2

sterowanie z interfejs IT2

sterowanie z interfejs IT2

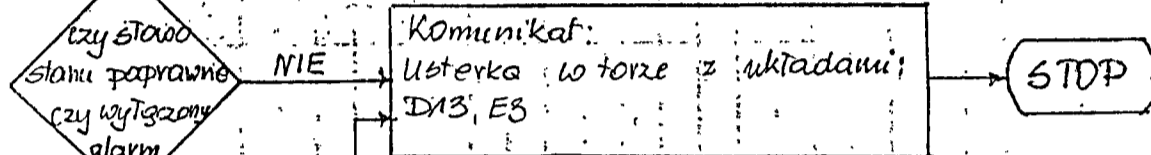
DAT13=1
DAT15=1

$\overline{DAT10} = 1$
 $\overline{DAT15} = 1$



Podaj +24V na Ea7
 Podaj INIT=0 na Ac5
 Czytaj słowo stanu

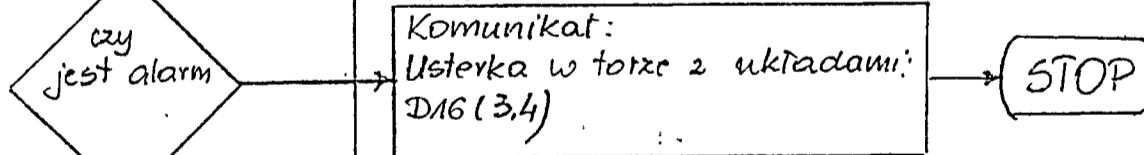
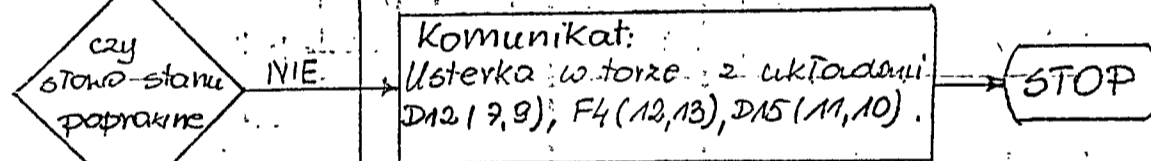
$\overline{DAT10} = 0$
 $\overline{DAT15} = 0$



Komunikat:
 Tor kontroli załozenie
 27gcz poprawny

Podaj sygnał K1YEB=0
 Czytaj słowo stanu

$\overline{DAT8} = 1$
 $\overline{DAT15} = 1$



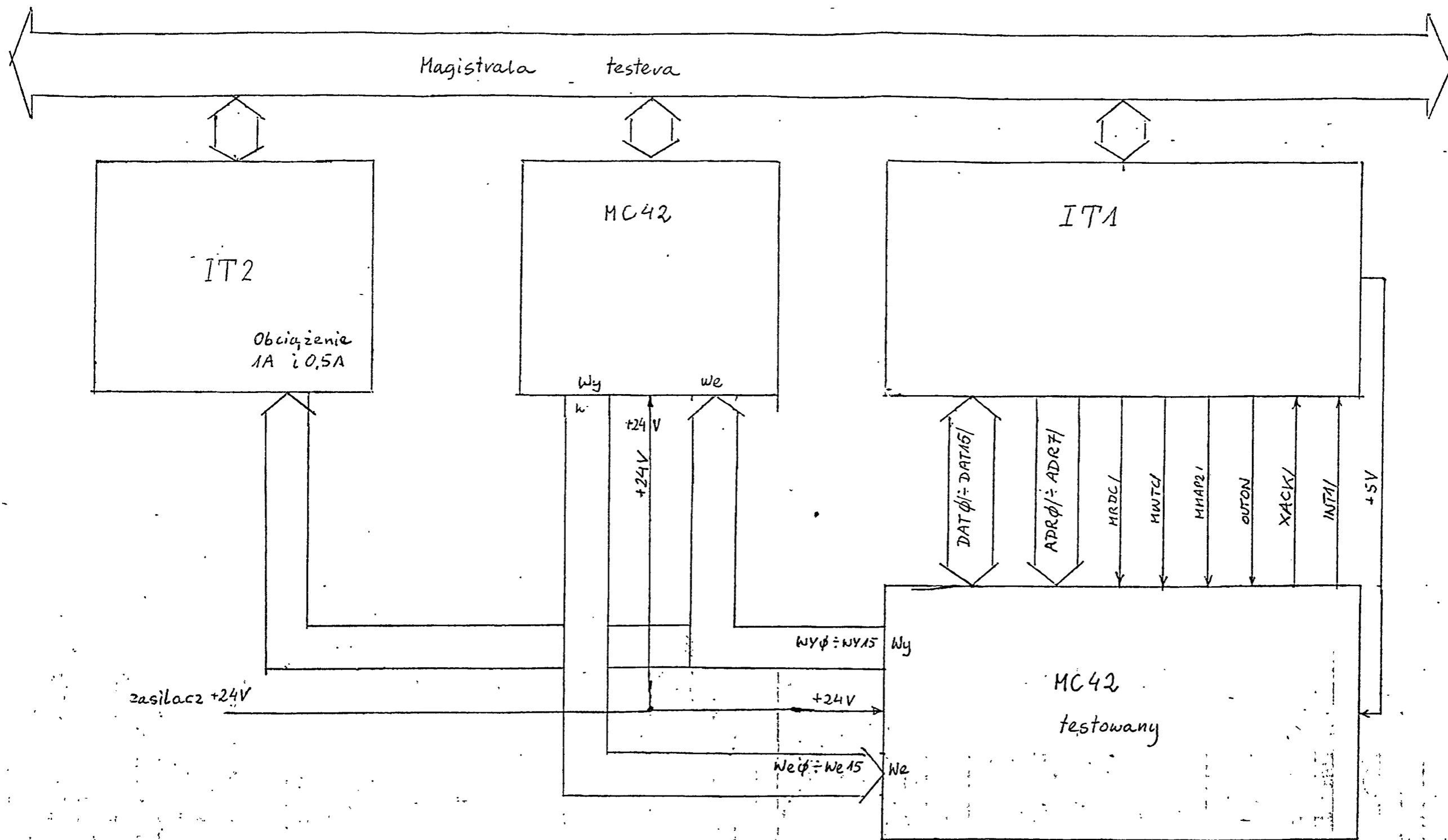
Podaj INIT=0
 czytaj słowo stanu

$\overline{DAT8} = 0$
 $\overline{DAT15} = 0$

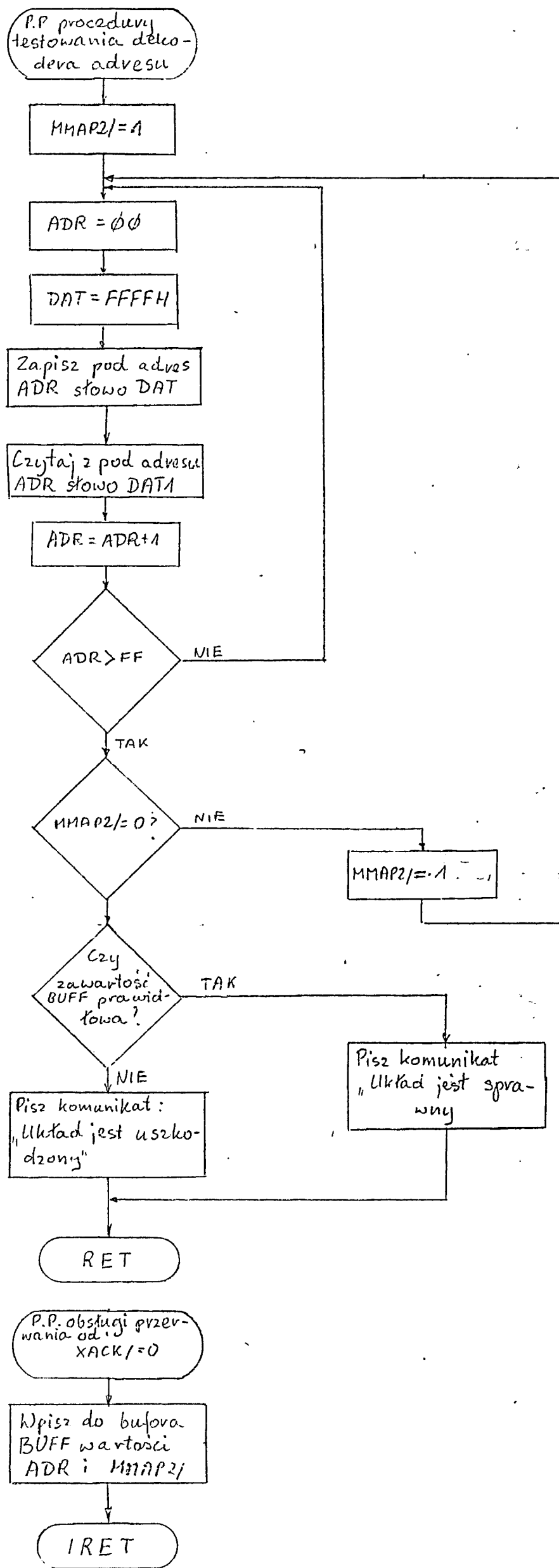


Komunikat:
 Tor "wyłacznik bu-
 dzika" poprawny

Kier. Zakładu		Kier. Pracowni		Sprawdził		Kontrolował		Projektował		Zař. i listy zmiany smon		Nazwa		Nr ar.		Urząd	
F. Jabłoński		H. Lubiński		M. J.		B. P.		B. P.		T.		Siec' dwuliniowa dla programowania testyngowej palizel NKI-31		41		49	
												Podziałka		Ciepłota			



Rys. 46. Konfiguracja sprzętu do testowania pakietu MC42

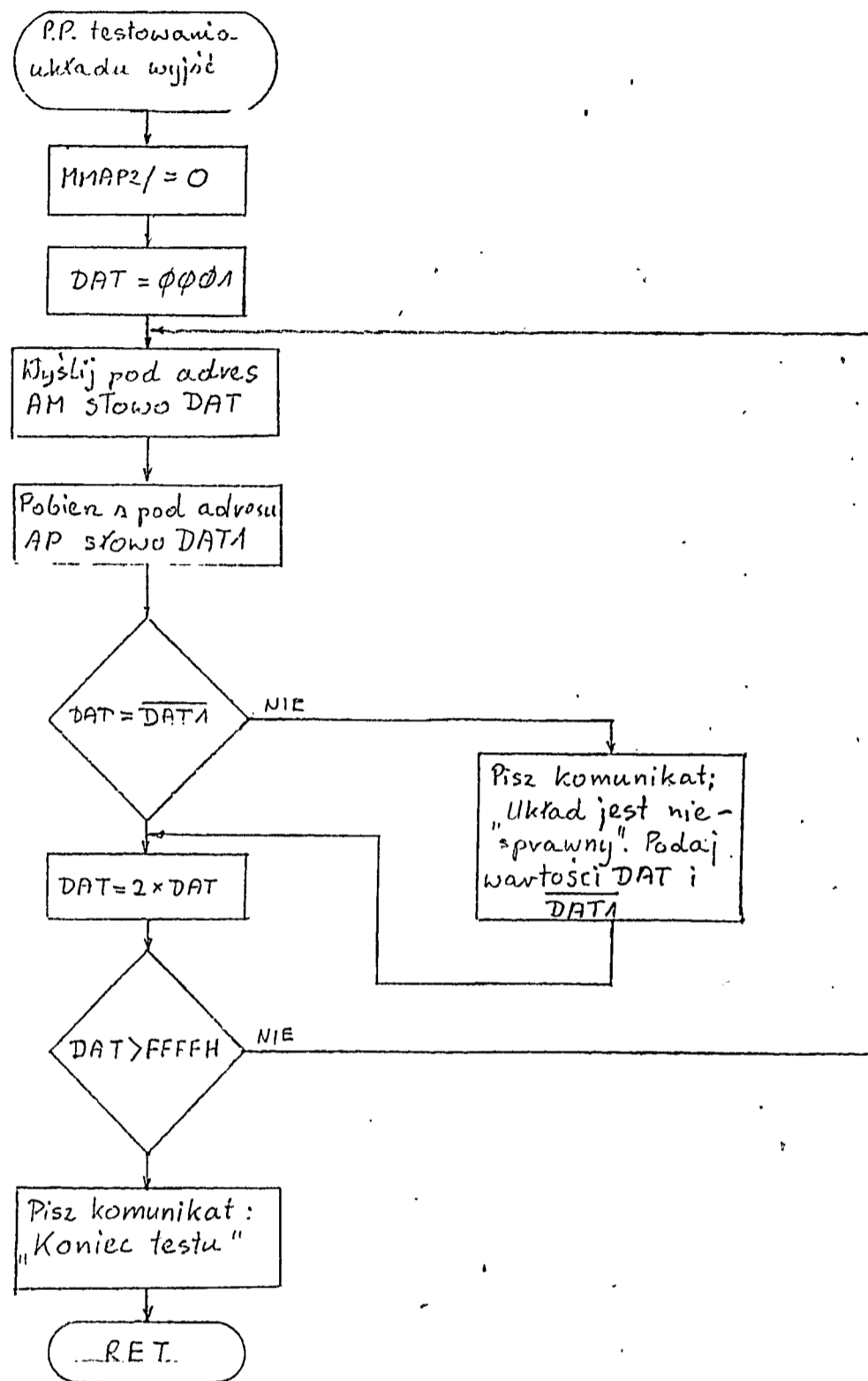


Znaczenie symboli:

- DAT, DATA - słowa danych
- ADR - adres
- AM - adres pakietu MC42 testera
- AP - adres pakietu testowanego
- BUFF - programowo zorganizowany bufor

Rys 47. Sieć działań dla programu testowania dekodera adresów

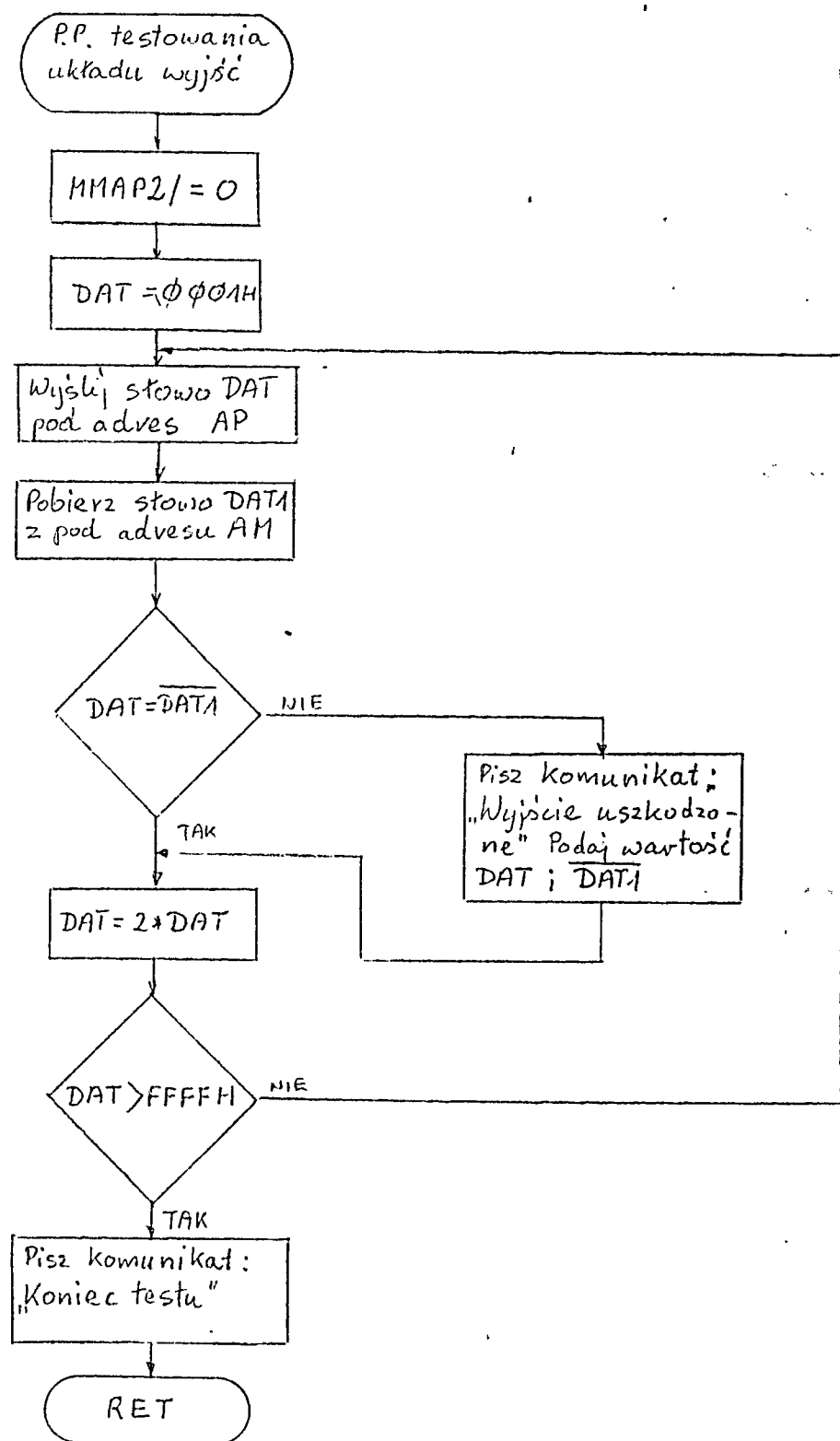
6k



Znaczenie symboli

DAT, DATA - słowa danych
 ADR - adres
 AM - adres pakietu MC 42 testera
 AP - adres pakietu testowanego

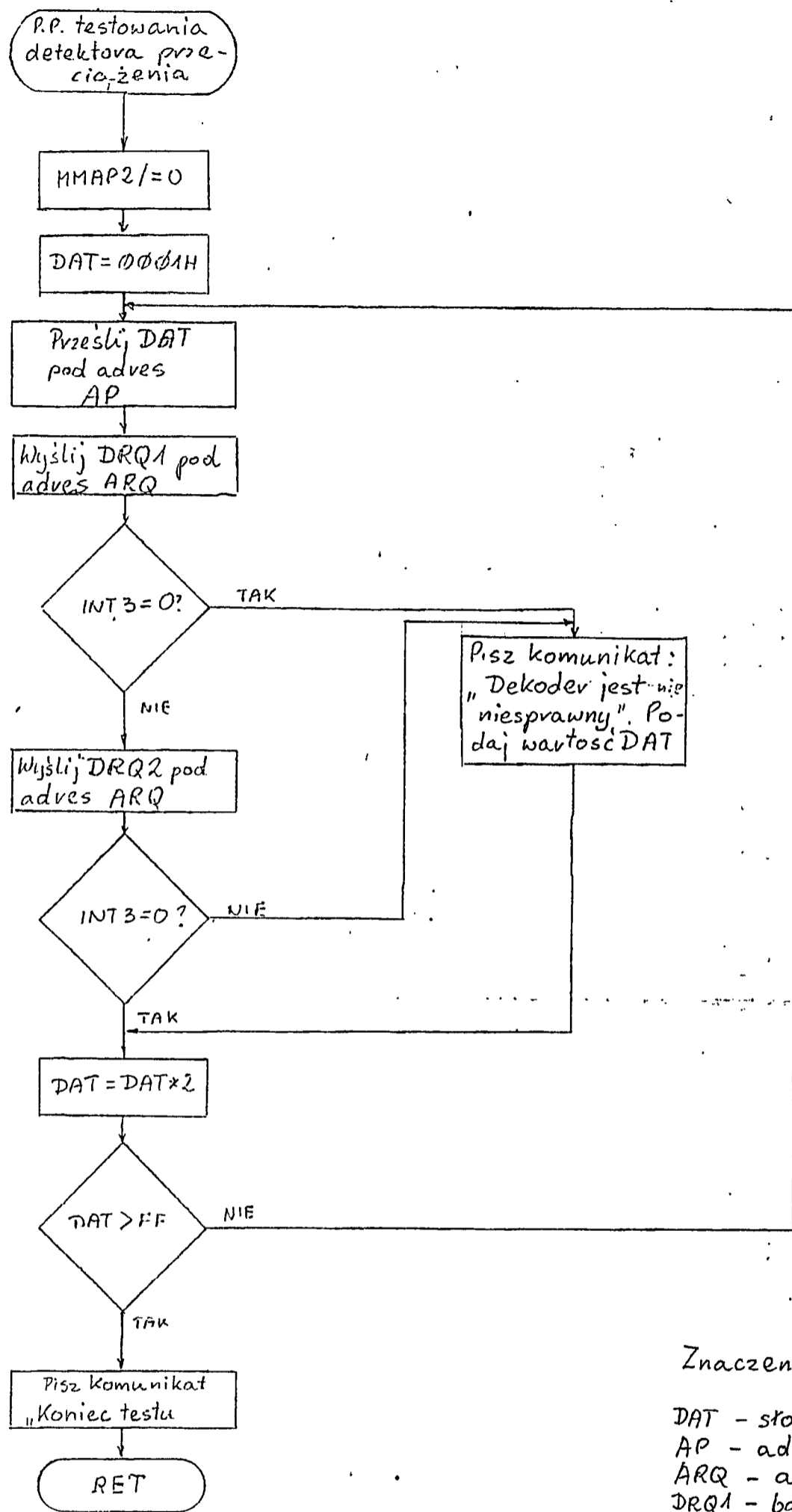
Rys 48. Sieć działań dla programu testowania układu wejść



Znaczenie symboli:

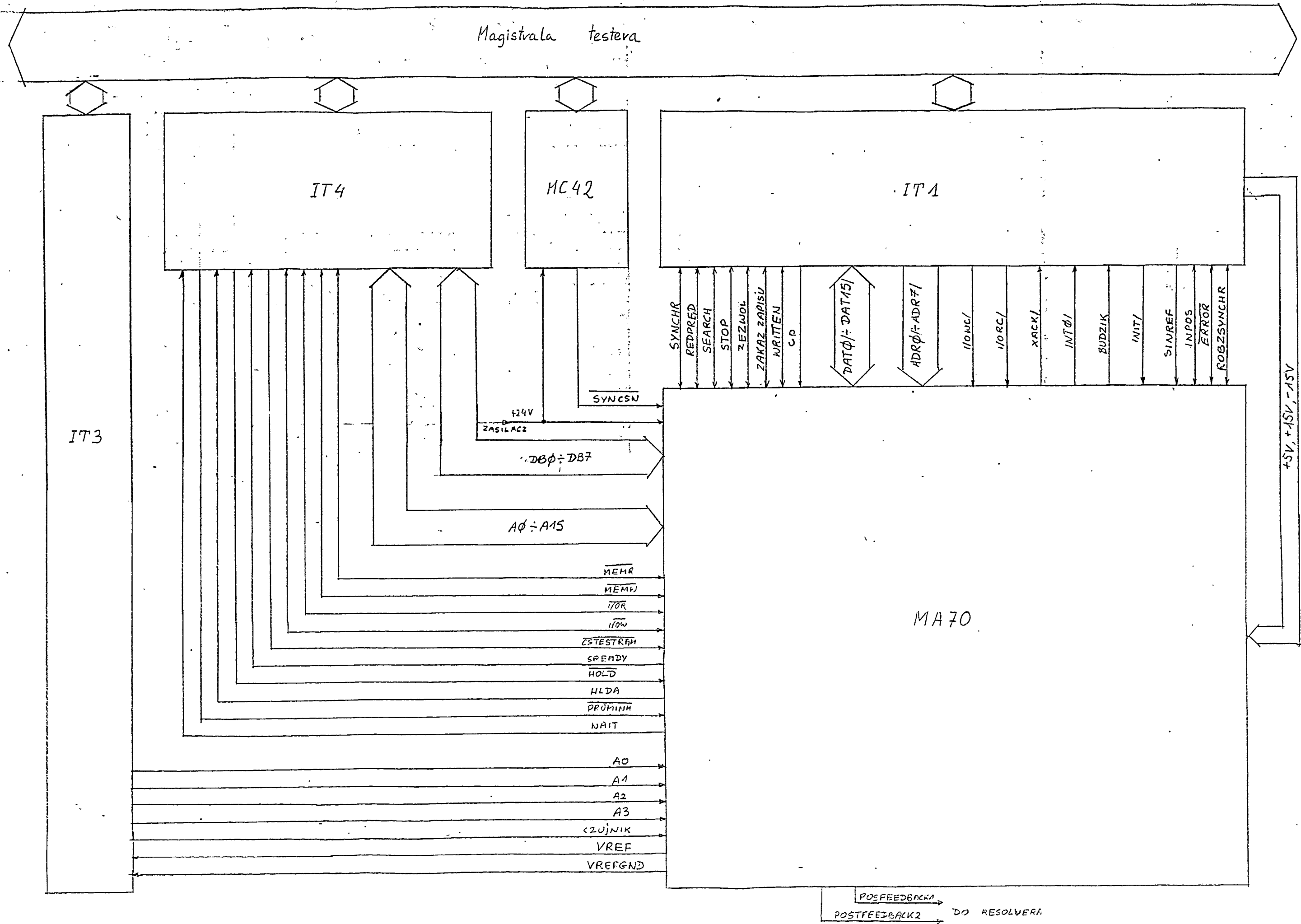
DAT, DATA - słowa danych
 ADR - adres
 AM - adres pakietu MC42 testera
 AP - adres pakietu testowanego

Rys. 49. Sieć działań dla programu testującego układ wyjść

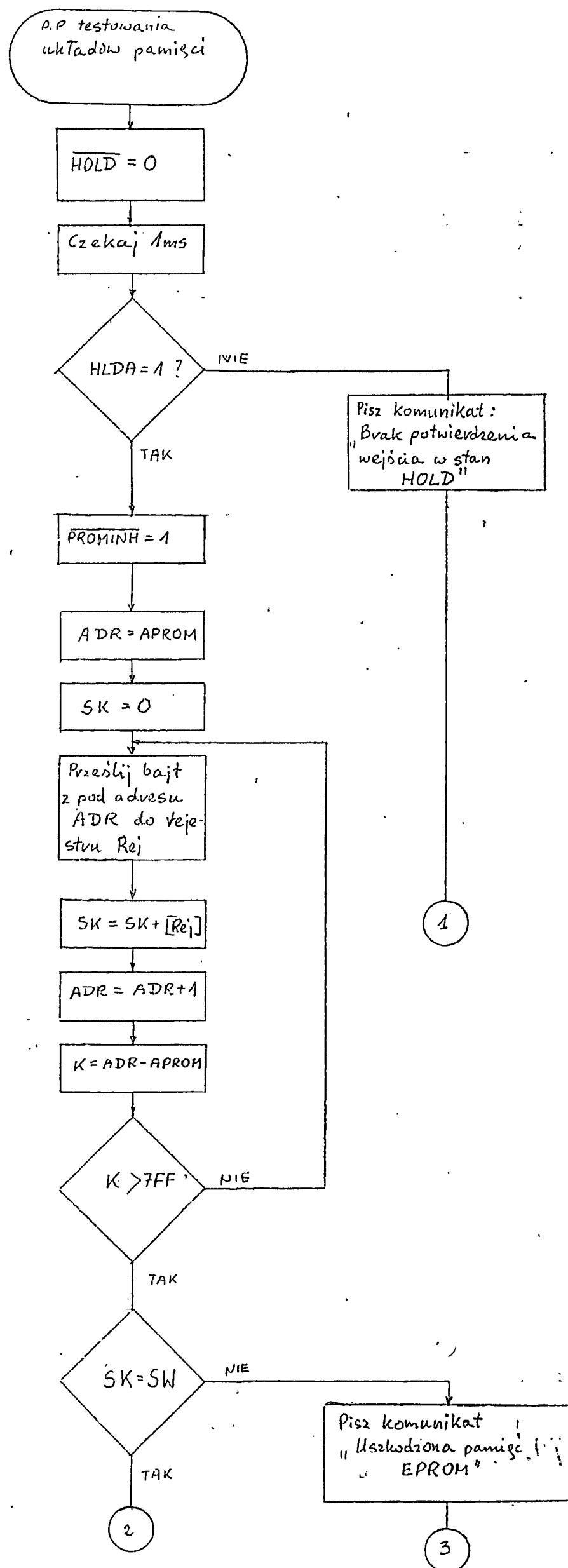


Znaczenie symboli

- DAT - słowo danych
- AP - adres pakietu badanego
- ARQ - adres bramy sterującej obciążeniem
- DRQ1 - bajt danych, który wpisany pod adres ARQ powoduje obciążenie wyjścia prądem mniejszym od prądu wywołującego przeciążenie
- DRQ2 - bajt danych, który wpisany pod adres ARQ powoduje obciążenie prądem większym od wywołującego przeciążenie

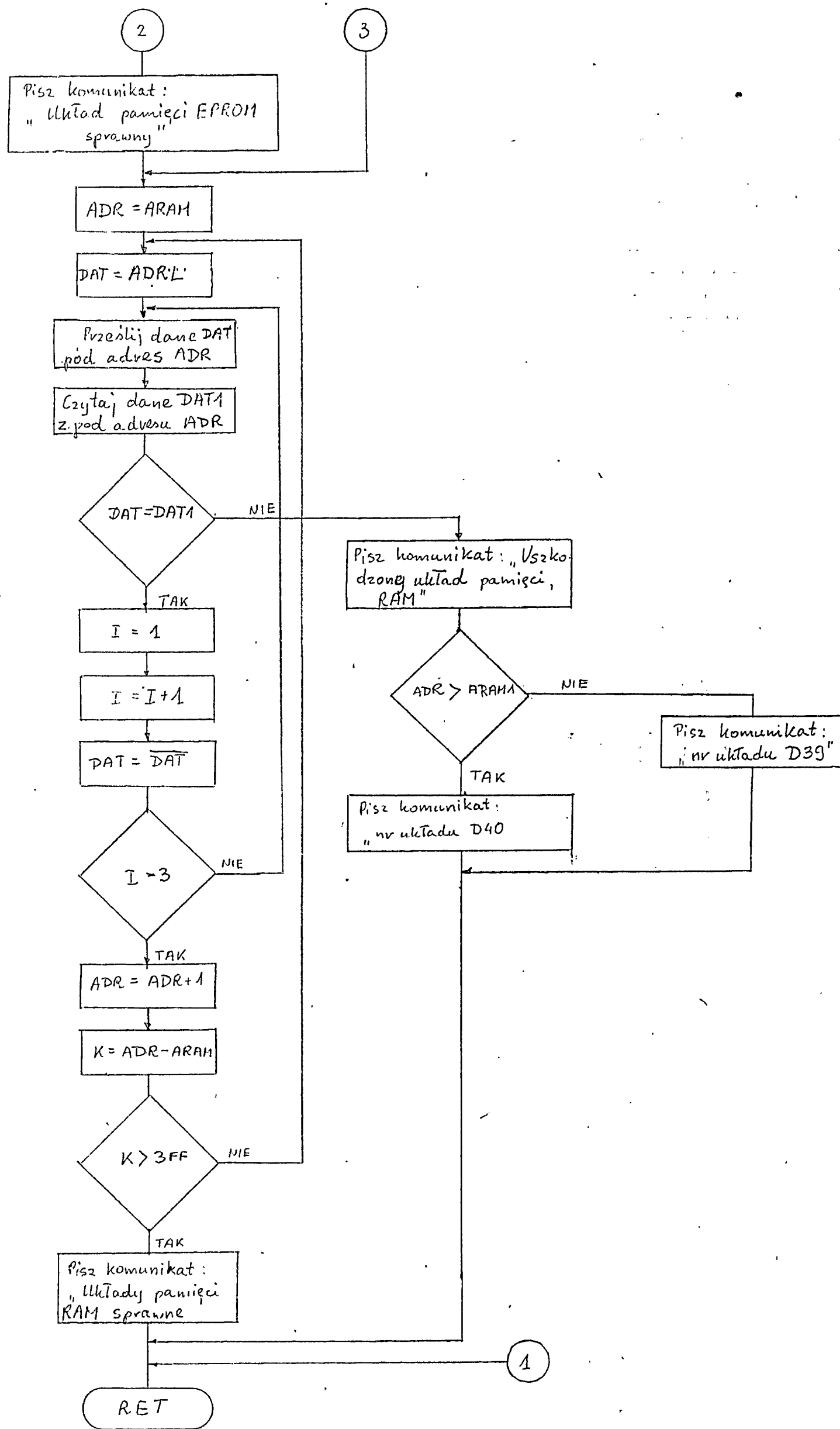


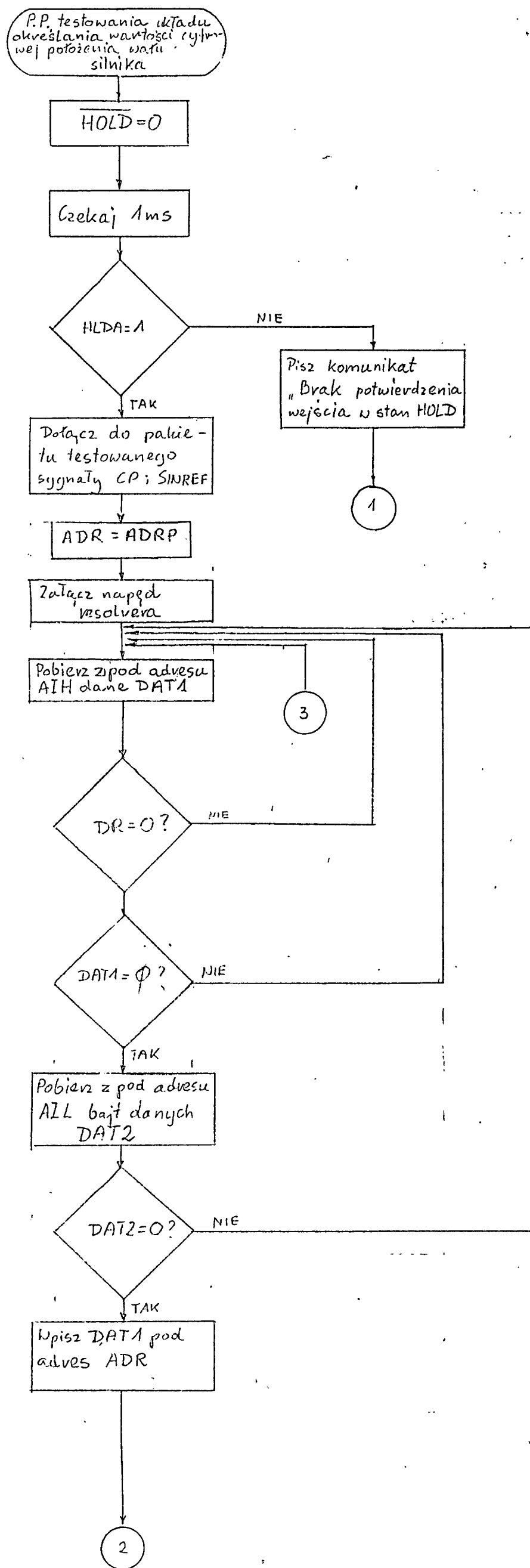
Rys. 51. Konfiguracja sprzętu do testowania pakietu MA70



Znaczenie symboli

- SK - suma kontrolna
- SW - suma kontrolna wzorcowa
- Rej - jeden z rejestrów 8085
- [Rej] - zawartość rejestru Rej
- ADR - adres
- APROM - adres początkowy pamięci PROM
- ARAM - adres początkowy pamięci RAM
- ARAMA - adres początkowy pamięci RAM układ D40 na płycie cie MA70
- ADRL - młodszy bajt adresu ADR

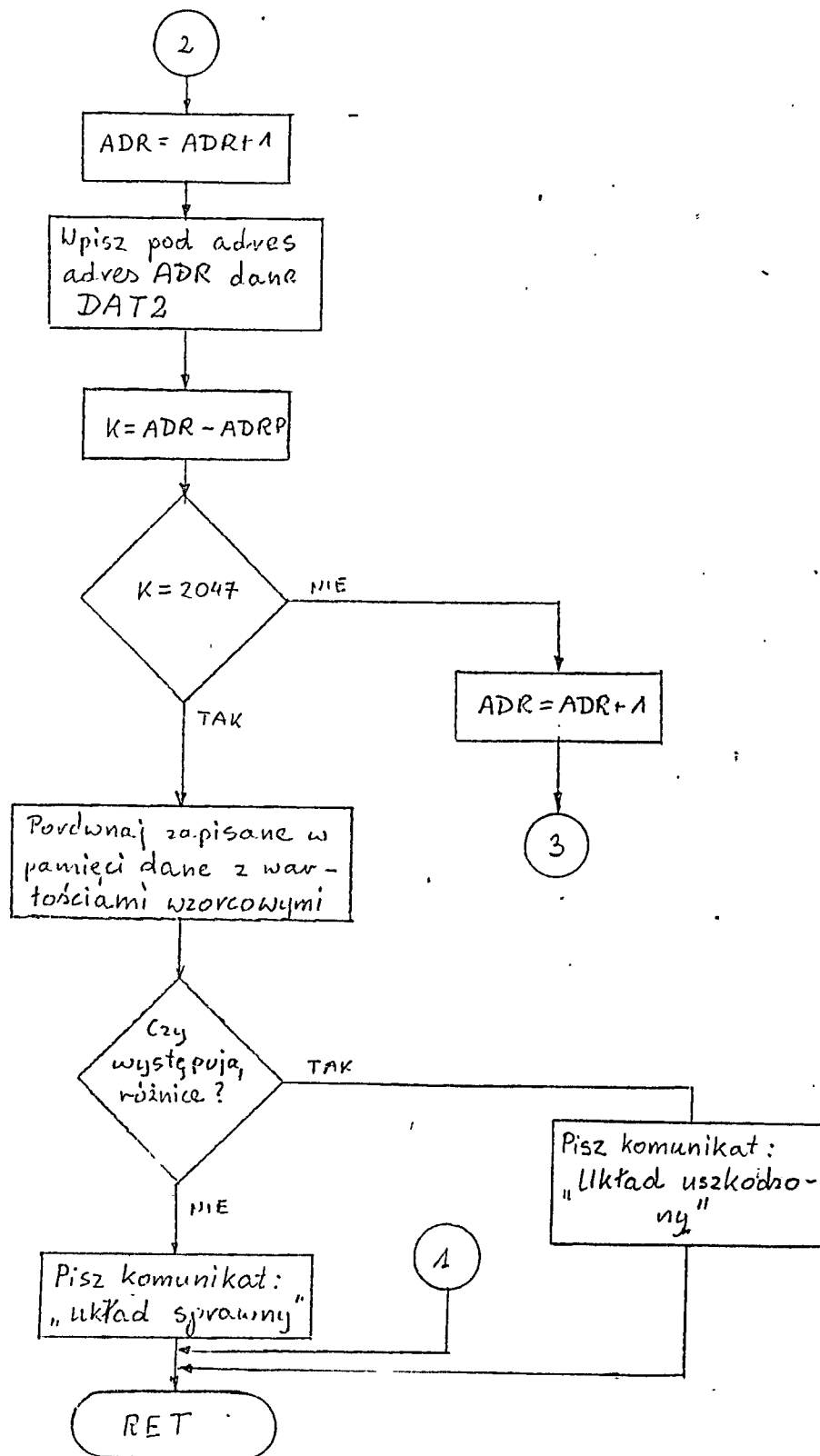


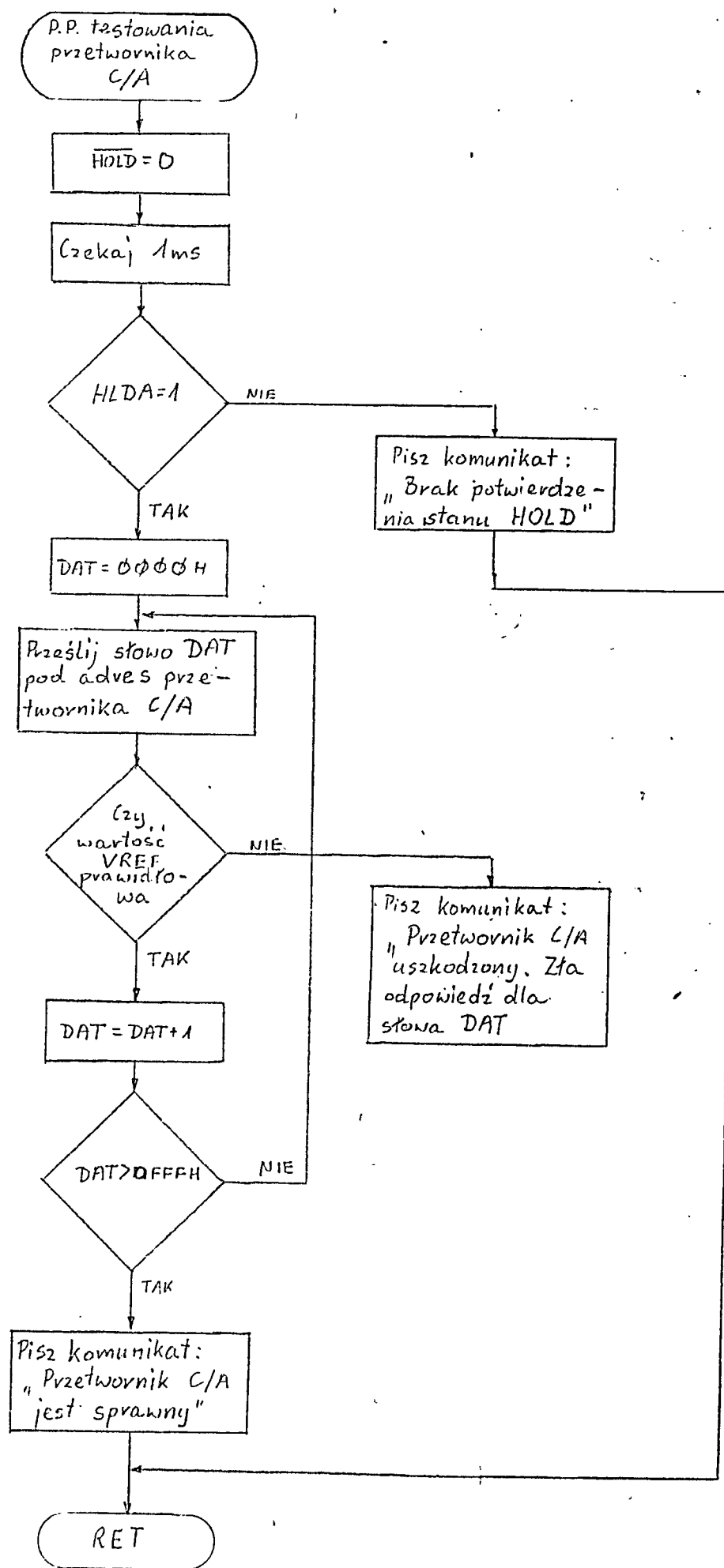


Znaczenie symboli:

- DAT, DATA - bajt danych
- ADR - adres
- AIH - adres bramy przechodzącej starsze bity wartości cyfrowej położenia wału silnika
- ALL - adres bramy przechodzącej młodsze bity wartości cyfrowej położenia wału silnika
- K - zmienna kontrolna pętli

Rys 53. Sieć działań dla programu testowania układu określania wartości cyfrowej położenia wału silnika

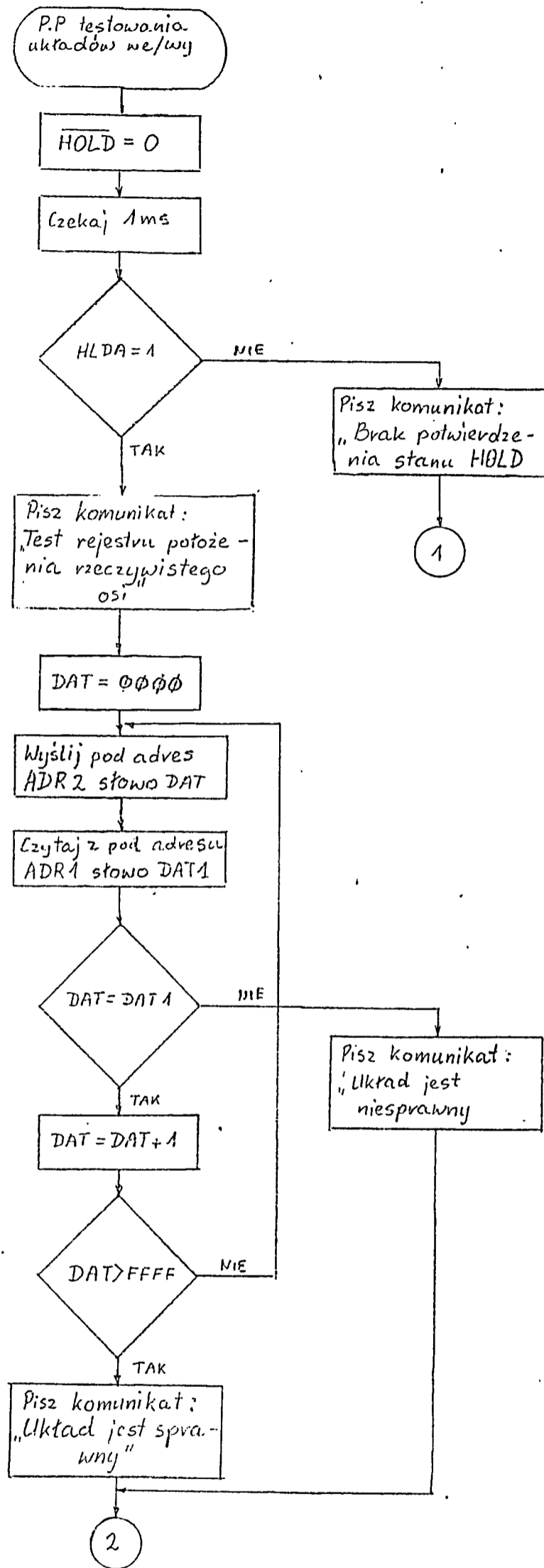




Znaczenie symboli:

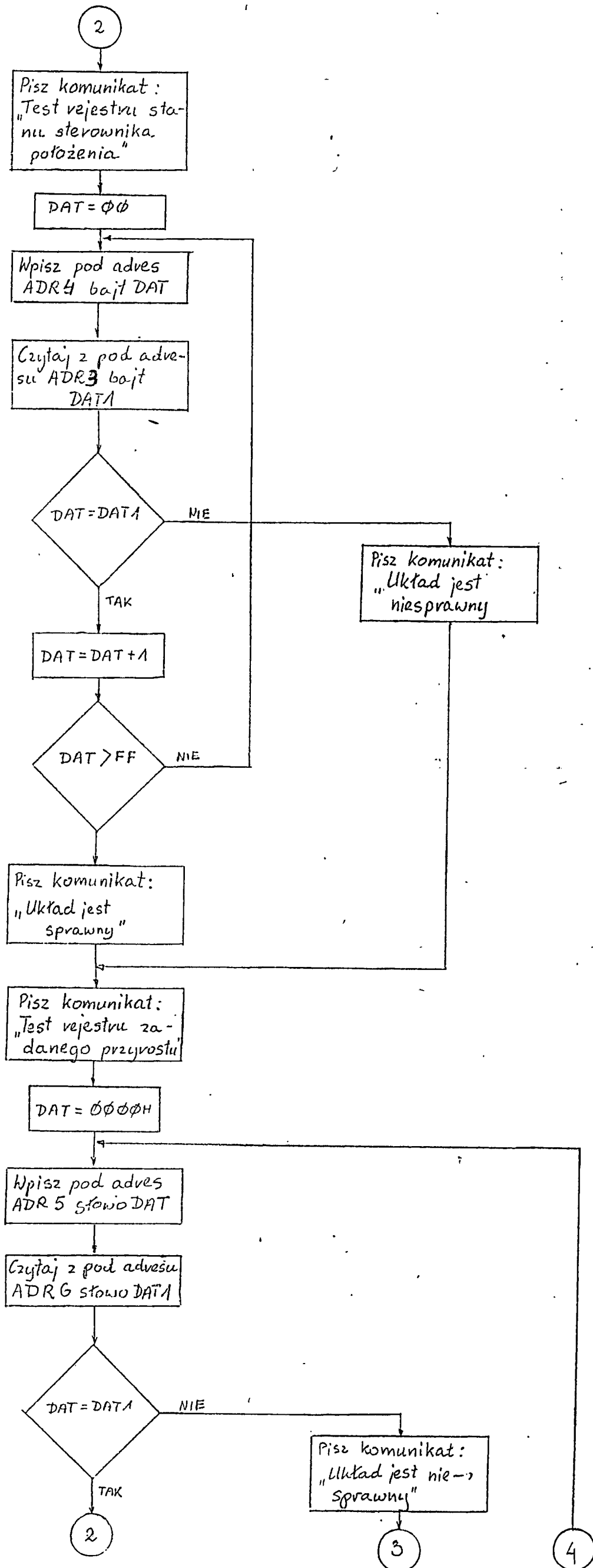
DAT - słowo danych
 VREF - wartość analogowa na wyjściu przetwornika C/A

Rys 54. Sieć działań dla programu testowania przetwornika C/A



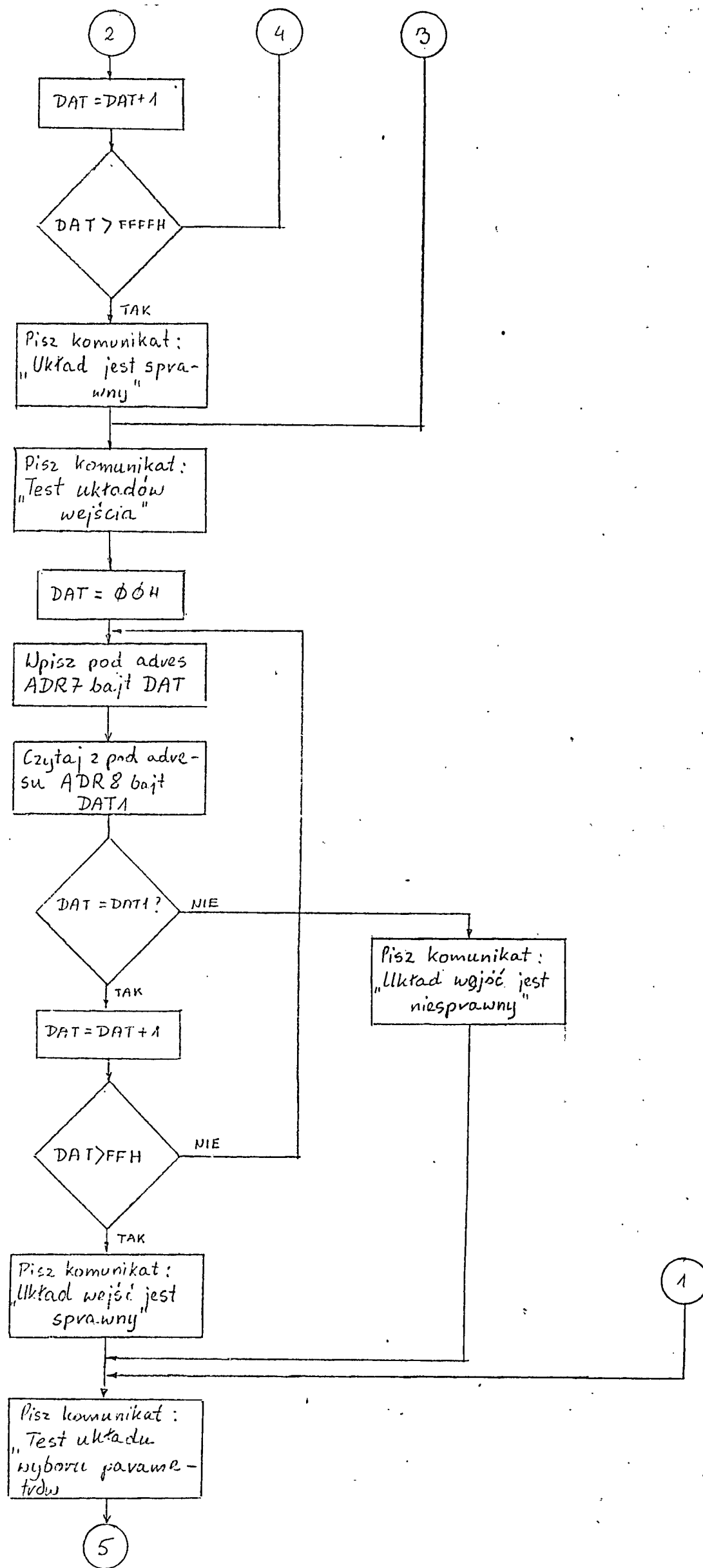
Znaczenie symboli:

- DAT, DATA - słowa danych
- ADR - adres
- ADR1, ADR2 - adresy rejestru położenia rzeczywistego od strony testera i pakietu MA70
- ADR3, ADR4 - adresy rejestru stanu sterownika od strony testera i pakietu MA70
- ADR5, ADR6 - adresy rejestru przyrostu zadanego od strony testera i pakietu MA70
- ADR7, ADR8 - adresy układu wejścia od strony testera i pakietu MA70
- ADR9 - adres układu wyboru parametrów



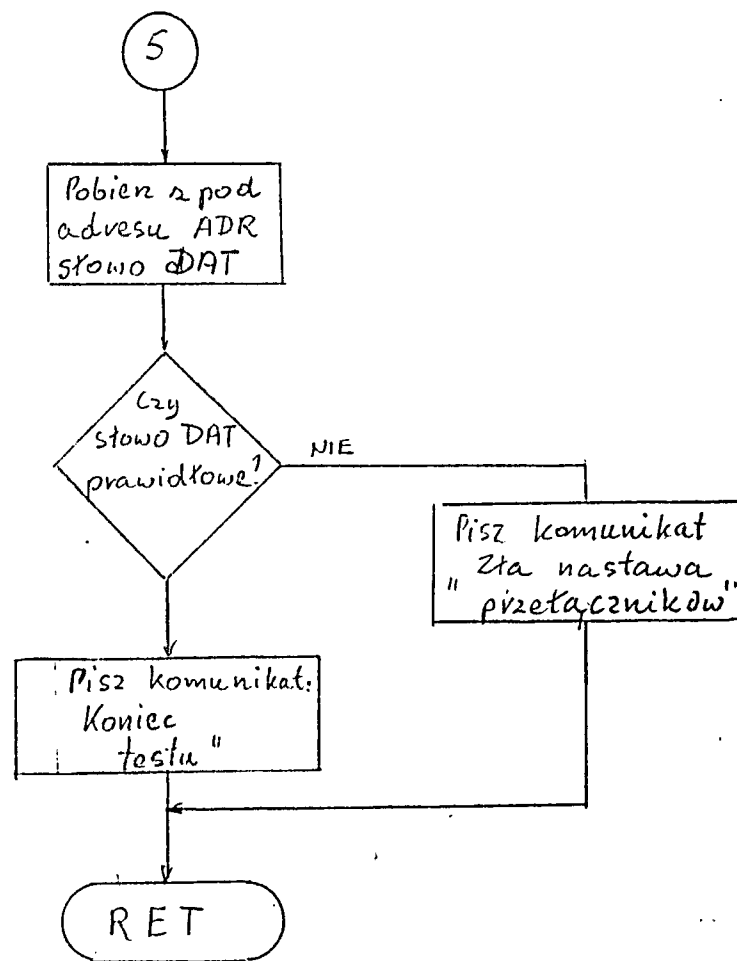
Rys 55. ciąg dalszy

06



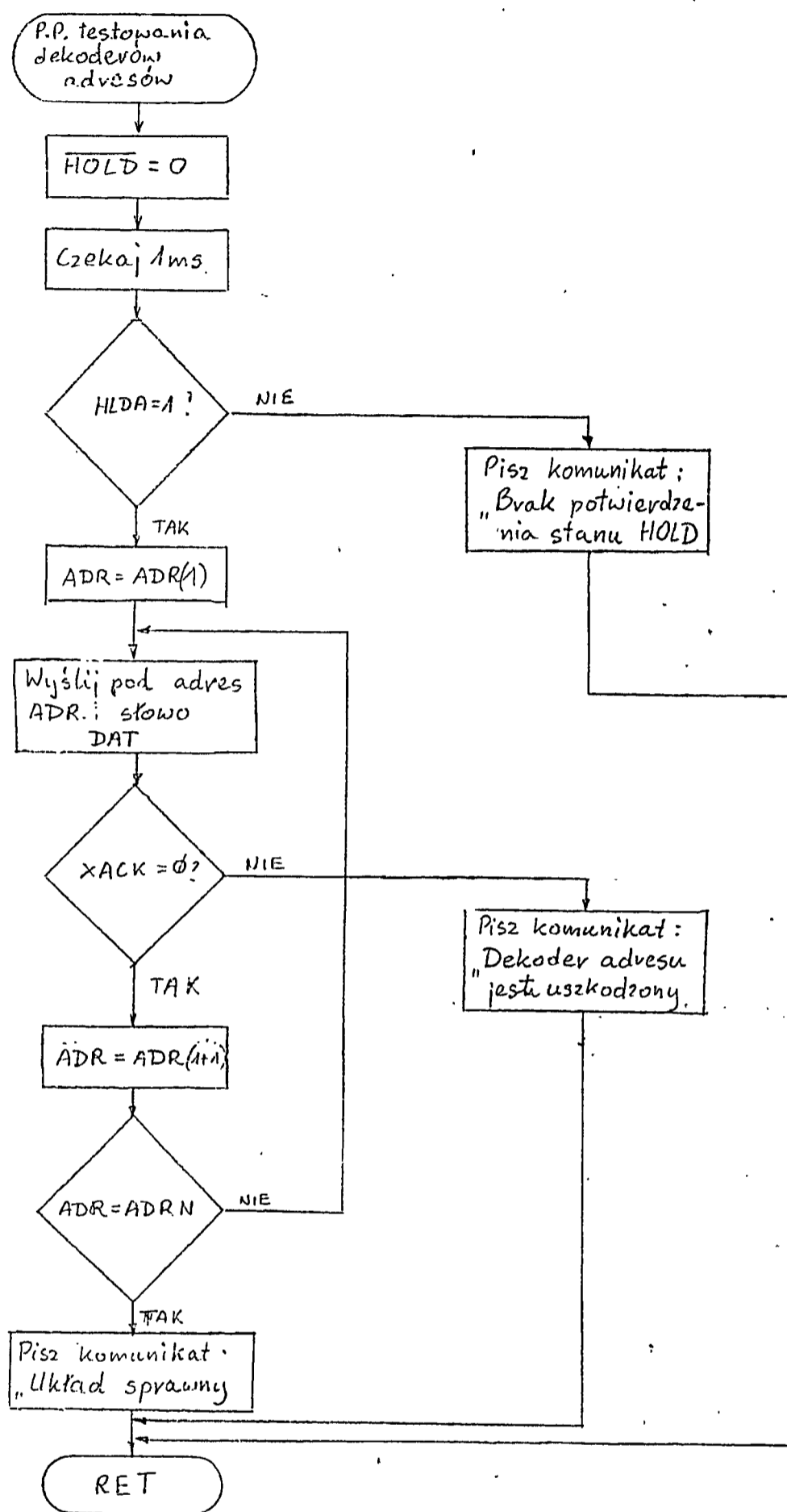
Rys 55. ciąg dalszy

16



Rys 55. ciąg dalszy

76



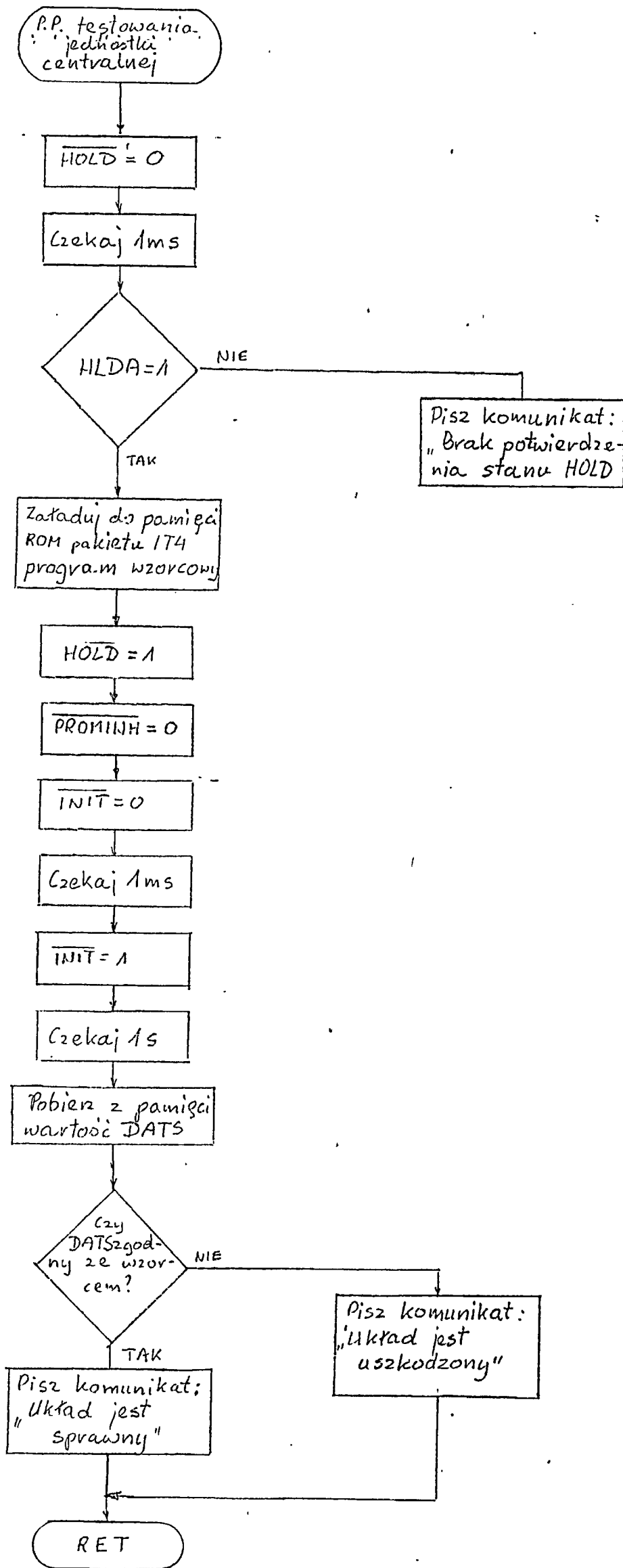
Znaczenie symboli :

DAT - słowo danych

ADR - adres

ADR(1)..ADR(N) - adresy pamięci i we/wy na pakiecie MA70

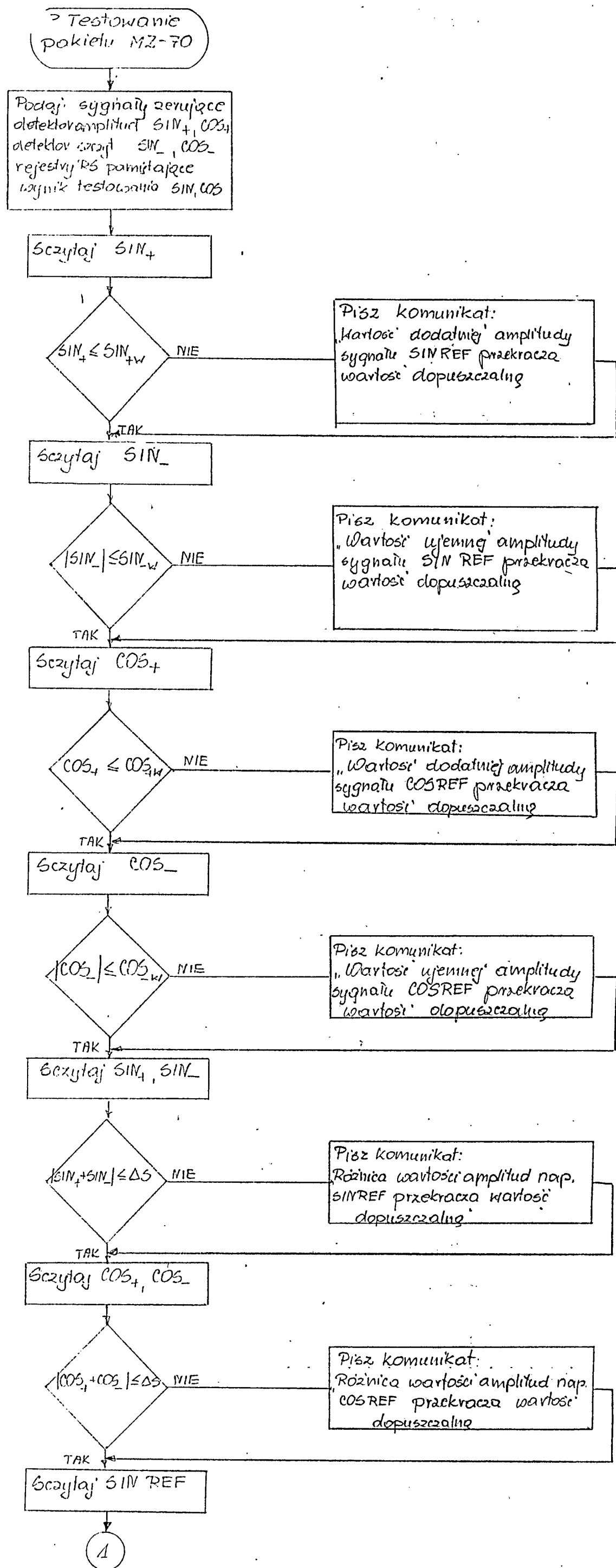
Rys 56. Sieć działań dla programu testowania dekodera adresu.



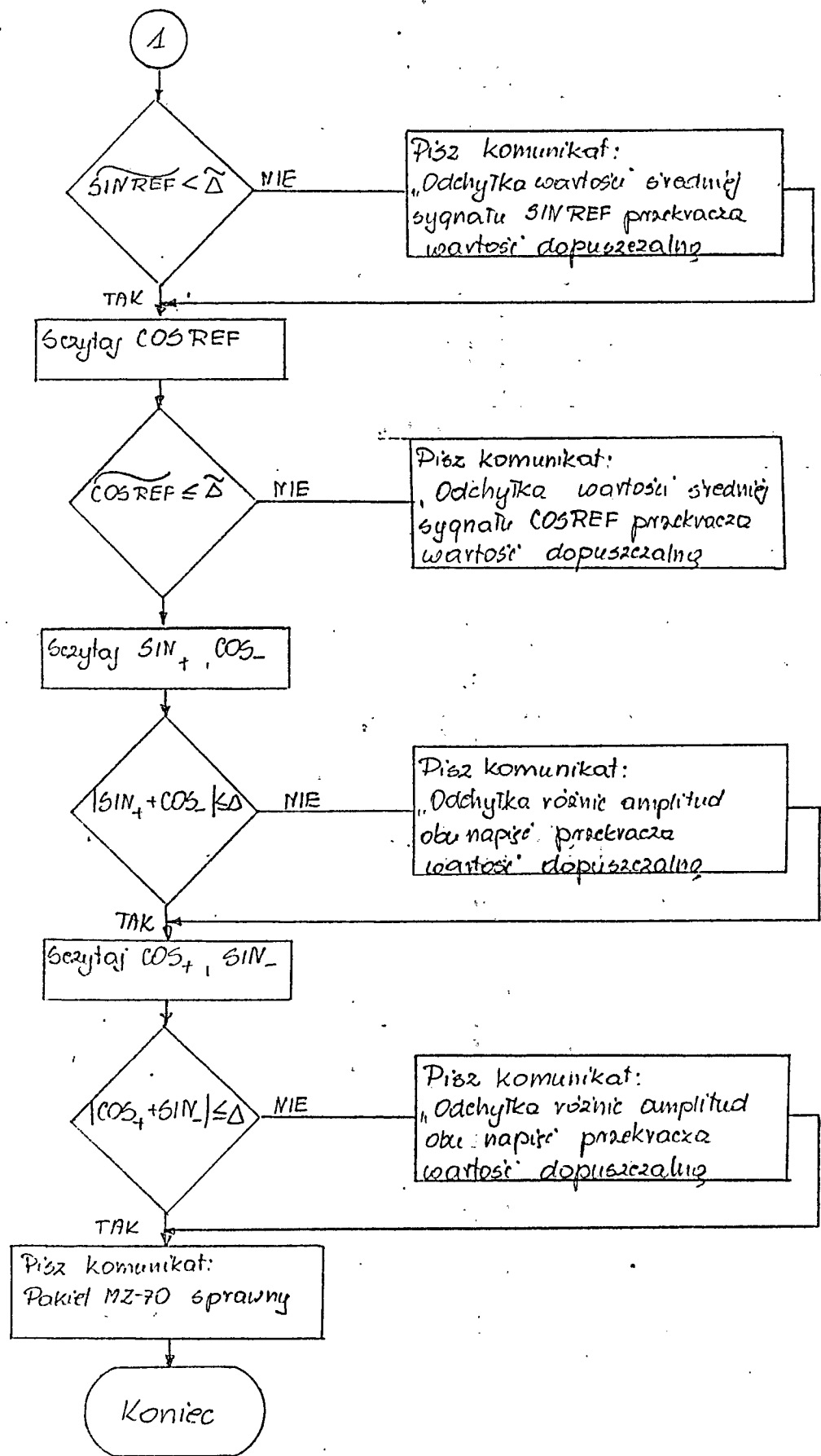
Znaczenie symboli

DATS - słowo w pamięci pakietu 174, jej wartość określana jest przez program wzorcowy

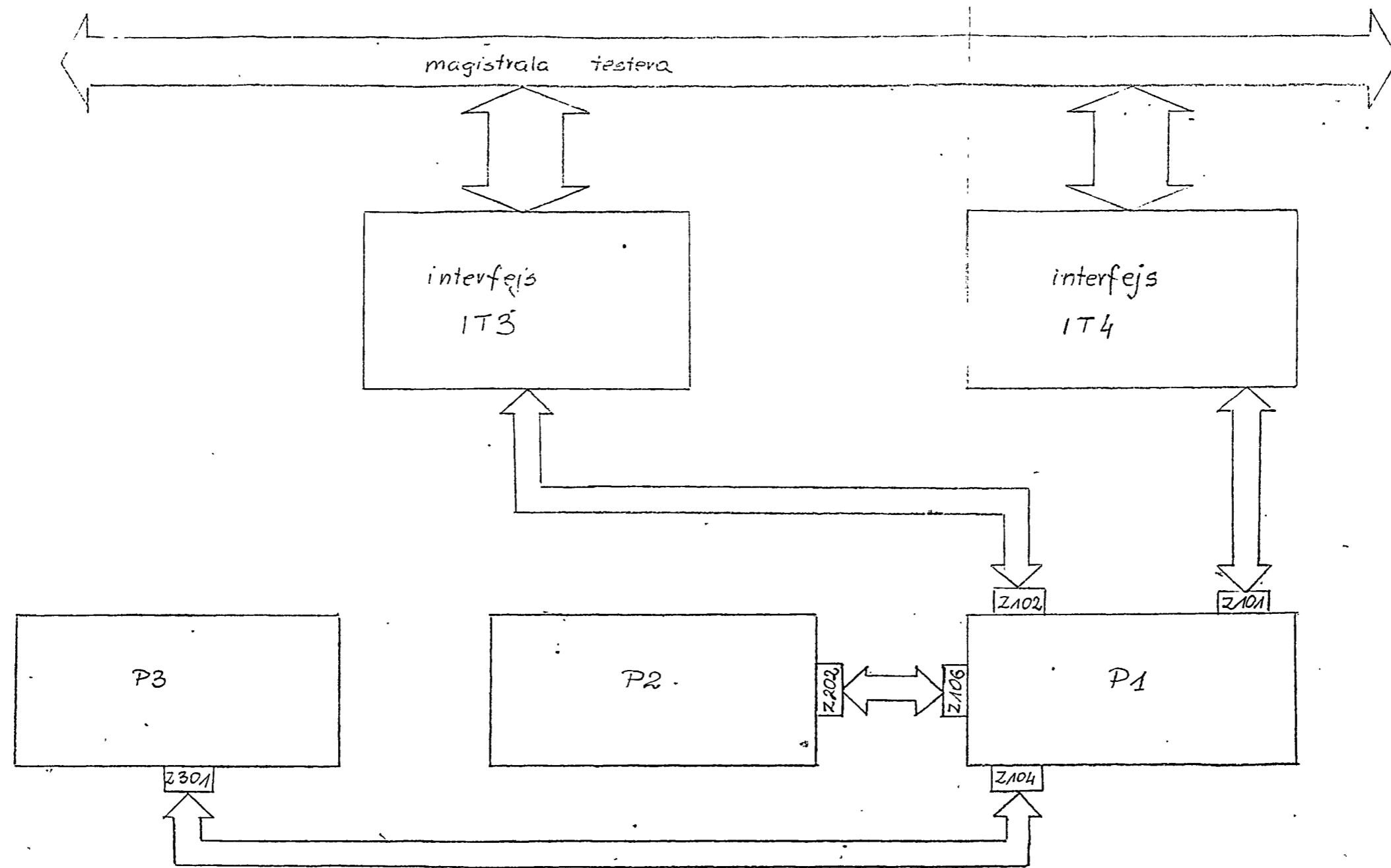
Rys 5.7 Sieć działań dla programu testowania jednostki centralnej



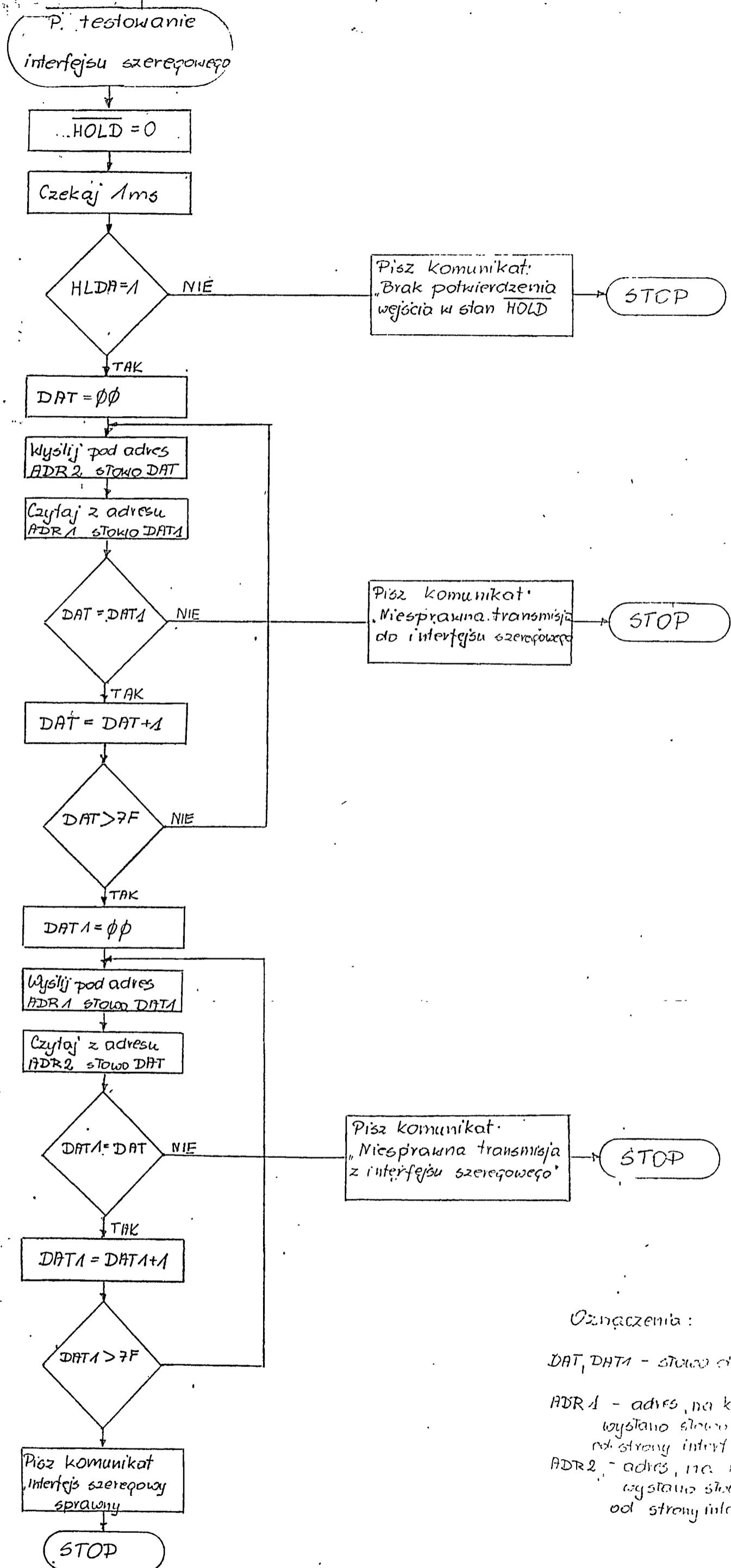
Rys. 58 Sier. działania dla programu testującego pakiet MZ-70



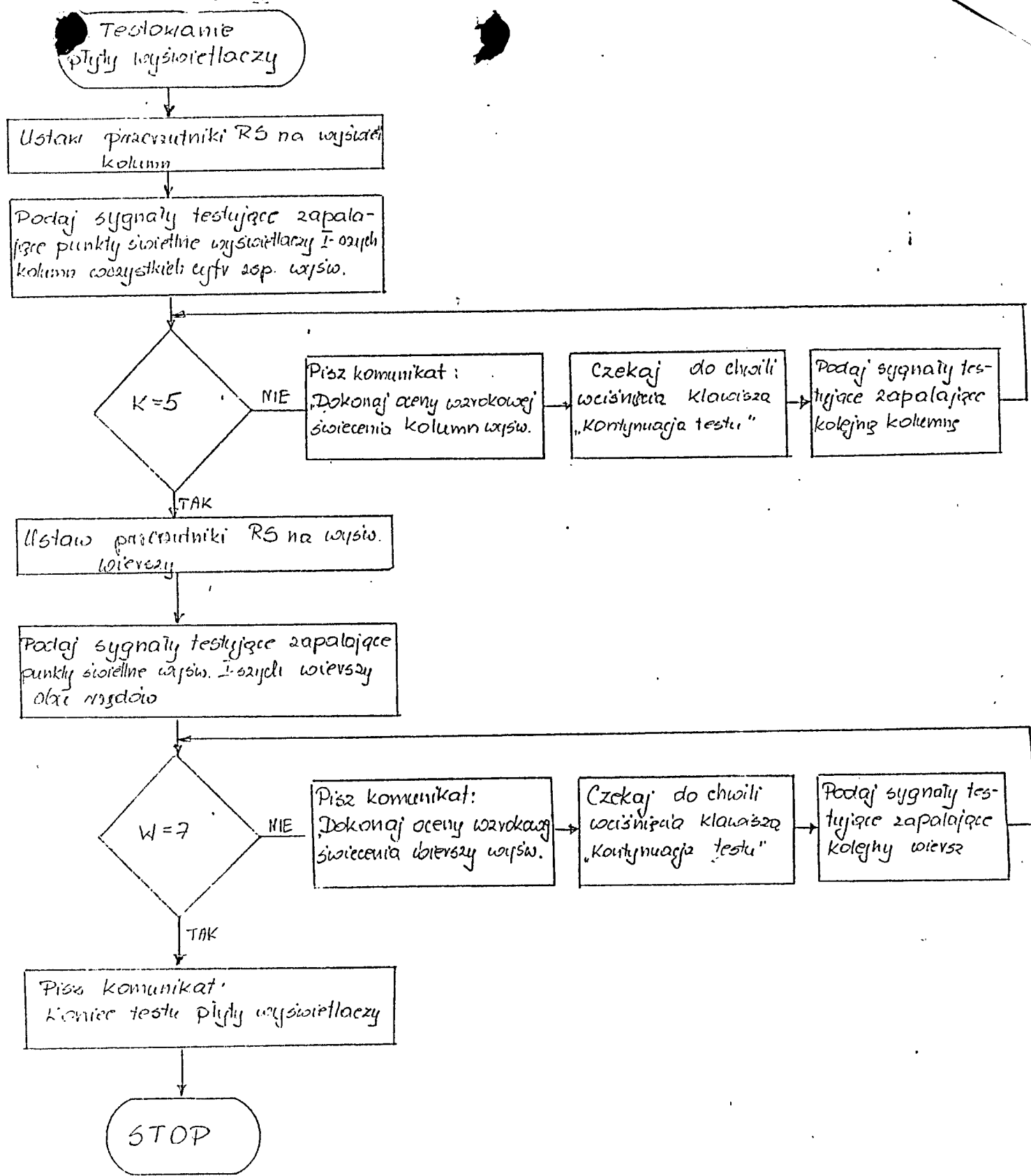
Rys. 58 ciąg dalszy



Rys.59. Połączenia do testowania płyt P1, P2 panelu programowania



Rys. 60 Siec' działan' dla programu testowania układu interfejsu szeregowego



Oznaczenia:

K - liczba kolumn

k1 - liczba wierszy

Rys.64 Sier działania dla programu testującego płytę wyświetlaczy panelu programowania