

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW
MERA-PIAP
Al. Jerozolimskie 202 02-222 Warszawa Telefon 23-70-81

OŚRODEK AUTOMATYKI ELEKTRYCZNEJ

074 ZESPÓŁ BUDOWY CYFROWYCH URZĄDZEŃ SYSTEMOWYCH A

Główny wykonawca mgr inż. M. Słodczyk

Wykonawcy mgr inż. M. Słodczyk, dr inż. A. Syrczyński,
K. Stanslicka, J. Bartoszek

Konsultant

Nr zlecenia
RP 53.2.

Opracowanie pakietu MM87 jednostki
centralnej z procesorem arytmetycznym.
Nr zadania 1.2. Wykonanie i uruchomienie
prototypu wraz z dokumentacją.
DOKUMENTACJA KONSTRUKCYJNA PAKIETU
MM87.

Zleceniodawca CPBR 7.1

Pracę rozpoczęto dnia 15.04.86

Kierownik Zespołu

dr inż. A. Syrczyński

zakończono dnia 15.12.86

Kierownik Ośrodka

prof. dr inż. T. Miszala

Praca zawiera:

Rozdzielnik - ilość egz: 5

stron 15

Egz. 1 BOINTE

rysunków 14

Egz. 2 OAP

fotografii

Egz. 3 OAE-3

tabel

Egz. 4 OAE-8

tablic 3

Egz. 5 OAE-8

załączników

Egz. 6

Nr rejestr. 5755

Nr arch. 4724

Analiza deskryptorowa URZĄDZENIA AUTOMATYCZNEJ REGULACJI I STEROWANIA:
KSAP + INTELDIGIT-PROWAY + MIKROPROCESOR +
+ JEDNOSTKA CENTRALNA + DOKUMENTACJA TECHNICZNA

Analiza dokumentacyjna

Dokumentacja konstrukcyjna pakietu MM87 jednostki centralnej 16-bitowej z koprocesorem numerycznym systemu INTELDIGIT-PROWAY. Dokumentacja zawiera przeznaczenie, dane techniczne, opis budowy i działania, zestawienie materiałów i rysunki.

Tytuły poprzednich sprawozdań

Opracowanie pakietu MM87 jednostki centralnej z procesorem arytmetycznym.

Etap 1. Założenia. Nr rejestr. 5586.

Dokumentacja konstrukcyjna

2.8. Adresowanie bram I/O w pakiecie

Znajdująca się na pakiecie układ I/O są adresowane jako bramy I/O, adresami I/O sześciobitowymi o formacie 00xxxx, co umożliwia stosowanie wszystkich typów instrukcji I/O.

Tabela. Adresy wewnętrznych układów I/O

Układ	Funkcja	Adresy
MCY 7851 /A5/	interfejs szeregowy złącze C	0000,0002
MCY 7852 /A5/	interfejs szeregowy złącze D	0008,000A
8253 /A4/	timer	0010,0012,0014, 0016
8253 /A10/	timer	0018,001A,001C, 001E
8259A/B1/	kontroler przerwań master	0020,0022
8259A/B2/	kontroler przerwań slave	0028,002A
8283 /A9/	rejestr stanu	0030 instrukcja IN
C3-6	przerzutnik przerwa- nia zewnętrznego	0038 instrukcja IN

Wszystkie adresy I/O z obszaru 0000H...00FFH są zarezerwowane i nie mogą być stosowane do adresowania na magistrali kasyety.

2.9. Interfejs magistrali kasyety.

wg. trybów 8N-34/3105-03 i wg. wynogań systemu ELPRO 800.

- wybór typu magistrali kasyety - jedyna króćca
- arbitraż magistrali kasyety - szeregowy i równoległy
- możliwość wydawania sygnałów BCLK, CCLK, INIT.

2.10. Interfejsy szeregowe.

- dwa identyczne interfejsy szeregowe wg. zalecenia V.24 CCLT
- każdy wyprowadzony na złącze szufladowe /tyk/ 25-tykono, oznaczone C i D, o standardzie sygnałów i rozmieszczeniu na stykach wg. K.24,

sygnał INIT z innej jednostki centralnej.

Dwa kanały potwierdzenia adresów w układzie zegara 8284 są przypisane: numer 1 magistrali wewnętrznej /wejście RDY 1, AEN 1/ i numer 2 magistrali kasety /wejście RDY 2 /I </>. Potwierdzenia z magistrali wewnętrznej są tworzone w układzie L¹ typu 74S287 jako sygnał RBI/O dla bram I/O i sygnał R¹ dla pamięci. Są one spowodowane branką C4-6 przyczyną potwierdzenie bram I/O jest opóźnione o jeden takt zegara przez tranzystor G2-5. Na drugi kanał potwierdzeń jest dołączone potwierdzenie z magistrali kasety XACK oraz sztuczne potwierdzenie od time-outu magistrali BTMO /jeżeli jest połączony kręś KA 1-2/. Sygnał time-outu BTMO jest tworzony brankami E11-8 i C3-11 z opóźnieniem RC i wyprowadzony do sterownika przerwań. Sygnał XACK jest ważny tylko w czasie własnych operacji na magistrali kasety, tj. gdy trwa sygnał zezwolenia nadawania adresów AEN. Układ DS tworzy także sygnał wyboru magistrali i zarazem żądania dostępu do magistrali kasety SB/RB. Sygnał zabezpieczenia pamięci MPRO z pakietu kontroli podany na oba kanały potwierdzania wstrzymuje pracę procesorów.

3.2. Magistrale wewnętrzna - rys. 4724/2.

Blok obejmuje sterownik magistrali wewnętrznej typu 828E /37/, bramy danych typu 8286 /układy B9 i D6/ oraz rejestry zatrząkowe adresów typu 8282 /układy B8, C10, D5. Sterownik magistrali wewnętrznej na podstawie sygnału wyboru magistrali SB/RB i statusu procesorów S2, S1, S0 tworzy sygnały sterowania bramami danych DT/R i DEN, sygnał strobowania adresów ALE oraz sygnały rozkazowe MRDC, M/TC, IORC, IOJC, INTA.

Szyny danych i adresów magistrali wewnętrznej są polaryzowane za pomocą rezystorów RH 7,8,10,11,12.

3.3. Pamięć - rys. 4724-3.

Blok pamięci obejmuje 8 podstawek pod układy scalone pamięci - cztery dla pamięci danych RAM /G1, G2, G5, G6/ i cztery dla pamięci programu EPROM /G3, G4, G7, G8/ oraz pola krosowe wyboru układu pamięci odrębne dla każdej ~~podstawki~~ i układ wewnętrzny zasilania bateryjnego 4

- interfejsy - zadawane programowo wg. pełnego repertuaru układu typu 8251, każdy posiada przydzielony kanał timera dla programowego zadania szybkości transmisji.

2.11. Timery:

- dwa timery 3-kanałowe typu 8253, z których sprzętowo są przydzielone 4 kanały: 2 dla interfejsów szeregowych, 1 podstanowa przerwanie zegarowa, 1 autodiagnostyka.

2.12. Przerwania.

- układ przerwań obsługuje 7 przerwań od układów wewnętrznych /listków p.3.5/, 3 przerwań INTO...INT7 z rejestracji kasety i przerwanie z linii diagnostycznej,
- dwa kontrolery przerwań 8259 A /master i slave/ zapewniają programowo wybieranie trybu obsługi, priorytetów i maskowanie,
- sygnał przerwania od zaniku zasilania dołączony do niedomaskowanego wejścia przerwania mikroprocesora.

2.13. Złącza.

- dwa złącza rejestracji kasety, pośrednie, 36-stykowo oznaczone A, 3 typu ELTRA 8.11.096.02.3.5.000.1.
- dwa złącza interfejsu szeregowego, szufladowe, 25-stykowe, styki, oznaczone C,D typu ELTRA 8.71.025.03.04.1.1.00.1.

2.14. Zasilanie.

Pakiet jest zasilany z zasilaczy +5V, +5VB, oraz do obrotu interfejsu szeregowego -12V lub +15V.

Pobór prądu przy obsadzeniu wszystkich podetatek pakietu wynosi:

z zasilacza +5V	mA
+5VB	mA
+12V lub +15V	mA
-12V lub +15V	mA

- częstotliwość zegarów magistrali BCLK i CCLK - 9984kHz

2.3. Pojemność adresowania

- pamięci 1 bajtów
- brzo wejścia/wyjścia 64 K bajtów

2.4. Pojemność pamięci danych /RAM/ na pakiecie:

pakiet posiada 4 podstawki 28-stykowo do układów pamięci danych, pojemność łączna wynosi:

przy 4 układach typu 6264 - 32 KB

przy 4 układach typu 6116 - 8 KB

przy 2 układach typu 6264 i 2 układach o b. małym poborze np. typu NEC μ PD 446 - 20 KB

2.5. Pojemność pamięci programu /EPROM/ na pakiecie:

pakiet posiada 4 podstawki 28-stykowo do układów pamięci programu i pozwala na użycie następujących typów pamięci:

Tab.1. Pamięci programu

Typ pamięci	Pojemność łączna
2716	3 KB
2732	16 KB
2764	32 KB
27128	64 KB
27256	128 KB

2.6. Ochrona pamięci danych.

Zasilanie z zasilania rezerwowego +5VB oraz z równoległego dołączonego źródła na pakiecie - 2 akumulatory typu KR 15/51 lub 2 ogniwa typu R6.

Ze źródła na pakiecie mogą korzystać 2 lub 4 układy RAM /kros/. Wymiana źródeł chemicznych bez wyjmowania i bez wyłączenia pakietu.

2.7. Adresowanie pamięci na pakiecie.

Adresy są zadawane w pamięci stałej, wielkość obszarów zależy od typu układów pamięci. Początek obszaru pamięci danych jednej pary układów RAM od 00000H, drugiej pary dowolny. Koniec obszaru pamięci programu jednej pary układów PROM do EFFFFH, drugiej pary dowolny. Wszystkie obszary nie zajęte w pakiecie są dostępne dla interfejsu magistrali kasety.

paracji danych.

Konfiguracja pamięci jest 16-bitowa, w związku z czym odpowiadające sobie pary podadresów G1-G5, G2-G6, G3-G7 i G4-G8 muszą być porządkowane przez identycznie typy układów scalonych pamięci. Układy G1...G4 stanowią bank wyższego bajtu D16...D6, układy G5...G8 stanowią bank niższego bajtu D7...D0. Typy układów pamięci dopasowano do stosowania w pakiecie MM87 i wyklądane pojemności pamięci podano w p. 2.4 i 2.5.

Pamięć danych jest zasilana z zewnętrznego zasilania rezercwowego +5V oraz w razie jego zaniku z baterii wewnętrznej umieszczonej w pojemniku na płycie czołowej. W pojemniku będącym miejscem dla dwóch akumulatorów niklowo-kadmowo typu KR 15/S1 produkcji CENTRA lub dwa ogniwa typu P6. Konstrukcja pojemnika zapewnia wymianę baterii bez wyjmowania pakietu i bez zaburzenia jego pracy, czyli z zachowaniem zawartości pamięci danych jeżeli tylko w czasie wymiany istnieje zasilanie +5V. W przypadku stosowania akumulatorów należy w miejscu montować rezystor R3 zapobiegający ładowaniu akumulatorów, zaś w przypadku stosowania ogniwa typu P6 należy montować diodę D3.

3.4. Dekodery i układy diagnostyczne - rys. 4724/4.

Block dekodera tworzy sygnał wyboru pamięci danych, pamięci programu i adresy układów I/O.

Dekodowanie sygnałów wyboru czterech układów pamięci danych odbywa się w układzie A11 typu 74S287 na podstawie bitów adresu A19...A12. Sygnał wyboru bajtu AO, BHE, Układ A11 jest zasilany z napięcia rezercwowego +5V, ale dla zachowania zawartości pamięci danych przy zaniku tego napięcia sygnały wyboru CS0...CS5 są podtrzymywane napięciem baterii wewnętrznej BAT za pomocą układów tranzystorowych T1...T4.

Dekodowanie sygnałów CS0, CS5 wyboru dwóch par układów pamięci programu odbywa się w układzie A12 typu 74S217 na podstawie bitów adresu A19...A12. Ten sam układ tworzy też sygnał NEM,SEL zapamiętania pamięci wewnętrznej do układu pobierania.

Oba dekodery mogą lokalnie pamięci w całym obszarze adresowania 16 bit z rozdzielczością 2K bajt w adresie-

3. Opis budowy i działania

Pakiet MM87 można podzielić na osiem bloków:

- procesory
 - magistrala wewnętrzna
 - pamięci
 - dekodery i układy diagnostyczne
 - układ przerwania
 - bramy danych i adresów
 - układ arbitracji
 - interfejsy szeregowo i timary
- które zostaną kolejno omówione.

3.1. Procesory - rys. 4724/1.

Blok ten obejmuje mikroprocesor 16-bitowy typu 8086 /układ C5/, koprocessor numeryczny typu 8087/ układ C6/, zegar typu 8284 /E10/ z rezonatorem kwarcowym F2 i układ potwierdzeń.

Procesor pracuje w trybie maksymalnym, zadanym na wejściu M/MX. Jest połączony szyną wewnętrzną z koprocessorem numerycznym, przy czym sygnał RQ/GTO realizuje przekazywanie uprawnień sterowania magistralą wewnętrzną na żądanie żądania-potwierdzenia. Sygnał BUSY z koprocessora dołączony do wejścia TEST mikroprocesora wskazuje trwanie instrukcji w koprocessorze i służy do synchronizacji procesorów.

Przerwanie od zaniku zasilania PFIN jest dołączone do niemaskowanego wejścia przerwania NMI mikroprocesora. Przerwanie INT87 z koprocessora wydawane w przypadku wykrycia warunków wyjątkowych w toku obliczeń jest kierowane do mikroprocesora poprzez sterownik przerwania.

Układ zegara typu 8284 wydaje sygnał zegarowy CLK do procesorów, sygnał zegarowy PCLK o dwa razy mniejszej częstotliwości do układów peryferyjnych, sygnał gotowości READY do procesorów i sygnał zerowania RESET. Ten ostatni może być przez kros K9 wydawany na magistralę kasety jako ogólny sygnał zerowania INIT.

Na krosie K9 jest też wybierane źródło sygnału zegarowania dla pakietu, którym może być sygnał zewnętrzny RESET z przycisku lub z pakietu kontroli M.32, własny układ RC

Spis treści

1. Przeznaczenie
2. Dane techniczne
3. Opis budowy i działania
4. Zestawienie materiałów
5. Lista zamienników

Spis rysunków

- Rys. 4724/1. Procedury
- Rys. 4724/2. Magistrala wewnętrzna i układ arbitracji
- Rys. 4724/3. Pomniki
- Rys. 4724/4. Układ przerwań i dekodery
- Rys. 4724/5. Tablice danych i adresów
- Rys. 4724/6. Interfejsy szeregowo i tycery
- Rys. 4724/7. Rozmieszczenie elementów pakietu MM87
- Rys. 4724/8. Rysunek zestawieniowy pakietu MM87
- Rys. 4724/9. Pojemnik akumulatorów Zao
- Rys. 4724/10. Płyta czołowa pakietu MM87
- Rys. 4724/11. Pokrywa pojemnika
- Rys. 4724/12. Pojemnik
- Rys. 4724/13. Styk I
- Rys. 4724/14. Styk II

Opis techniczny

Sprawy

Kier. Pracowni

Kier. Zakładu

Nazwisko

Podpis

Data

9

5. Lista załączników

Lp.	Odpowiadnik KK	Krajowy	ZSRR	CSSR	WRL
01	INTEL 8086	-	K 1 100.185		
2	" 8087	-			
3	" 8251	UCY 7351	KR 580.151A	MH 8251	
4	" 8259A	-	KR 530.158A		
5	" 8283	UCY 743403		MH 8283	
6	" 8282	UCY 743402		MH 8282	
7	" 8284	UCY 743404	KR 580.154	MH 8284	
8	" 8286	UCY 743406		MH 8286	
9	" 8287	UCY 743407		MH 8287	
10	" 8288	-	KR 580.158		
11	" 8289	-	KR 580.159	MH 8289	
12	" 8253	-	K 580.1K53		
13	" 8224	UCY 743424		MH 8224	
14	T XAS SN75150				75150
15	" SN75154				75154
16	INTEL 8301	UCY 743207	KR 556PT4		
17	" 2716		K 573 PF2		

Dekoder układów I/O jest dwustopniowy. Stopień pierwszy na układzie C9 typu 74S287 dekoduje wyższy bajt adresu i ponadto tworzy sygnał IDSEL do układu potwierdzenia. Stopień drugi na układzie B3 typu 74S405 wydaje sygnały adresów układów peryferyjnych; dwóch układów interfejsu szeregowego, dwóch timerów, dwóch kontrolerów pamięci, rejestr stanu oraz sygnał ustawienie przerzutnika przerwania zewnętrznego.

Rejestr stanu na układzie A9 typu 6225 umożliwia odczyt przez mikroprocesor na brawkach D7...D9 następujących sygnałów:

- D7 - stanu przerzutnika przerwania zewnętrznego
- D8 - stanu zabezpieczenia PFSM
- D9 - zabezpieczenia złącza C interfejsu szeregowego
- D7...D9 - położenia złącza D interfejsu szeregowego
- D3...D9 - stan złączy krosów K1 dowolnego wykorzystania.

Przerzutnik przerwania zewnętrznego na brawkach C3-3, C3-0 może być wykorzystany w konfiguracji z dwoma pakietami jednostki centralnej do wzajemnej koordynacji. Jest on ustawiany przez mikroprocesor rozkazem typu I/O, a zerowany kontrolerem rozkazów typu I/O z nagietrali kasety. W układach sterowania robotów linia nagietrali kasety Db13 jest wykorzystana do celów autodiagnostyki pakietów. W pakiecie MM-7 nadrzędnym stan aktywny tej linii przez kros K5 2-2, brankę D2-3 i kros K2 powoduje przerwanie. W pakiecie MM-87 podrzędny kanał 0 timera na układzie A10 jest wykorzystany jako "budzik" i jego wyjście przez kros K5 3-4, brankę D3-3 i kros K5 1-2 jest wyprowadzono na linię diagnostyczną Bb13.

5. Układ przerwania - rys. 4724/4.

Układ przerwania zawiera dwa kontrolery przerwania typu 6250A /układy B1 i B2/, z których układ B1 jest nadrzędny /master/, a najniższy kontroler podrzędny się dołączone w kolejności priorytetu przerwania wg. tab. 5.

1. Przeznaczenie

Pakiet MM87 jednostki centralnej 16-bitowej z koprocесором numerycznym jest przeznaczony do stosowania jako jednostka centralna w układach sterowania robotami przemyślowymi. Pakiet może pracować jako jedna samodzielna jednostka centralna, lub może dzielić zadania z innymi pakietami jednostki centralnej.

Przewiduje się stosowanie pakietu MM87 między innymi w tych układach sterowania robotów, które realizują sterowanie adaptacyjne.

W prostych układach sterowania robotów przewiduje się wykorzystanie pakietu jednostki centralnej MM86 bez koprocесора numerycznego, o mniejszym koszcie dewizowym i niższej cenie wyrobu.

Dzięki dużym wewnętrznym zasobom pamięci programu pakietu MM87 układy sterowania robotów pracujących autonomicznie /bez powiązania z siecią lokalną/ nie muszą być wyposażone w pakiety rozszerzenia pamięci.

Pakiet MM87 może być również stosowany jako jednostka centralna stacji systemu automatyki kompleksowej INTEL DIGIT-PROJAY, przede wszystkim stacji w których występują duże zadania numerycznego przetwarzania danych, a konfiguracja pakietu, zasoby wewnętrzne i interfejsy odpowiadają potrzebom. W innych przypadkach jako jednostka centralna stacji mogą być stosowane pakiety typów MM80, MM85, MM16.

Konfiguracja, zasoby wewnętrzne i interfejsy pakietu MM87 są ściśle dostosowane do potrzeb układów sterowania robotami przemysłowymi i mogą nie odpowiadać optymalnie innym zastosowaniom.

2. Dane techniczne

2.1. Długość słowa danych - 16 bitów

2.2. Cykl /z rezonatorem kwarcowym OMIG RS-3011-14745,6 kHz/

- cykl zegara 203 ns

- częstotliwość zegara CLK - 4915,2 kHz

- częstotliwość zegara wewnętrznych układów peryferyjnych PCLK - 2457,6 kHz,

12

c.d. Zestawienia materiałów pakietu MM-87

1	2	3	4	5	6
31	1	Dioda	BAV1 10	D2	CEMI
32	1	Rozpętator kwarcowy	RS-3011-9394-kHz	D1	OMIG
33	1	"	RS-3011-147455 kHz	F2	OMIG
34	2	Rezystor	MET 0,12 100om 5%	R11, R12	OMIG
35	5	"	MET 0,125 1k 5%	R1, R2, R4 R6, R7	"
36	1	"	MET 0,12 2,2k 5%	R3	"
37	2	"	MET 0,126 4,7k 5%	R8, R9	"
38	2	"	MET 0,125 10k 5%	R5, R10	"
39	3	Kondensator	158D 33μ/25V	C1...C3	ELWA
40	2	"	168D 33μ/16V	C4, C5	"
41	5	"	KEPn 2,2μ/33V	C6	CERAD
42	7	"	KEPn 47μ/33V	C7...C11	"
43	8	Rezystor hydroc.	HRY 4150R	RH2...3, 8 17, 14	DOLAN
44	8	"	HRY 1101R	RH1, 7, 8, 10, 11, 12	DOLAN
45	2	Podstawka 40-tyk.	TX 782-5401	C5, C6	CSSR
46	8	" - 20-tyk.	TX 782-5231	G1...G8	"
47	5	" - 15-tyk.	TX 782-2161	A11, A12, C7, C9, C8	"
48	2	Złącze szufladowe	8.71.025.02.4.1. 1.001	C, D	ELTRA
49	2	Złącze pośrednie	8.11.026.02.3.5. 000.1	A, B	"
50	1	Płyta drukowana	MM-87 laminat TSE-2		PIAP
51	1	Pojemnik akumulatorów, płyta czołowa modułu K437	rys. 4724/9		PIAP
52	2	Akumulator nikielowo-kadmowy	KR 15/51		CENTRA

4. Zostawienie materiałów pakietu MM-87

Lp.	Ilość	Nazwa zespołu lub części	Cecha, znak, norma	Oznaczenie na rys.	Producent
1	2	3	4	5	6
1	1	Układ scalony	8086	C5	INTEL
2	1	- " -	8087	C6	- " -
3	2	- " -	UCY 7351	A5, A6	CEMI
4	2	- " -	8250A	B1, B2	INTEL
5	3	- " -	32 3	A9, C4, E6	- 7 -
6	3	- " -	8282	B9, C10, D5	- " -
7	1	- " -	82 4	E10	- " -
8	2	- " -	82L6	B9, D6	- " -
9	5	- " -	8287	C1, E7, E8, E9, E12	- " -
10	2	- " -	8288	B7, E2	- " -
11	1	- " -	8289	E1	- " -
12	2	- " -	KP 580 IK 53	A4, A10	ZSRR
13	1	- " -	UCY 74S424	D2	CEMI
14	3	- " -	75150	A1, A3, A8	Wagry
15	2	- " -	75154	A2, A7	Wagry
16	1	- " -	UCY 74S405	B3	CEMI
17	5	- " -	UCY 74S287	A11, A12, B6 C9, E3, E5	CEMI
18	1	- " -	UCY 7474	C2	- " -
19	1	- " -	UCY 7438	D3	- " -
20	3	- " -	UCY 7404	B4, D4, E13	- " -
21	1	- " -	UCY 7400	C4	- " -
22	1	- " -	UCY 7410	F1	- " -
23	1	- " -	UCY 7409	E11	- " -
24	1	- " -	UCY 74132	C3	- " -
25	1	- " -	UCY 7402	B5	- " -
26	4	- " -	2716 2732 zasilanie 2764 27128 27256	G3, G4, G7 G8	INTEL
27	2	- " -	8264	G1, G5	HITACHI
28	2	- " -	μPD 446	G2, G5	NEC
29	4	Tranzystor	BC 147	T1...T4	CEMI
30	2	Dioda german.	GD 507A	D1, D3	ZSRR

3.7. Układ arbitracji - rys. 4724/5.

Układ pozwala na szeregową i równoległą arbitrację dostępu do magistrali kasety. Funkcje arbitracji wykonuje układ E1 typu U289, który wydaje na magistralę sygnały arbitracji, a do kontrolera magistrali /układ E2/ a do bram adresów wydaje sygnał zezwolenia AEN. Sygnał LOCK, który daje dostęp do magistrali pochodzący z mikroprocesora może być złączeniowy krosem K6. W zastępstwie magistralę transmisyjną PROJAY działająca na LOCK nie jest dopuszczona i LOCK powinien być rozłączony.

Kontroler interfejsu magistrali kasety - układ E2 typu U206 wydaje na magistralę sygnały rozkazowe, a do bram danych i adresów sygnały sterujące DT/R, DEN i ALE.

W układzie arbitracji jest związany zegar magistrali. Układ zegara D2 typu 74S42 z rezonatorem kwarcowym D1 tworzy sygnał o częstotliwości 10 KHz który poprzez bramki D3 i kros K9 może być wydany na magistralę jako sygnały zegarowe SCLK i CCLK.

3.8. Interfejsy szeregowe i timery - rys. 4724/6.

Pakiet MM87 jest wyposażony w dwa identyczne kanały interfejsu szeregowego wg. standardu V.24. Każdy z nich zawiera układ typu MCY 7351 interfejsu szeregowego /A4 i A6/ oraz nadajniki i odbiorniki sygnałów interfejsu. Odbiorniki są układy typu 75154 /A2 i A7/. Nadajnikami są układy typu 75150 /A1, A3, A8/ z systematycznym zasilaniem $\pm 12V$ lub $\pm 15V$. Wzrost tych napięć, zależnie od wyposażenia stacji i zasilacza, jest dokonywany krosami K8 i K10. Kanał pierwszy korzysta ze złącza C, kanał drugi ze złącza D. Na obu złączach za pomocą zwory w złączu można można dostosować konwencję sygnału CTS do stosowanego urządzenia peryferyjnego. Dwa timery typu KP5301K53 /układy A6/A10/ korzystają z sygnału zegarowego o częstotliwości podzielonej przez dwójkę liczącą C2-9. Kanał 1 i 1 linia A8 obsługują układy interfejsu szeregowego. Kanał 2 jest podstawowym zegarem programowym, dzięki przetrzymaniu zegarowego priorytetu 2, zaś drugi kanał drugiego timera może być dowolnie wykorzystane.

Tab.3. Przerwania wewnętrzna

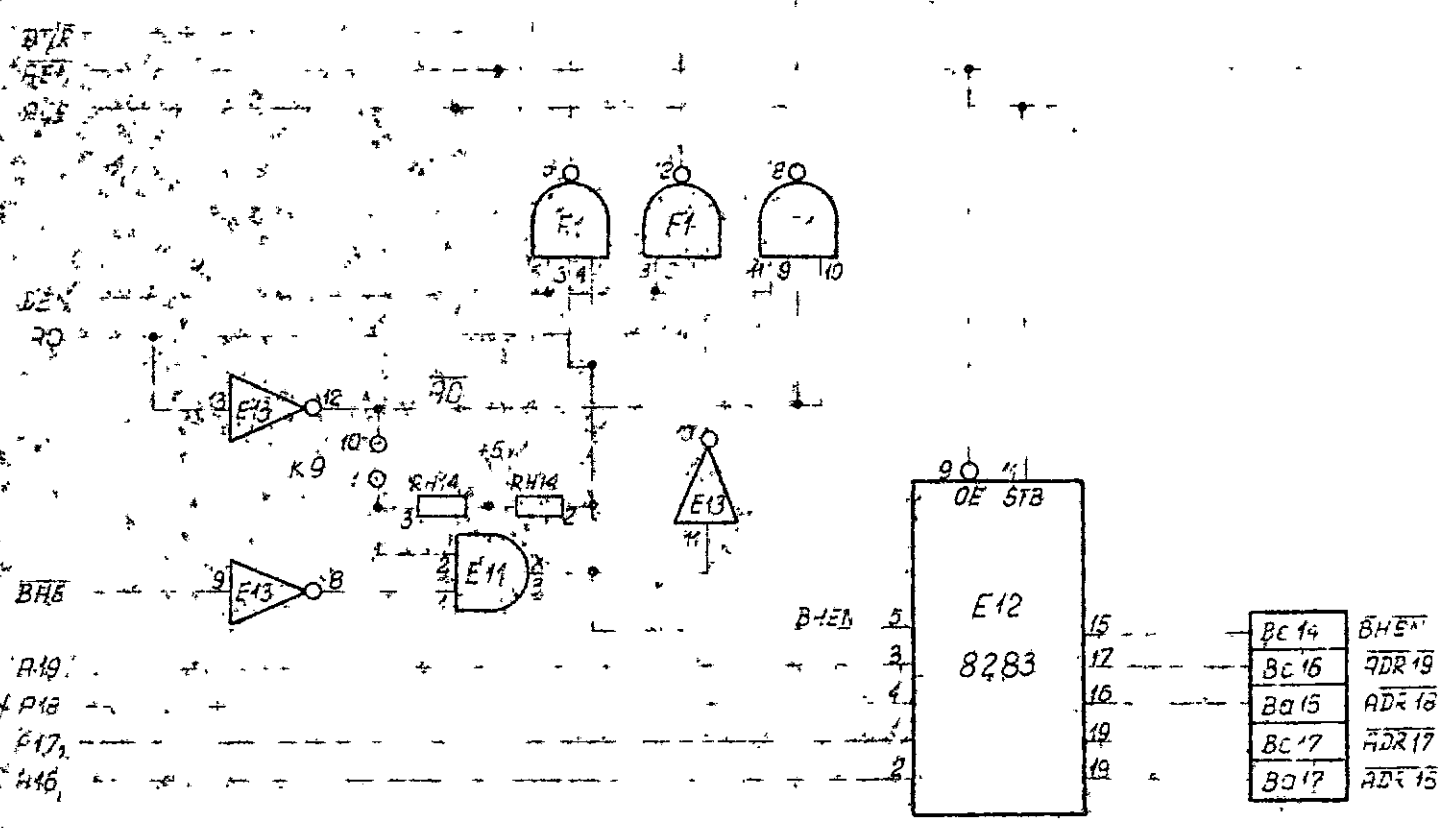
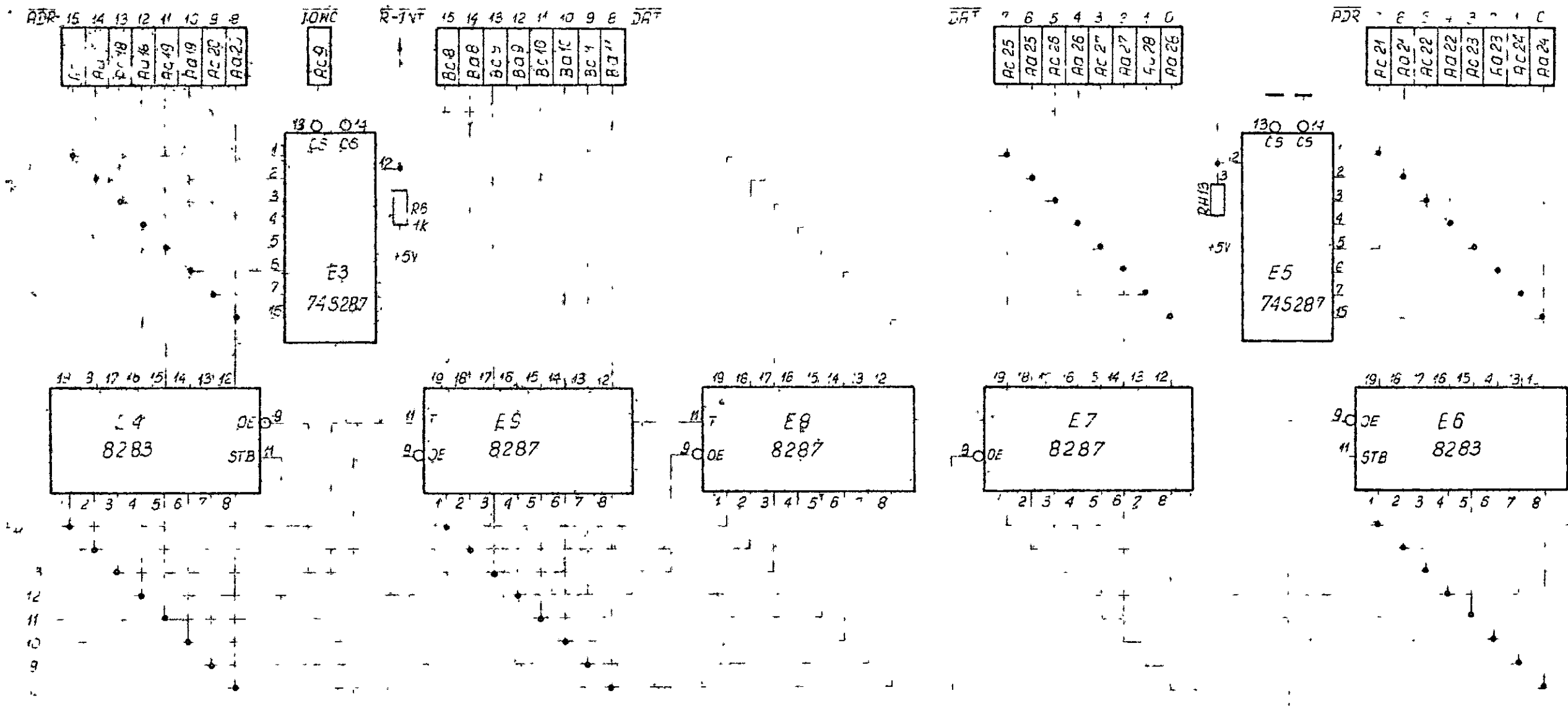
Przorytet	Sygnal
0	przekroczenie czasu operacji rejestracji PT'0
1	przerwanie koprocatora arytmetycznego
2	wyjście timera
3	RxRDY kanału szeregowego I
4	TxRDY kanału szeregowego I
5	RxRDY kanału szeregowego II
6	TxRDY kanału szeregowego II
7	wejście podrzędnego kontrolera przerwań /slave/

Do wejść drugiego kontrolera przerwań /slave/ mogą być w dowolnym porządku dołączone linie przerwań rejestracji kasety i linia BUDZIK, za pomocą krosu K2.

3.6. Prace danych i adresów - rys. 4724/5.

Blok stanowi główną część interfejsu rejestracji kasety i realizuje odmienne wymagania magistrali INTEL DIGIT-PROVA i ELERO 800.

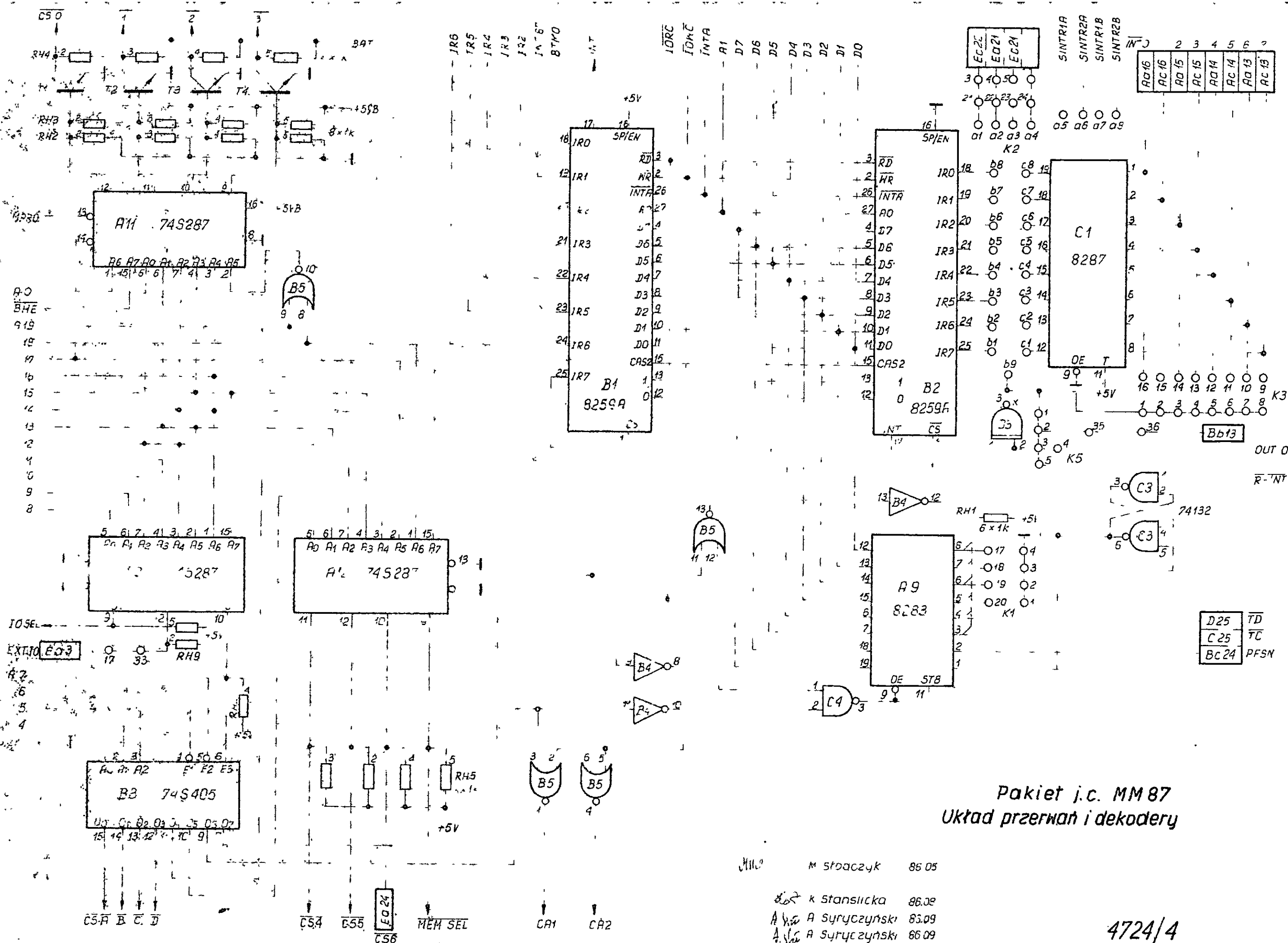
W torze adresów są wykorzystane trzy rejestry zatrząskowe E4, E5, E12 typu 8233. Sygnały adresu są wyprowadzane sygnałami sterującymi ALE, wyjście na magistralę kasety oznaczane jest sygnałem AEN. Do linii ADR15...ADRO rejestracji kasety jest dołączony dekoderek rozkazu zerowania R-INT przetrzutnika przerwania zewnętrznego - układy E3 i E5. W torze danych są wykorzystane trzy bramy E7, E8, E9 typu 8287, z których brama E8 dokonuje transferu bajtu końcowego przy rozkazach bajtowych wymaganiach magistrali ELERO 800. Układ logiczny złożony z bramek E1, E11-3 i negatorów umożliwia za pomocą jednego krosu K9 1-10 dokonanie wyboru typu magistrali. Zmianie ulega tor przekazów bajtowych i konwencja sygnału BHEN zezwolenia przekazu po liniach starszego bajtu danych.



**Pakiet j.c. MM 87
Bramy danych i adresów**

- ul. A Syryczyński 85.05
- zst. K Stralsicka 86.06
- Miast. M Srodzyski 85.09
- ul. S. 9 Syryczyński 85.09
- ul. S. 510 "C" 86.09

4724/5

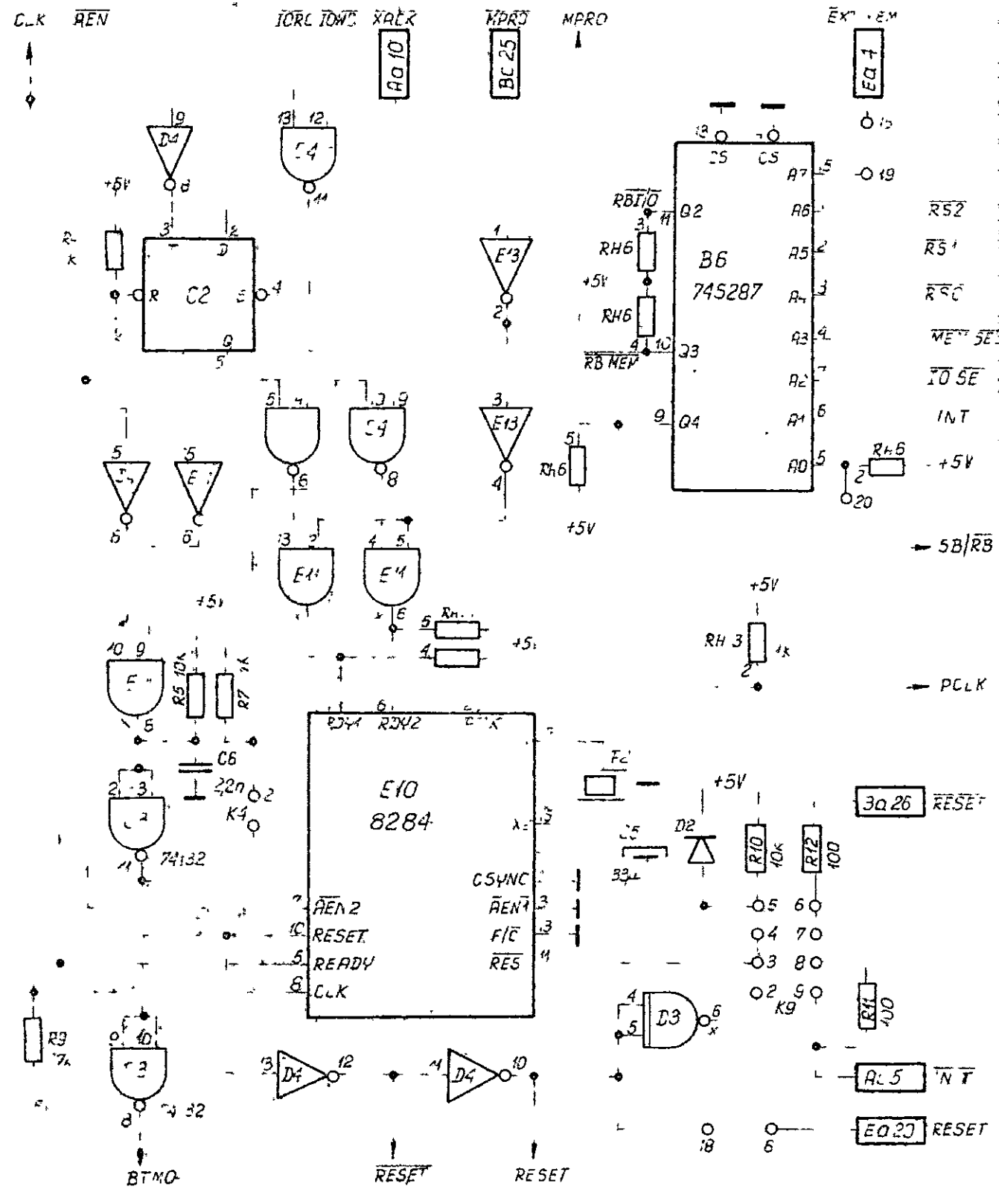
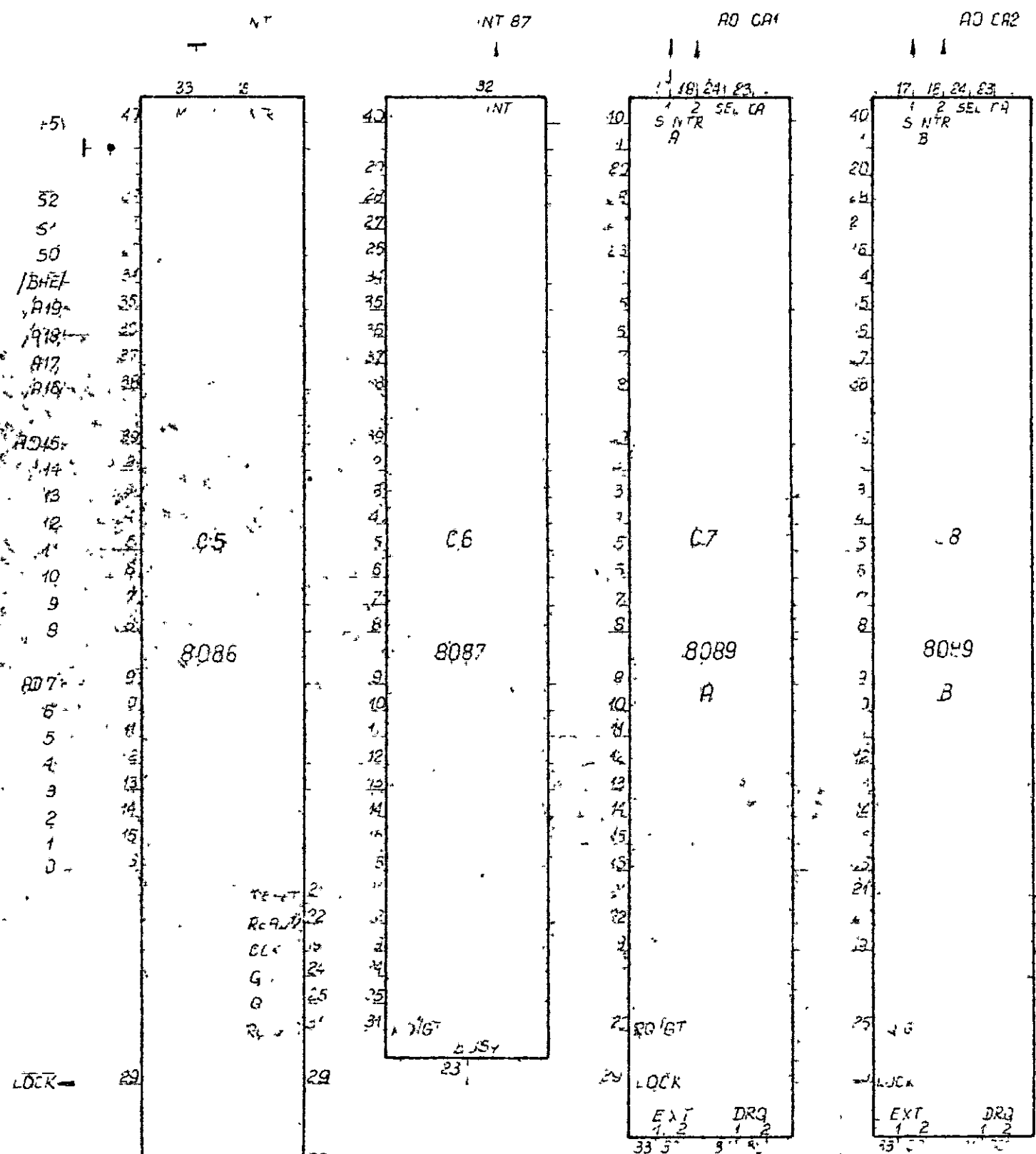


Pakiet j.c. MM87
Układ przerwań i dekodery

Mil.º	M. Słodczyk	85.05
A. Słodczyk	K. Stanslicka	86.08
A. Słodczyk	A. Syryczyński	85.09
A. Słodczyk	A. Syryczyński	86.09
A. Słodczyk	M. Słodczyk	86.09

4724/4

JAE



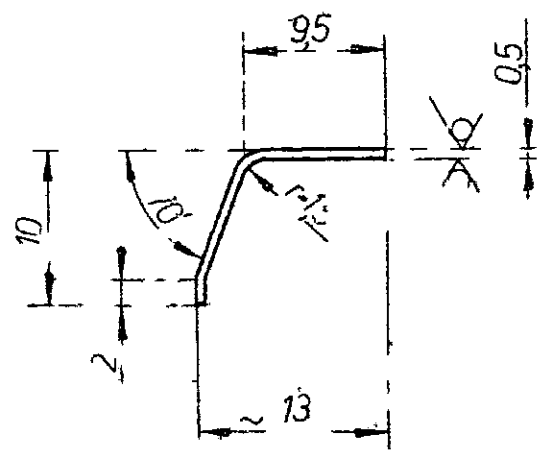
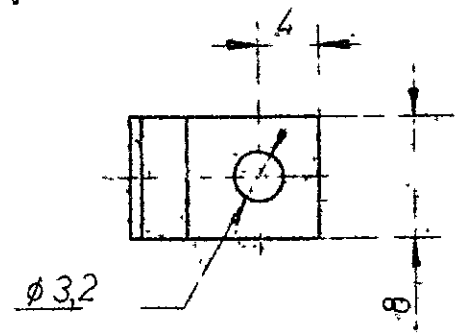
**Pakiet IC MM87
Procesory**

1. A 5V, C2, 5K, 5.25
 2. A stars 1.0 86.08
 3. A stars 1.0 86.09
 4. A stars 1.0 86.09
 5. A stars 1.0 86.09

4724/1

JAE

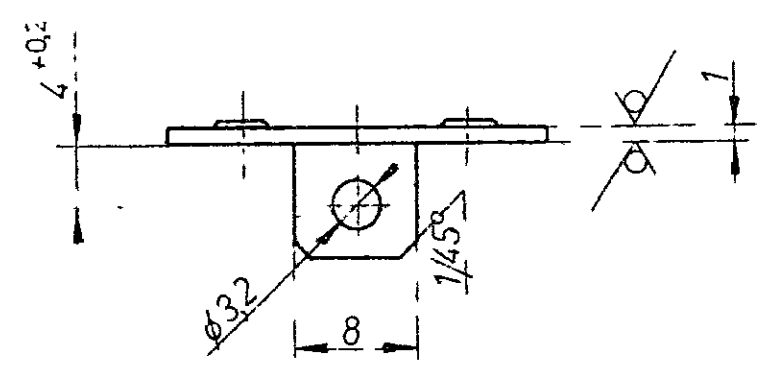
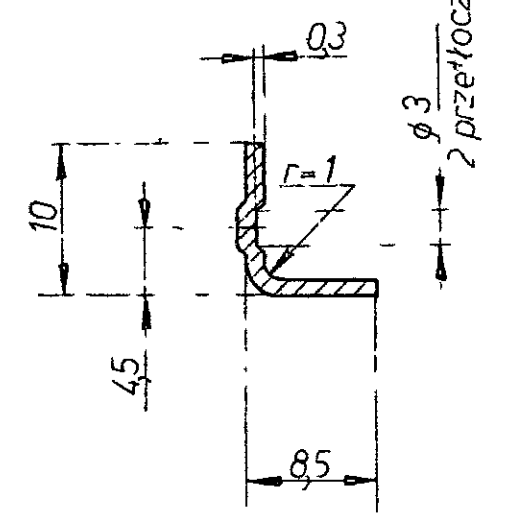
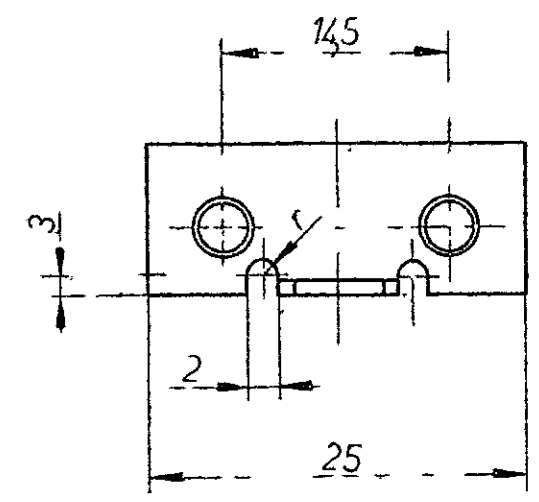
Wymiary	Odchyłki



Ostre krawędzie stepić.

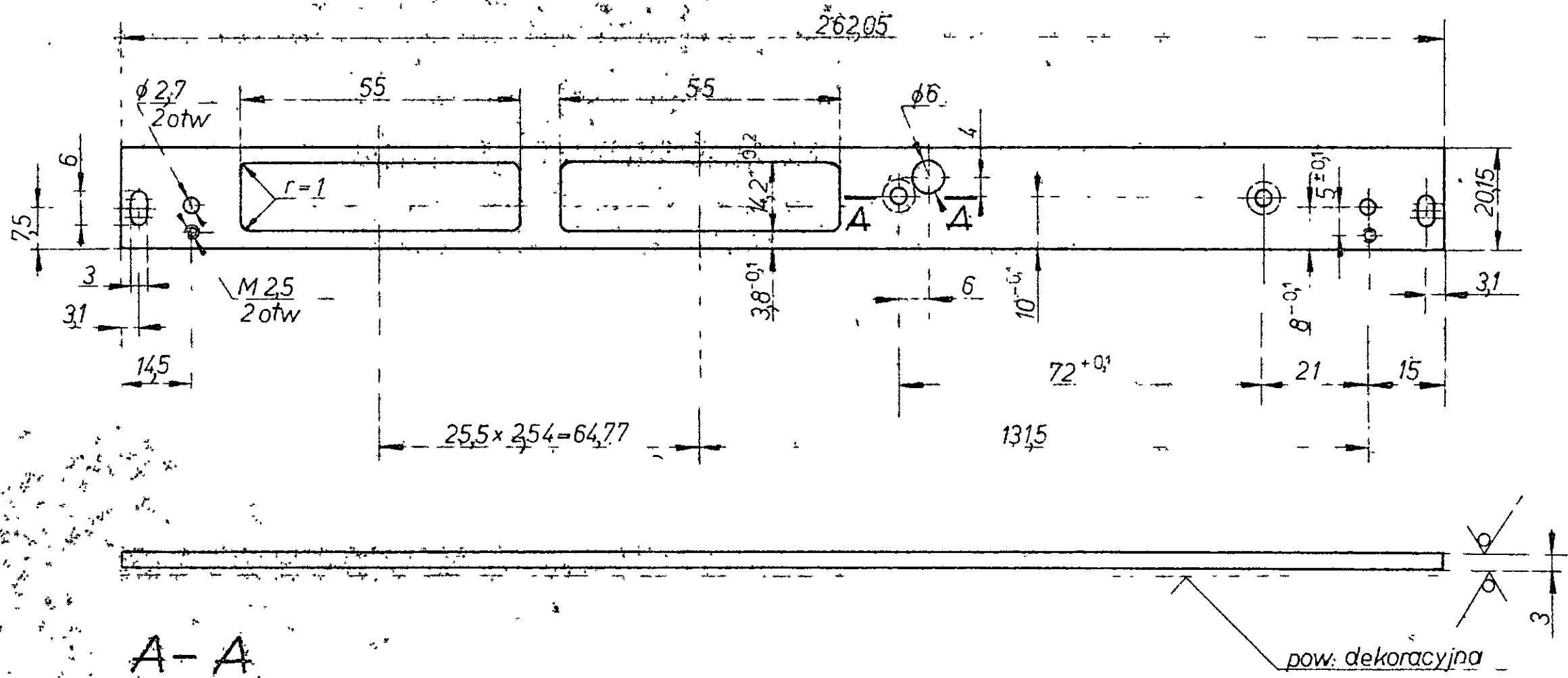
№ części lub zespołu	Wzrost	Nazwa	№ rys.	Lv. Bl.
		Styk I		Podzbiórka 1
		Taśma B7-05		Zsp. 1
		Pracownia Inżynierska Automatyki i Pomiarów Warszawa	№ rysunku 4724/13	№ zęba 4
		OAE		

Wymiary	Odchyłki

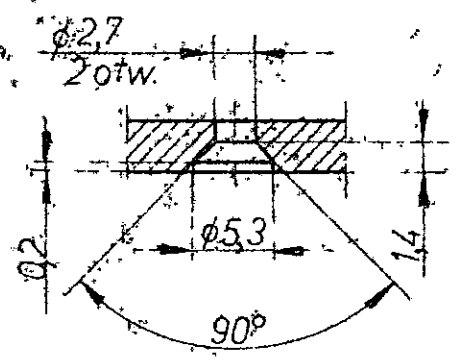


Ostre krawędzie stepić.

№ części lub zespołu	Wzrost	Nazwa	№ rys.	Lv. Bl.
		Styk II		Podzbiórka 21
		Blacha M63#1		Zsp. 1
		Pracownia Inżynierska Automatyki i Pomiarów Warszawa	№ rysunku 4724/14	№ zęba 5
		OAE		



A-A
2 1

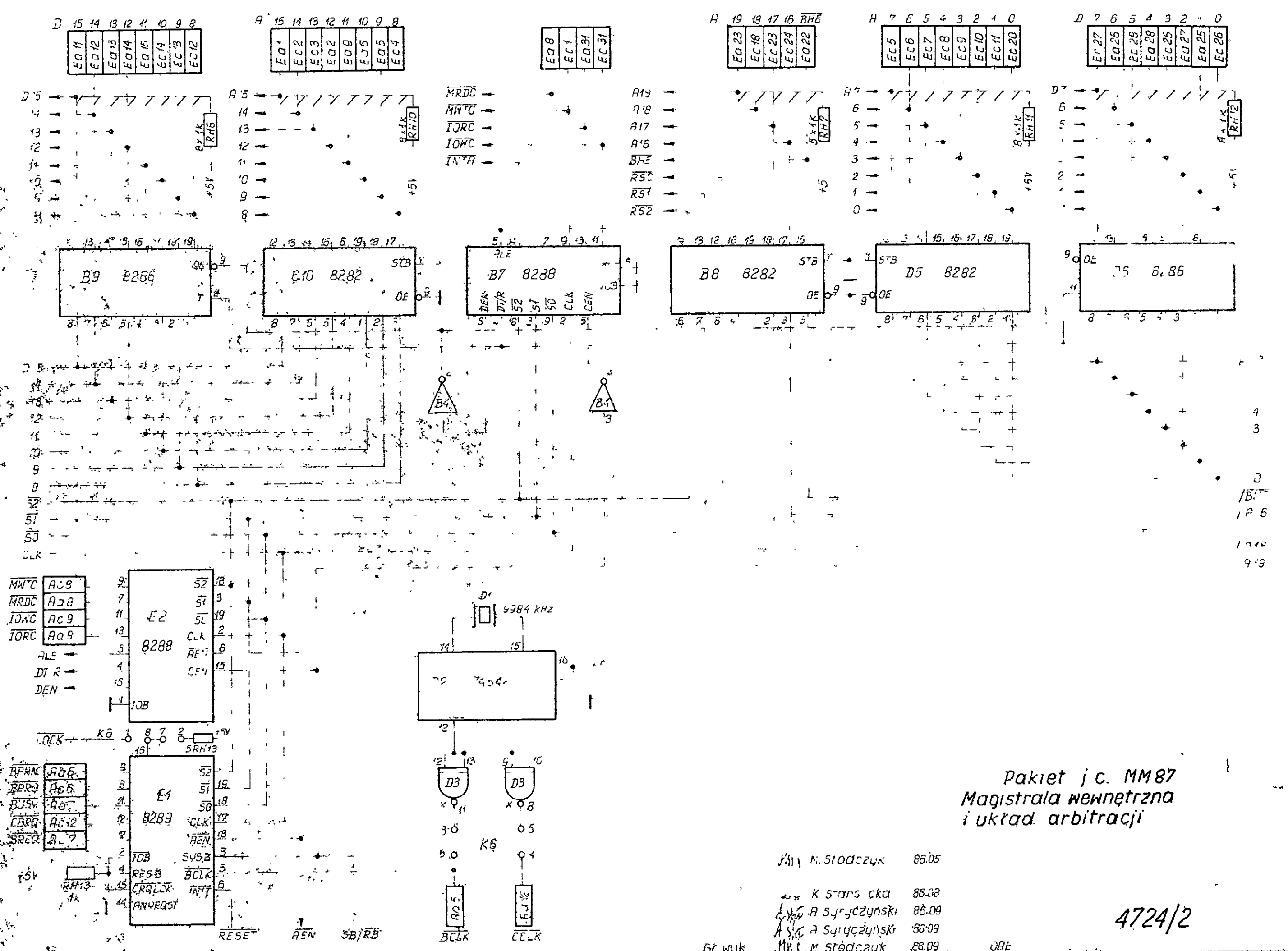


Uwaga
 Ostre krawędzie stępie $r \approx 0,25\text{mm}$
 Chrośnięta powierzchnia - nie dopuszcza się rys, plam pogarszających wygląd estetyczny
 Anodować Al/An 5u wg PN-67/H-97023

Nr części lub zespołu		Nazwa		Pr. ark.		Uwagi	
		Płyta czołowa pakietu MM87				Podziałka 1 1	
						Ciepł.	
Projektował		Treść zmiany		Podpis		Data	
Kontrolował		Zaw. J. Bartoszek		8607		Materiał	
Kierownik		Olga L. Ojrzyńska		8607		Płyta modułu	
Kier. Prac.						6U-T 22,3	
Kier. Zakł.						Zaw. ryz. Nr	
						Zastąpić przez ryz. Nr	
						Nr ark. 3	
						Nr rys. zast. ZSP	
						Nr części	
						1	
						4724/10	
						OAE	

Nr zespołu lub części	Liczba sztuk na wyrob	Nazwa zespołu lub części	Nr skrzynki	Norma lub numer i cecha rysunku	Ciężar sztuki w kg	Materiał do zamawiania		UWAGI
						Nazwa, znak, norma	Postać i wymagania	
Zsp	1	Rys. zestawieniowy pakietu MM-87						
Zab1	1	Pojemnik akumulatorów Zsp						
1	1	Płyta czołowa modułu				Płyta modułu GU - T 22,3		
2	1	Pokrywa pojemnika				Blacha PA2N #2 PN-75/H-92741		
3	1	Pojemnik				Ternamid		
4	2	Styk I				taśma B7 # 0,5		
5	1	Styk II				Blacha MG3 #1		
01	2	Wkręt M3x10		PN 74/M-82209				
02	2	Końcówka lutowicza KPL - H7						
03	3	Wkręt M3x5		PN 74/M-82227				
04	4	Wkręt M3x8		PN 74/M-82213				
05	2	Akumulator nikielowo-kadmowy KR15/51						

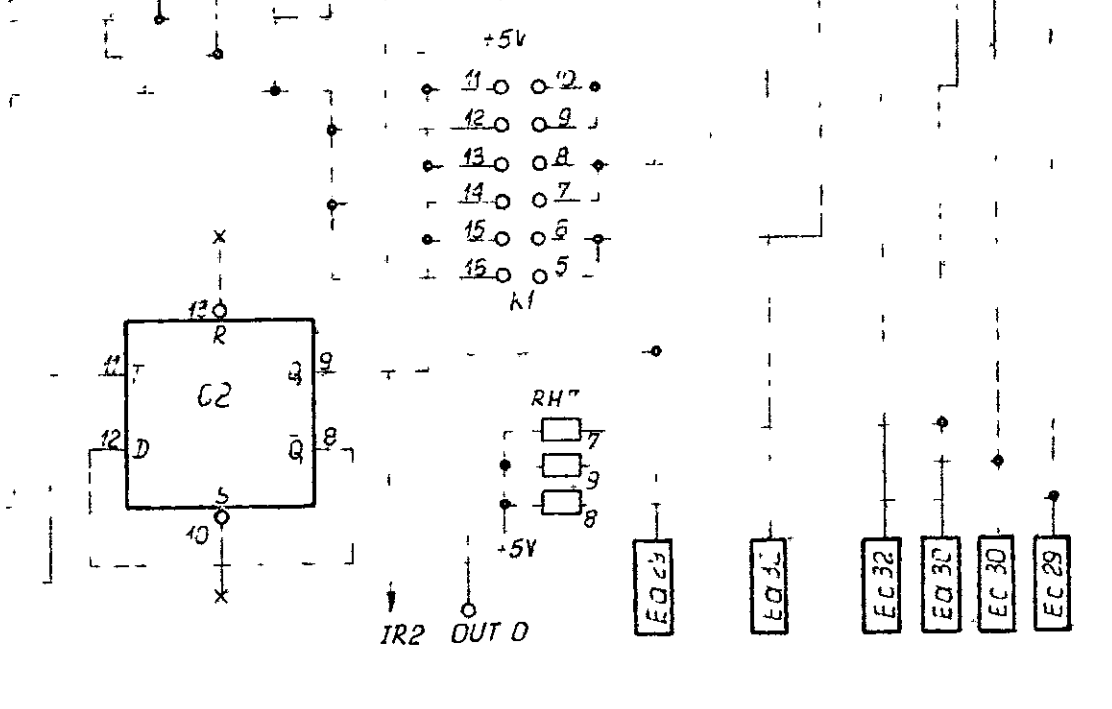
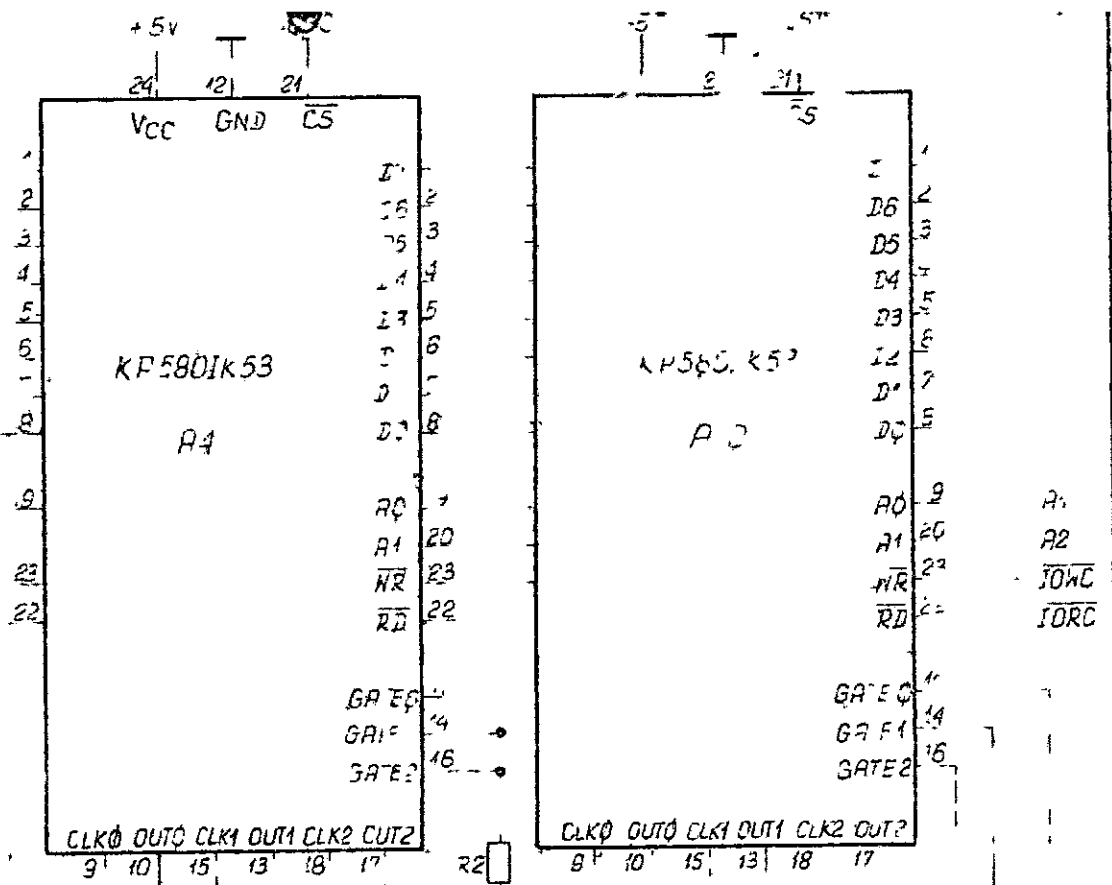
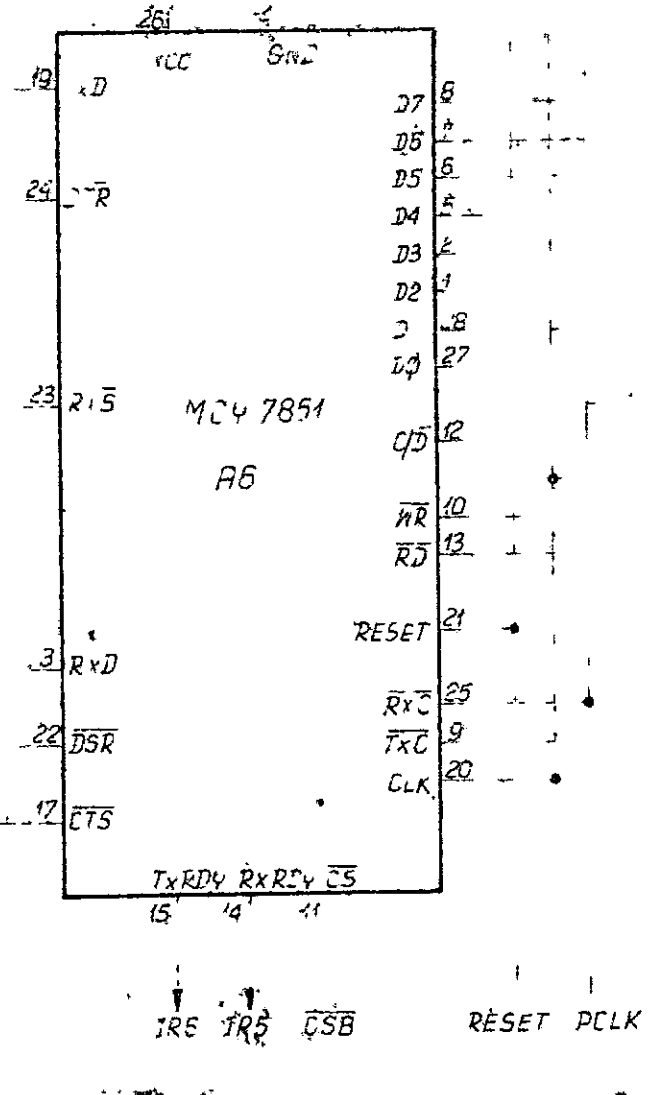
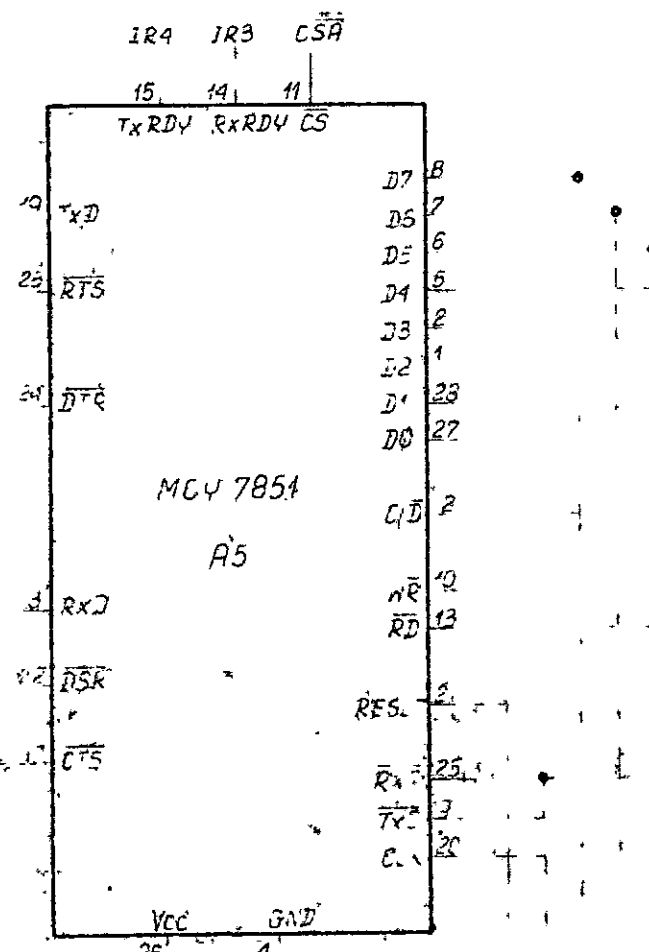
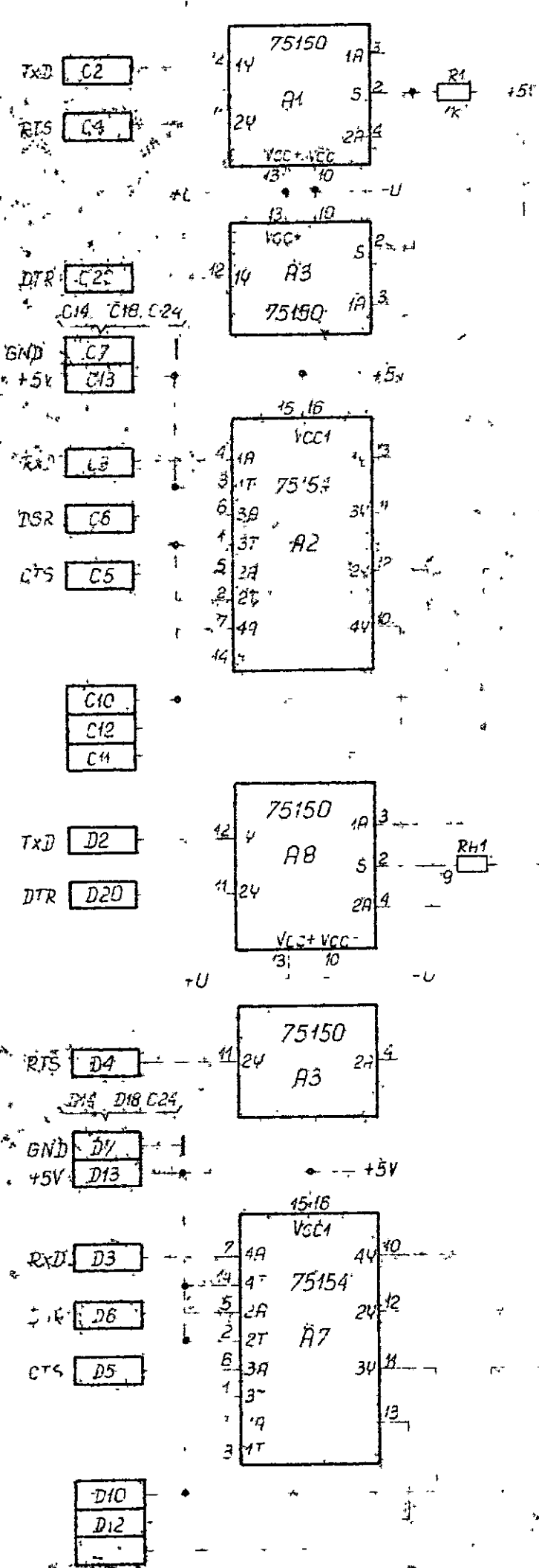
					Podpis		Nazwa		Zastępca rys. Nr	
					Opracował	Boł. Bartaszk 86.07		Pakiet MM-87		Zastąpiony przez rys. Nr
					Kreślił			Przemysłowy Instytut Automatyki i Pomiarów Warszawa		Arkusz 1
					Sprawdził			Nr rys. 4724		Arkuszy 1
					Kier. Zakł.			Zakład OAE		



Pakiet j.c. MM87
Magistrala wewnętrzna
i układ arbitracji

M. Stodczyk	86.05
K. Stanczyk	86.08
A. Syrczyński	86.09
A. Syrczyński	86.09
M. Stodczyk	86.09

4724/2



Pakiet i c. MM87
Interfejsy szeregowo i timery

Milij M Srod. zyk 6605
28 - k Stans cka 6608
A1 - A Synchronski 6609
A2 - A Synchronski 6610