

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW
MERA-PIAP
Al. Jerozolimskie 202 02-222 Warszawa Telefon 23-70-81

OŚRODEK AUTOMATYKI ELEKTRYCZNEJ

074

Zespół Budowy Cyfrowych Urządzeń Systemowych

A

Główny wykonawca. dr inż. A. Syrczyński

Wykonawcy mgr inż. M. Partyka, mgr inż. T. Kacprowski
mgr inż. M. Słodczyk

Konsultant

Nr zlecenia
RP-58.1

Cel nr 58

Urządzenia do sterowania i diagnostyki
układów sterowania oraz podzespołów
układu sterowania robotów przemysłowych
IRp.

Temat. Tester uruchomieniowy pakietów
j.c 16-bitowych
Nr zadania 1.5
Instrukcja użytkownika testera MT86.

Zlecniodawca CPBR 7.1

Pracę rozpoczęto dnia 87.07.01

Kierownik Zespołu

dr inż. A. Syrczyński

zakończono dnia 87.09.30

Kierownik Ośrodka

prof. dr inż. T. Miszala

Praca zawiera:

stron 32

rysunków 1

fotografii

tabel 5

tablic

załączników

Rozdzielnik - ilość egz:

Egz. 1 BOINTE

Egz. 2 OAE-3

Egz. 3 WA

Egz. 4 OAE-8

Egz. 5 OAE-8

Egz. 6 WA

Nr rejestr. 5938

Analiza deskryptorowa

URZĄDZENIA AUTOMATYCZNEJ REGULACJI
I STEROWANIA; ROBOTY PRZEMYSŁOWE, TESTOWANIE

Analiza dokumentacyjna

Instrukcja eksploatacji testera MT86 zawiera wymagania sprzętowe do uruchamiania pakietów j.c 16-bitowych MM86, Opis testów uruchomieniowych i diagnostycznych, oraz instrukcję uruchamiania i sprawdzania.

Tytuły poprzednich sprawozdań

DOKUMENTACJA PROTOTYPU TESTERA MT 86

Nr arch. 4764.

UKD

62-5 Sterowanie i regulacja

338.45:62/69].002.1/2

Roboty przemysłowe

PIAP-252/63-6000

2

SPIS TRESCI

1.	Wymagania sprzętowe przy stosowaniu testera	
	MT86	- 3
1.1.	Konfiguracja sprzętowa do uruchamiania	- 3
1.2.	Połączenia krosowe na pakiecie MM86	- 3
1.2.1.	Krosy A6 i A7	- 3
1.2.2.	Kros B7	- 4
1.2.3.	Krosy H2 i H3	- 4
1.2.4.	Kros K16	- 4
1.3.	Połączenia niestandardowe na magistrali	
	kasety	- 4
1.4.	Kable łączące MT86 z MM86	- 5
1.4.1.	Sonda mikroprocesora	- 5
1.4.2.	Kabel interfejsu szeregowego	- 7
1.4.3.	Kabel interfejsu równoległego	- 7
2.	Opis testów	- 9
2.1.	Test globalny	- 10
2.2.	Testy repetycyjne	- 11
2.2.1.	Testy komunikacji z pamięcią	- 11
2.2.2.	Testy komunikacji z bramami I/O	- 11
2.2.3.	Testy sygnałów RESET, PFIN, PFSN, TEST, MPRO, BPRN, BUSY, LOCK, OP. INT	- 12
2.2.4.	Testy układu 8251	- 12
2.2.5.	Testy układu 8253	- 13
2.2.6.	Testy układu 8255	- 13
2.2.7.	Testy układu przerwań	- 14
2.3.	Testy diagnostyczne sygnałów	- 14

2.3.1.	Test wszystkich sygnałów	- 14
2.3.2.	Test sygnału RESET	- 15
2.3.3.	Test sygnału PFIN	- 15
2.3.4.	Test sygnału PFSN	- 15
2.3.5.	Test sygnału TEST	- 15
2.3.6.	Test sygnału MPRO	- 16
2.3.7.	Test sygnału BPRN	- 16
2.3.8.	Test sygnału BUSY	- 16
2.3.9.	Test sygnału LOCK	- 17
2.3.10.	Test sygnału BTMO	- 17
2.3.11.	Test dekodera adresów wewnętrznych	- 17
2.3.12.	Test przekazów po magistrali	- 18
2.4.	Testy diagnostyczne bloków	- 19
2.4.1.	Test wszystkich bloków	- 20
2.4.2.	Test pamięci RAM	- 20
2.4.3.	Test pamięci EPROM	- 21
2.4.4.	Test układu 8251	- 21
2.4.5.	Test układu 8255	- 23
2.4.6.	Test układu przerwań.	- 23
3.	Instrukcja uruchamiania i sprawdzania	- 24
3.1.	Zalecenia montażowe	- 24
3.2.	Czynności wstępne przed uruchamianiem	- 25
3.3.	Uruchamianie i sprawdzanie pamięci wewnętrznej	- 26
3.3.1.	Pamięć EPROM	- 26
3.3.2.	Pamięć RAM	- 27
3.4.	Uruchamianie i sprawdzanie układu przerwań	- 27
3.5.	Uruchamianie i sprawdzanie układu transmisji	- 28
3.6.	Uruchamianie i sprawdzanie interfejsu równoległego	- 28
3.7.	Uruchamianie i sprawdzanie układu 8253	- 28
3.8.	Uruchamianie i sprawdzanie interfejsu magistrali kasety	- 29

1. WYMAGANIA SPRZETOWE PRZY STOSOWANIU TESTERA MT86

1.1. Konfiguracja sprzętowa do uruchamiania

Konfigurację stanowiska uruchomieniowego dla pakietów j.c. 16-bitowych przedstawiono w dokumentacji testera MT86 na rys. nr 4764/6. Stanowisko to zawiera:

- magistralę kasety MF31
- pakiet testera MT86
- przedłużacz magistrali kasety MG71
- pakiet pamięci ML50
- pakiet kontroli magistrali MW32

Uruchamiany pakiet j.c. 16-bitowej MM86 dołączany jest do stanowiska uruchomieniowego poprzez przedłużacz MG71 oraz trzy kable (punkt 1.4).

Ponadto do uruchamiania pakietu MM86 niezbędne są następujące przyrządy i materiały:

- monitor ekranowy np. MERA 7953N
- oscyloskop
- częstotściomierz cyfrowy np. KZ2025B
- DTR pakietu MM86 nr arch. 4680
- karty katalogowe układów scalonych firmy INTEL typu: 3601, 8205, 8226, 8282, 8284, 8287, 8251, 8253, 8255, 8258, 8086
- katalog układów TTL

1.2. Połączenia krosowe na pakiecie MM86

Przed przystąpieniem do uruchamiania należy wykonać odpowiednie połączenia krosowe na pakiecie MM86.

1.2.1. Krosy A6 i A7 bramy C interfejsu równoległego.

W krosie A6 należy połączyć styki: 1-12, 2-11, 3-10,

4-9, 5-16, 6-15, 7-14, 8-13.

W krosie A7 należy połączyć styki: 1-16, 2-15, 3-14, 4-13, 5-12, 6-11, 7-10, 8-9.

Bity PC0...PC3 są ustawiane krosiem A7 jako wejścia, natomiast bity PC4...PC7 są ustawiane krosiem A6 jako wyjścia.

1.2.2. Kros B7

W krosie B7 należy wykonać połączenia: 2-15, 5-12; pozostałe styki muszą być rozwarte.

1.2.3. Krosoy H2 i H3 układu przerwań

W teście diagnostycznym układu przerwań (punkt 2.4.6) należy połączyć w krosie H2 styki 1-16, 2-15, 3-14, 4-13, 5-12, 6-11, 7-10, 8-9 i w krosie H3 styki 2-15, 3-14, 4-13, 5-12, 6-11, 7-10, 8-9.

W teście repetycyjnym układu przerwań (punkt 2.2.7.) wszystkie styki krosu H2 i H3 powinny być rozwarte. W trakcie testu operator może jedynie łączyć styk H3-6 (INT.C2) z kolejnymi wejściami układów 8259A tzn. ze stykami 9...16 krosu H2 i 9...15 krosu H3.

1.2.4. Kros K16

W krosie K16 należy wykonać połączenia: 4-13, 6-11, 7-10, 8-9. Pozostałe styki krosu K16 są rozwarte.

1.3. Połączenia niestandardowe na magistrali kasety

Stanowisko uruchomieniowe zawierające tester MT86 powinno

mieć wykonane połączenia niestandardowe na magistrali kasety wg. tabeli 1.

Tabela 1.

Nazwa sygnalu	Stanowisko MW32	Stanowisko MM86	Stanowisko MT86
RESET	Ba26	-	Ba26
BPRO	-	Ac6	Ac6
BTMO	-	Ba25	Ba25
RESET	-	Ba26	Bc26
TEST	-	Ba22	Ba22
OP. INT	-	Bc23	Bc23
BPRN	-	Aa6	Aa6

1.4. Kable łączące MT86 z MM86

1.4.1. Sonda mikroprocesora

Sonda mikroprocesora 8086 wykonana jest w postaci kabla zakończonego z jednej strony podstawką 40-stykową wkładaną do podstawki H5 mikroprocesora na pakiecie MM86, a z drugiej strony złączem pośrednim 64-stykowym wkładanym do złącza F testera MT86. Wykaz połączeń kabla sondy przedstawiono w tabeli 2.

Tabela 2.

Nr styku złącza F	strona b złącza F		strona a złącza F	
	nr styku	nazwa	nr styku	nazw
	H5	sygnału	H5	sygnału
1	1	GND	23	TEST/
2	20	GND	21	RST
3	-	GND	17	NMI
4	-	GND	9	AD7
5	-	GND	10	AD6
6	-	GND	11	AD5
7	-	GND	16	AD0
8	-	GND	15	AD1
9	-	GND	14	AD2
10	-	GND	13	AD3
11	-	GND	12	AD4
12	-	GND	25	ALE
13	-	GND	24	INTA/
14	-	GND	26	DEN/
15	-	GND	18	INTR
16	-	GND	27	DT/R
17	-	GND	28	M/IO
18	-	GND	29	WR/
19	22	GND	32	RD/
20	-	GND	36	A18
21	-	GND	37	A17
22	-	GND	38	A16
23	-	GND	34	BHE/
24	-	GND	8	AD8
25	-	GND	7	AD9
26	-	GND	6	AD10
27	-	GND	5	AD11
28	-	GND	4	AD12
29	-	GND	3	AD13

30	-	GND	2	AD14
31	-	GND	39	AD15
32	-	GND	35	A19

1.4.2 Kabel interfejsu szeregowego

Opis kabla łączącego interfejs szeregowy pakietu MMB6 z testerem MT86 zawiera tabela 3.

Tabela 3.

Złącze D w MT86		Złącze C w MMB6	
Nazwa sygnału	Nr styku	Nazwa sygnału	Nr styku
TxD	D2	RxD	C3
RTS	D4	DSR	C6
DTR	D20	CTS	C5
RxD	D3	TxD	C2
DSR	D6	RTS	C4
CTS	D5	DTR	C20
GND	D7	GND	C7

W obu złączach C i D w tym kablu należy połączyć ze sobą styki 11 i 12. Ponadto w złączu C pakietu MMB6 należy połączyć ze sobą styki 24 i 25.

1.4.3. Kabel interfejsu równoległego

Opis kabla łączącego złącza D i E pakietu MMB6 ze złączem E pakietu testera MT86 znajduje się w tabeli 4.

Tabela 4.

Złącze E w MT86		Złącza D i E w MMB6	
Nazwa sygnału	Nr styku	Nazwa sygnału	Nr styku
PA7	E3	PB7	E5
PA6	E16	PB6	E6
PA5	E2	PB5	E7
PA4	E15	PB4	E8
PA3	E4	PB3	E9
PA2	E5	PB2	E10
PA1	E17	PB1	E11
PA0	E18	PB0	E12
PB7	E9	PA7	D8
PB6	E22	PA6	D6
PB5	E23	PA5	D1
PB4	E24	PA4	D3
PB3	E25	PA3	D4
PB2	E13	PA2	D2
PB1	E12	PA1	D5
PB0	E11	PA0	D7
PC7	E6	PC7	D12
PC6	E19	PC6	D11
PC5	E7	PC5	D10
PC4	E20	PC4	D9
PC3	E10	PC3	E1
PC2	E1	PC2	E4
PC1	E21	PC1	E3
PC0	E8	PC0	E2
GND	E14	GND	E13, D13

W obu złączach D i E pakietu MMB6 należy połączyć ze sobą styki 24 i 25.

2. OPIS TESTÓW

Oprogramowanie testera MT86 znajduje się w pamięci EPROM i zajmuje obszar od FC000 do FFFFF. W skład tego oprogramowania wchodzi adaptowany program Monitora Operatorskiego pakietu MMB7 (opis - patrz opracowanie PIAP nr rej. 5767) oraz zestaw programów testujących pakiet MMB6. Testy uruchamiane są dyrektywą G Monitora Operatorskiego od adresu FC00:0. Program Monitor ustawia wstępnie zawartość rejestrów CS i IP na adres początku testów, tak więc wystarczy podanie samej nazwy dyrektywy G zakończonej znakiem powrotu karetki <CR>, aby uruchomić oprogramowanie testowe. Monitor Operatorcki umożliwia, gdyby w trakcie eksploatacji testera zaszła taka potrzeba, rozszerzenie zestawu testów, oraz wykorzystanie testera do uruchamiania oprogramowania użytkowego pakietu MMB6.

W skład testów uruchomieniowych pakietu MMB6 wchodzi programy o charakterze repetycyjnym służące do oscyloskopowej obserwacji wybranych sygnałów oraz programy o charakterze diagnostycznym sprawdzające wybrane sygnały, bloki układowe i funkcje pakietu MMB6. W zestawie znajduje się też test globalny pakietu sprawdzający wszystkie sygnały, bloki i funkcje. Wykryte w testach diagnostycznych błędy sygnalizowane są odpowiednimi komunikatami.

W celu ułatwienia obsługi operatorskiej, testy połączone są w grupy tematyczne. Wybór grup testów, a następnie poszczególnych testów odbywa się poprzez podanie jednej z opcji z Menu aktualnie wyświetlanego na ekranie. Grupy testów mają strukturę drzewiastą. Jej schemat przedstawia rys. 1.

Testy sygnałów, testy diagnostyczne oraz test globalny mają charakter diagnostyczny. Podział na testy sygnałów i testy diagnostyczne dokonany został, dla ograniczenia

M

wielkości menu wyświetlanych na ekranie. Testy sygnałów sprawdzają pojedyncze tory sygnałowe i pojedyncze operacje pakietu MMB6 natomiast testy diagnostyczne sprawdzają całe bloki układowe takie jak pamięci i interfejsy.

Przy współpracy z operatorem przyjęto następujące zasady:

- podanie kropki przy wyborze jednej z opcji z Menu powoduje przejście do Menu wyższego poziomu. Podanie kropki w Menu Głównym kończy testy uruchomieniowe i uruchamia Monitor Operatorski;

- każdy test można przerwać w dowolnym momencie po uruchomieniu podając z klawiatury znak CTRL/Z (kod 1AH);

- wprowadzane do testu dane należy kończyć znakiem powrotu karetki <CR>. Dane wprowadzane są jako cyfry heksadecymalne. Adres pamięci można podawać jako segment i oddzielony znakiem dwukropka offset lub jako sam offset. W tym ostatnim przypadku adresowanie odbywać się będzie względem segmentu o wartości 0. Podanie w danych znaku kropki powoduje powrót do Menu, z którego test został wywołany;

- każdy błąd wykryty w teście o charakterze diagnostycznym sygnalizowany jest odpowiednim komunikatem. W bardziej złożonych testach występuje też zapytanie czy należy kontynuować testowanie;

- wszystkie nazwy sygnałów i adresy odnoszą się do pakietu MMB6, a nie do pakietu testera MT86.

2)1. Test globalny

Test ten sprawdza wszystkie sygnały, bloki i funkcje pakietu MMB6. Jest połączeniem testów sygnałów i testów diagnostycznych. Po uruchomieniu operator podaje ilość pętli wykonywania testu jako liczbę z zakresu 1-FFFF. Przyjmuje się, że dla uznania pakietu MMB6 za sprawny wystarcza bezbłędne trzykrotne wykonanie testu globalnego co trwa około 30 minut.

2.2. Testy repetycyjne

Wszystkie testy repetycyjne (z wyjątkiem testów układu 8253) mają charakter nieskończonych pętli programowych i służą do oscyloskopowych obserwacji przebiegów sygnałów pakietu M86. Każdy test można przerwać znakiem CTRL/Z - następuje wtedy powrót do Menu testów repetycyjnych.

2.2.1. Testy komunikacji z pamięcią

Grupa ta obejmuje operacje 8-mio i 16-to bitowych komunikacji z pamięcią w kierunku zapis, odczyt oraz zapis/odczyt. Adres komórki pamięci podaje operator w formacie:

segment:offset <CR>

Segment i znak dwukropka można pominąć. Następuje wtedy komunikacja z pamięcią w segmencie zerowym. Adres podaje się z punktu widzenia przestrzeni adresowej pakietu M86, np. dla komunikacji z pierwszą komórką RAMu wewnętrznego należy podać adres 0:0<CR> lub tylko 0<CR>.

W testach, w których dokonywany jest zapis do pamięci (testy o numerach 1-4) należy także podać zapisywane dane.

2.2.2. Testy komunikacji z urządzeniami I/O

Grupa ta obejmuje 8-mio i 16-to bitowe operacje komunikacji z portami umieszczonymi w przestrzeni adresowej I/O dla kierunku zapis i odczyt. Adres bramy oraz dane (dla zapisu) podaje operator z klawiatury monitora ekranowego.

2.2.3. Testy sygnałów RESET, PFIN, PFSN, TEST, MPRO, BPRN, BUSY, LOCK, OP_INT

Testy te (o numerach 3-B w Menu testów repetycyjnych) polegają na naprzemiennym wystawianiu i zerowaniu wybranego sygnału. Okres powtarzania wynosi około 250 μ s.

2.2.4. Testy układu 8251

Testy te wymagają połączenia złącza C pakietu MMB6 ze złączem D pakietu testera MT86. Kabel połączeniowy opisany jest w punkcie 1.4.2. Na początku testów programowany jest licznik nr 0 układu timera 8253 (na generowanie fali prostokątnej - podział przez 16), tak aby szybkość transmisji wynosiła 4800 bodów. W testach transmitujących dane (testy nr 1 i 2) wprowadza się je jednorazowo z klawiatury.

Test nr 1 polega na odbieraniu danych wysyłanych przez tester. Do układu 8251 wpisywane jest słowo Command zezwalające na odbiór oraz zdejmujące sygnał DTR co ustawia sygnał CTS w testerze w stan 'low' - zezwala na nadawanie. Program czyta w pętli słowo stanu USARTa (8251) i każdorazowo po stwierdzeniu, że dane nadeszły odczytuje je. Przesyłana informacja nie podlega sprawdzaniu. Dane są transmitowane w formacie: bit startu, 7 bitów informacyjnych, 2 bity stopu.

Test nr 2 polega na wysyłaniu, podanych przez operatora danych każdorazowo po stwierdzeniu w słowie stanu USARTa gotowości nadajnika. Upřednio zostaje zdjęty sygnał DTR w testerze co ustawia sygnał CTS USARTa w stan 'low' zezwalając na nadawanie. Format przesyłanych danych jest taki sam jak w teście nr 1.

Test nr 3 naprzemiennie ustawia i zeruje sygnał DTR w testerze co powoduje zmiany stanu sygnału CTS interfejsu szeregowego pakietu MMB6.

Test nr 4 jest analogiczny do testu nr 3 z tym, że zmianom ulega sygnał RTS w testerze co powoduje zmiany sygnału DSR w pakiecie MM86.

Test nr 5 polega na naprzemiennym ustawianiu i zerowaniu w słowie stanu układu 8251 bitu odpowiadającego sygnałowi DTR.

Test nr 6 analogicznie do testu nr 5 zmienia stan sygnału RTS.

2.2.5. Testy układu 8253

Testy o numerach od 0 do 2 jednorazowo programują odpowiedni do numeru testu licznik układu timera 8253. Wybrany licznik programowany jest jako generator fali prostokątnej. Stosunek podziału podaje operator z klawiatury jako liczbę z zakresu 0-FFFF. Podanie znaku CTRL/Z powoduje zgłoszenie Menu testów układu 8253.

2.2.6. Testy układu 8255

Testy te wymagają połączenia złącza E pakietu testera MT86 ze złączami D i E pakietu MM86. Opis kabla połączeniowego znajduje się w pkt. 1.4.3. Układ interfejsu równoległego 8255 jest zaprogramowywany w Mode 0 następująco: brama A - wejście, brama B - wyjście, brama C 'low' (bity 0-3) - wejście, brama C 'high' (bity 4-7) - wyjście.

Testy bram wyjściowych (testy nr 1 i 3) wysyłają podane przez operatora dane naprzemiennie w pozycji i negacji.

Testy bram wejściowych (testy nr 0 i 2) polegają na wysyłaniu danych przez tester i odczycie ich przez odpowiednią bramę układu 8255 pakietu MM86. Przy kolejnych przekazach podane przez operatora dane wysyłane są w pozycji i negacji.

2.2.7. Testy układu przerwań

Test nr 1 programuje oba sterowniki przerwań 8259A na pakiecie MMB6, instaluje programy obsługi przerwań oraz programuje liczniki nr 1 i 2 układu timera 8253 tak, aby uzyskać przebiegi o okresie 200 μ s. Następnie zostają odmaskowane wszystkie wejścia przerywające obu układów 8259A. Programy obsługi przerwań polegają na wysłaniu rozkazów EOI (End of Interrupt) do odpowiednich układów 8259A i wykonaniu instrukcji STI - zezwolenia przerwań. Obsługa taka umożliwia przyjęcie następnego przerwania z tego samego wejścia. Podanie znaku CTRL/Z powoduje zamaskowanie wszystkich przerwań oraz wykonanie instrukcji CLI zakazu przerwań maskowalnych.

Test nr 2 polega na nieskończonym, kolejnym ustawianiu sygnałów zgłoszenia przerwań z magistrali kasety na liniach INTO do INT7.

2.3. Testy diagnostyczne sygnałów

2.3.1. Test wszystkich sygnałów

Test ten wykonuje jednorazowo każdy z pojedynczych testów sygnałów (testy o numerach 1 do B). Po stwierdzeniu błędu w którymkolwiek z testów na ekranie wyświetlane jest zapytanie o kontynuację testu. Rozpoczęcie wykonywania każdego z testów pojedynczych sygnalizowane jest na ekranie odpowiednim komunikatem.

2.3.2. Test sygnału RESET

Test ten polega na wystawieniu przez pakiet testera MT86 sygnału RESET na magistralę kasety i sprawdzeniu, czy jest sygnał RST na podstawce mikroprocesora (pin 21 podstawki H5) oraz czy jest wystawiony sygnał INIT na magistralę kasety. Sprawdzane są też sygnały BUSY i BPRO wystawiane na magistralę kasety przez pakiet MM86. Następnie sygnał RESET wystawiony przez test jest zdejmowany i program sprawdza czy wyzerowane zostały sygnały RST i INIT.

2.3.3. Test sygnału PFIN

Test powoduje wystawienie przez tester sygnału PFIN na magistralę kasety i sprawdza czy pojawił się sygnał przerwania niemaskowalnego NMI na podstawce mikroprocesora (pin 17 podstawki H5). Następnie sygnał PFIN jest zdejmowany i sprawdzane jest czy sygnał NMI został wyzerowany.

2.3.4. Test sygnału PFSN

Test ten polega na wystawieniu na magistrali kasety przez pakiet testera sygnału PFSN, odczytaniu rejestru stanu pakietu MM86 (adres D9 w przestrzeni I/O) i sprawdzeniu czy jest ustawiony odpowiedni bit (D0) w tym rejestrze. Następnie sygnał PFSN jest zdejmowany i sprawdzane jest czy wyzerowany został bit D0 w rejestrze stanu pakietu.

2.3.5. Test sygnału TEST

Test powoduje wystawienie przez tester sygnału TEST na magistralę kasety i sprawdza czy sygnał ten pojawił się na podstawce mikroprocesora (pin 23 podstawki H5). Następnie

sygnał TEST jest zdejmowany i sprawdzane jest wyzerowanie sygnału na podstawie mikroprocesora.

2.3.6. Test sygnału MPRO

Test powoduje wystawienie przez tester sygnału MPRO i podejmuje próbę komunikacji z pamięcią wewnętrzną RAM pakietu MM86. Gdy komunikacja ta dojdzie do skutku (sytuacja błędna) sygnalizowane jest to odpowiednim komunikatem. Następnie sygnał MPRO jest zdejmowany i ma miejsce ponowna komunikacja z pamięcią wewnętrzną MM86. Komunikat o błędzie pojawia się, gdy komunikacja ta nie dojdzie do skutku.

2.3.7. Test sygnału BPRN

Test polega na wystawieniu przez tester sygnału BPRN dla pakietu MM86. Następnie ma miejsce próba komunikacji z pamięcią zewnętrzną RAM znajdującą się na pakiecie ML50 (adres 1:8000) po czym sprawdzana jest obecność sygnałów BPRO i BTMO oraz brak sygnałów BUSY i INIT na magistrali kasety, a także brak sygnałów NMI, RST i TEST na podstawie mikroprocesora. Po wykonaniu tych sprawdzeń zerowany jest sygnał BTMO odczytem rejestru słowa stanu pakietu MM86 (adres D9), następuje zdjęcie sygnału BPRN i ponowna próba komunikacji z pamięcią zewnętrzną na pakiecie ML50 (odczyt 16-bitowy z adresu 1:8000). Przy odczycie pamięci sprawdzana jest obecność sygnałów XACK, BHEN, MRDC, BUSY, BPRO oraz brak sygnału BTMO na magistrali kasety.

2.3.8. Test sygnału BUSY

Test ten działa analogicznie do testu sygnału BPRN.

Jedyną różnicą polega na tym, że po wystawieniu przez tester sygnału BUSY (zamiast BPRN) i komunikacji z pamięcią zewnętrzną na pakiecie ML50 sprawdzana jest dodatkowo obecność sygnału BUSY na magistrali kasety.

2.3.9. Test sygnału LOCK

Test wystawia sygnał objęcia magistrali LOCK i sprawdza czy pojawiły się na magistrali kasety sygnały BPRO i BUSY. Następnie magistrala jest zwalniana (zdjęty sygnał LOCK) i ma miejsce sprawdzenie czy sygnały BPRO i BUSY zostały wyzerowane.

2.3.10. Test sygnału BTMO

Test polega na wstępnym wyzerowaniu sygnału BTMO poprzez odczyt rejestru stanu pakietu MMB6, sprawdzeniu czy sygnał BTMO nie utrzymuje się stale na magistrali kasety, wykonaniu próby komunikacji z nieistniejącą pamięcią zewnętrzną (8-bitowy zapis pod adres 1:A000) i sprawdzeniu czy pojawiło się BTMO na magistrali kasety. Następnie odczytywany jest ponownie rejestr stanu pakietu MMB6 i sprawdzane jest czy sygnał BTMO został wyzerowany.

2.3.11. Test dekodera adresów wewnętrznych

Test dokonuje wystawienia wszystkich adresów wewnętrznych pakietu MMB6 zarówno dla pamięci jak i dla bram I/O. Po każdej komunikacji z zasobami wewnętrznymi sprawdzane jest czy nie pojawił się sygnał BTMO. W ramach testu wykonywane są następujące operacje:

- 8-bitowy zapis całego RAMu wewnętrznego MMB6 (adresy 0:0 do 0:1FFF)

- 8-bitowy odczyt całego RAMu wewnętrznego MMB6 (adresy 0:0 do 0:1FFF)
- 16-bitowy zapis całego RAMu wewnętrznego MMB6 (adresy 0:0 do 0:1FFF)
- 16-bitowy odczyt całego RAMu wewnętrznego MMB6 (adresy 0:0 do 0:1FFF)
- 8-bitowy odczyt PROMu wewnętrznego MMB6 (adresy FE000 do FFFFF)
- 16-bitowy odczyt PROMu wewnętrznego MMB6 (adresy FE000 do FFFFF)
- sprawdzenie adresów układu 8251 (D8 i DA) dla kierunku pisz i czytaj
- sprawdzenie adresów układu 8253 (C9, CB, CD, CF) dla kierunku pisz i czytaj
- sprawdzenie adresów układu 8255 (C1, C3, C5, C7) dla kierunku pisz i czytaj
- sprawdzenie adresów dla układu 8259A (C0, C2, C8, CA) dla kierunku pisz i czytaj
- sprawdzenie adresu rejestru stanu pakietu (D9)
- sprawdzenie potwierdzenia (brak BTMO) dla sygnału SET_LOCK (zapis pod adres D9)
- sprawdzenie potwierdzenia (brak BTMO) dla sygnału RESET_LOCK (zapis pod adres DB).

Test kończy się wystawieniem przez tester sygnału RESET na magistralę kasety.

2.3.12. Test przekazów po magistrali kasety

W ramach testu wykonywane są następujące czynności:

- 16-bitowy zapis danych do pamięci zewnętrznej RAM na pakiecie ML50 (adres 1:8000)
- 16-bitowy odczyt danych z tego samego adresu
- 8-bitowy zapis danych do pamięci zewnętrznej RAM pod adres parzysty (1:8000)
- 8-bitowy odczyt danych z tego samego adresu

- 8-bitowy zapis danych do pamięci zewnętrznej RAM pod adres nieparzysty (1:8001)
- 8-bitowy odczyt danych z tego samego adresu.

W trakcie każdej z powyższych operacji sprawdzana jest poprawność sygnałów BPRO, BUSY, XACK, MWTC, MRDC, IOWC, IORC, BHEN i BTMO oraz linii adresowych A19-A0.

Następnie wykonywane są 16-bitowe zapisy danych do pamięci na pakiecie ML50. Przy każdej operacji sprawdzane są dane wydawane na magistralę przez pakiet MMB6. Dane zmieniają się od wartości 0 do FFFF co 1.

Po przetestowaniu linii danych następuje sprawdzenie wykonywania komunikacji z zewnętrznymi adresami w przestrzeni I/O. Dokonywany jest najpierw zapis 16-bitowy pod adres 1000H a następnie 16-bitowy odczyt z tego samego adresu. W trakcie każdej z tych operacji sprawdzana jest poprawność sygnałów BPRO, BUSY, IOWC, IORC, MWTC, MRDC.

Ewentualnie stwierdzenie błędu w teście sygnalizowane jest odpowiednim komunikatem i zapytaniem o kontynuację testu.

2.4 Testy diagnostyczne bloków

Testy diagnostyczne bloków układowych pakietu MMB6 mają podobny charakter do testów diagnostycznych sygnałów. Zostały jednak wydzielone ze względu na ograniczenie wielkości Menu wyświetlanego na ekranie monitora oraz z uwagi na to, że w tej grupie testowaniu podlegają całe układy funkcjonalne takie jak pamięci wewnętrzne RAM i PROM, układy interfejsów szeregowego i równoległego oraz układ przerwań. Testy te trwają z reguły dłużej niż testy pojedynczych sygnałów.

2.4.1 Test wszystkich bloków

Test ten Wykonuje jednorazowo każdy z pojedynczych testów bloków (testy o numerach 1 do 5). Przerwanie któregokolwiek z testów powoduje przejście do Menu testów bloków. Rozpoczęcie wykonywania każdego z testów sygnalizowane jest odpowiednim komunikatem.

2.4.2 Test pamięci RAM

Test pamięci wewnętrznej RAM pakietu MM86 sprawdza całą pamięć wewnętrzną pakietu o adresach 0-1FFF (8k). Pamięć sprawdzana jest metodą pływającej jedynki a następnie metodą pływającego zera w blokach po 2k pamięci. Metoda pływającej jedynki polega na zapisywaniu całego testowanego obszaru pamięci informacją zerową, a następnie ustawianiu poszczególnych bitów w kolejnych komórkach pamięci na wartość 1 i sprawdzaniu, czy cała pozostała testowana pamięć jest w dalszym ciągu zerowa. Analogicznie test pływającego zera polega na zapisywaniu całego testowanego obszaru pamięci informacją jedykową i przesuwanie przez całą pamięć pojedynczego bitu o wartości zero.

Po uruchomieniu na ekranie wyświetlany jest komunikat informujący o aktualnie wykonywanym fragmencie testu:

pływająca jedynka

lub

pływające zero

a także obszar aktualnie testowanej pamięci wewnętrznej RAM jako liczby

0000 - 07FF

0800 - 0FFF

1000 - 17FF

- 1800 - 1FFF

Nieudana próba wpisu pływającej jedynki (pływającego zera)

do komórki pamięci sygnalizowana jest wyświetleniem na ekranie komunikatu w postaci:

Błąd dla adresu YYYY zapisano XXXX odczytano QQQQ

Informacja o wykrytym błędzie wyświetlana jest na ekranie w postaci:

Po wpisie XXXX do komórki YYYY odczytano QQQQ z komórki ZZZZ

W teście pływającej jedynek informacji wpisywanej XXXX zawiera zawsze tylko jedną jedynkę na kolejnych 16-bitach, a informacja odczytana QQQQ powinna być zerowa.

W teście pływającego zera informacji wpisywanej XXXX zawiera zawsze tylko jedno zero na kolejnych 16-bitach, a informacja odczytana QQQQ powinna mieć wartość FFFF.

Test RAMy trwa około 8 minut.

2.4.3 Test pamięci EPROM

Test pamięci EPROM pakietu MM86 sprawdza całą pamięć stałą pakietu o adresach FE00 - FFFF (8k). Test polega na odczycie informacji losowej przepalanej na 4 wzorcowych kostkach pamięci EPROM typu 2716 i porównaniu jej z informacją generowaną przez program.

Informacja o wykrytym błędzie wyświetlana jest na ekranie w postaci:

W komórce YYYY zamiast XXXX odczytano QQQQ.

2.4.4 Test układu 8251

Test wymaga połączenia złącza C pakietu MM86 ze złączem D pakietu testera MT86. Opis kabla połączeniowego znajduje się w pkt. 1.4.2. W pierwszej kolejności sprawdzane są pojedyncze sygnały interfejsu szeregowego:

DSR - tester wystawia sygnał RTS po czym następuje odczyt słowa stanu USARTa (8251) i sprawdzenie czy jest ustawiony bit DSR. Następnie zdejmowany jest w testerze sygnał RTS i ma miejsce sprawdzenie czy w słowie stanu wyzerowany jest bit DSR.

RTS - do USARTa (8251) wpisywane jest słowo sterujące (Command) ustawiające sygnał RTS, po czym sprawdzane jest pojawienie się sygnału DSR w testerze. Następnie do USARTa wpisywane jest słowo zerujące sygnał RTS i ma miejsce sprawdzenie wyzerowania sygnału w testerze.

CTS - tester ustawia sygnał DTR co powoduje ustawienie w stan wysoki wejścia CTS USARTa - zablokowanie nadawania. Następnie wpisywane są dane do rejestru danych USARTa (po uprzednim stwierdzeniu gotowości nadajnika) i sprawdzane jest czy dane te zostały przesłane przez interfejs szeregowy do testera. Gdy tak to wyświetlany jest komunikat sygnalizujący błąd. W dalszej kolejności zdejmowany jest w testerze sygnał DTR co ustawia wejście CTS USARTa w stan low - zezwala na nadawanie, po czym następuje powtórzenie dalszych operacji w teście. Błąd sygnalizowany jest gdy dane nie zostaną przesłane do testera.

DTR - sprawdzenie tego sygnału przebiega analogicznie jak sygnału CTS z tym, że w odwrotnym kierunku - sygnał RTS blokuje nadawanie w testerze.

Po sprawdzeniu pojedynczych sygnałów interfejsu szeregowego uruchamiany jest test danych nadawanych z pakietu MM86 do testera. Transmitowane są kolejne bajty od 0 do 7F i sprawdzana jest poprawność przesyłek. Następnie testowane jest przesyłanie danych w odwrotnym kierunku - uruchamiany jest test danych odbieranych.

2.4.5. Test układu 8255

Test układu interfejsu równoległego 8255 sprawdza poprawność pracy tego układu dla przesyłania wszystkich kombinacji informacji przy ustawieniu bramy A i bitów 0-3 bramy C jako wejście i bramy B i bitów 4-7 bramy C jako wyjście. Test wymaga połączenia złączy D i E pakietu MM86 ze złączem E pakietu testera MT86. Opis kabla połączeniowego znajduje się w pkt. 1.4.3.

Po uruchomieniu na ekranie wyświetlany jest komunikat o aktualnie wykonywanym fragmencie testu. W teście bramy A i B przesyłana informacja zmienia się od wartości 00 do FF, natomiast dla testu bramy C informacja przesyłana zmienia się od wartości 0 do F.

Informacja o wykrytym błędzie wyświetlana jest na ekranie w postaci:

Wysłano XXXX odczytano YYYY

2.4.6. Test układu przerwań

Test wymaga połączenia złącza C pakietu MM86 ze złączem D pakietu testera MT86 oraz połączenia złączy D i E MM86 ze złączem E testera. Opis kabli połączeniowych znajduje się w pkt. 1.4.2. i w pkt 1.4.3. Test zaprogramowuje oba sterowniki przerwań 8259A na pakiecie MM86 i instaluje programy obsługi przerwań. Następnie kolejno odmaskowuje poszczególne wejścia przerywające i sprawdza czy każde odmaskowane przerwanie przyszło dwukrotnie wymuszając odpowiednią przyczynę przerwania. Test wymaga następującego przypisania wejść przerywających:

układ 8259 - Master:

IR0 - INT_C1

IR1 - RxRdy

IR2 - TxRdy

IR3 - INT_A

IR4 - INT_B
IR5 - INT_C2
IR6 - OP_INT
IR7 - wyjście układu 8259 Slave

układ 8259 - Slave:

IR0 - linia INT0 magistrali kasety
IR1 - linia INT1 magistrali kasety
IR2 - linia INT2 magistrali kasety
IR3 - linia INT3 magistrali kasety
IR4 - linia INT4 magistrali kasety
IR5 - linia INT5 magistrali kasety
IR6 - linia INT6 magistrali kasety
IR7 - linia INT7 magistrali kasety

w związku z tym należy wykonać odpowiednie połączenia krosów zgodnie z opisem wg pkt. 1.2.3.

3. INSTRUKCJA URUCHAMIANIA I SPRAWDZANIA

3.1. Zalecenia montażowe

W celu ułatwienia uruchamiania pakietu MMB6 zaleca się sprawdzenie przed montażem obwodów drukowanych za pomocą powiększających urządzeń optycznych. Sprawdzić należy, czy nie ma przerw w ścieżkach i zwarc między ścieżkami. Należy zwrócić uwagę na jakość metalizacji otworów.

Wszystkie elementy montowane do pakietu należy sprawdzić w działającym pakiecie testowym (wyposażonym w podstawki) lub w testerze układów scalonych. Wszystkie rezystory hybrydowe stosowane w pakiecie należy sprawdzić omomierzem na połączenia i wartości oporności.

Najczęściej spotykanymi błędami montażu są zwarcie cyną pomiędzy punktami lutowniczymi, a ścieżkami przechodzącymi obok punktów.

3.2. Czynności wstępne przed uruchomieniem

Zmontowany pakiet MMB6 należy poddać oględzinom zwracając uwagę na zwarcia powstałe przy lutowaniu elementów pomiędzy ścieżkami, a sąsiadującymi z nimi punktami lutowniczymi, oraz na błędy montażowe, z których najczęściej spotykane to:

- odwrotne wlutowanie układów scalonych.
- zamiana miejscami układów 8282 i 8287
- odwrotne wlutowanie oporników hybrydowych
- pozamieniane wartości rezystorów i kondensatorów.

Następnie należy wykonać połączenia krosowe wg. punktu 1.2. oraz zaprogramować i wlutować układ PROM HB. Zawartość układu PROM HB podano w tabeli 5.

Tabela 5.

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	B	B	7	7	7	7	7	7	7	7	7	7	7	7	7	7
1	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
2	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
3	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
4	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
5	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
6	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
8	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
9	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
A	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
B	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
C	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
D	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
E	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
F	7	7	7	7	7	7	7	7	7	7	7	7	7	7	D	E

Ponadto należy włożyć w cztery podstawki pamięci pakietu MM86 F2, F3, G2, G3 układy EPROM 2716 zawierające informację testową.

Po tym należy omomierzem sprawdzić czy nie ma zwarcia linii zasilania +5V i +5VB z linią GND na pakiecie MM86 i gdy to sprawdzenie będzie pozytywne wówczas można włączyć zasilanie pakietu.

Następnie należy sprawdzić za pomocą oscyloskopu, a potem częstotściomierza cyfrowego wszystkie sygnały zegarowe na pakiecie MM86 tzn. CLK mikroprocesora (H5-19), BCLK (Aa5) i CCLK (Aa12), które powinny być zgodne z DTR pakietu.

Po tych czynnościach wstępnych należy zainstalować pakiet MM86 na stanowisku uruchomieniowym i uruchomić test globalny. Test globalny sygnalizuje, które fragmenty pakietu działają niepoprawnie. Z informacji wyświetlanej przez test globalny na monitorze ekranowym należy stwierdzić, który układ pakietu nie działa i przystąpić do uruchamiania tego układu za pomocą testów szczegółowych. Po uruchomieniu tego układu należy ponownie powrócić do testu globalnego, który wykryje następny wadliwy fragment pakietu, lub przejdzie do końca sygnalizując poprawność całego pakietu.

3.3 Uruchamianie i sprawdzanie pamięci wewnętrznej

3.3.1. Pamięć EPROM

Pamięć EPROM pakietu MM86 może być uruchamiana za pomocą testu repetycyjnego odczytu pamięci (punkt 2.2.1.). Za pomocą tego testu można sprawdzić na oscyloskopie poprawne generowanie sygnałów CS dla wszystkich podstawek pamięci EPROM, poprawność linii adresowych oraz czytanie przez mikroprocesor danych z tych pamięci.

Sprawdzanie pamięci EPROM można wykonać za pomocą testu dekodatorów (punkt 2.3.11.) oraz testu pamięci EPROM (punkt 2.4.3.).

3.3.2. Pamięć RAM

Pamięć RAM może być uruchomiona za pomocą testów repetycyjnych odczytu i zapisu pamięci (punkt 2.2.1). Za pomocą tych testów można sprawdzić poprawne generowanie sygnałów CS dla wszystkich układów pamięci RAM, poprawność linii adresowych oraz przekazy danych po magistrali wewnętrznej pakietu.

Sprawdzenie pamięci RAM można wykonać za pomocą testu dekodatorów (punkt 2.3.11) oraz testu pamięci RAM (punkt 2.4.2)

3.4. Uruchomienie i sprawdzenie układu przerwań

Układ przerwań może być uruchomiony za pomocą repetycyjnych testów przerwań (punkt 2.2.7). Zwierając przerwanie INT.C2 na kolejne 14 wejść przerwań układów 8259A, można za pomocą oscyloskopu sprawdzić dla wszystkich przerwań generację sygnału INT do mikroprocesora, generację sygnałów INTA, czytanie numeru wektora przerwań przez mikroprocesor oraz współpracę obu sterowników przerwań master i slave ze sobą. Ponadto można za pomocą oscyloskopu sprawdzić dochodzenie do krosu H2 wszystkich sygnałów INT z magistrali kasety.

Najomiej za pomocą testów repetycyjnych komunikacji z bramami I/O (punkt 2.2.1.) można oscyloskopowo sprawdzić generację sygnałów CS dla układów 8259A. Układ przerwań może być sprawdzony za pomocą testu diagnostycznego układu przerwań (punkt 2.4.6.) oraz testu dekodera adresów wewnętrznych (punkt 2.3.11.).

3.5. Uruchomienie i sprawdzenie układu transmisji

Układ transmisji szeregowej może być uruchomiony za pomocą testów repetycyjnych układu 8251 (punkt 2.2.4). Przy pomocy oscyloskopu można sprawdzić tory linii danych TxD i RxD, tory sygnałów pomocniczych CTS, DSR, DTR, RTS oraz generację i zerowanie sygnałów przerwania TxRDY i RxRDY.

Ponadto za pomocą testów repetycyjnych komunikacji z bramami I/O (punkt 2.2.1) można oscyloskopowo sprawdzić generację sygnału CS dla układu 8251.

Układ transmisji szeregowej może być sprawdzony za pomocą testu diagnostycznego układu 8251 (punkt 2.4.4) oraz za pomocą testu diagnostycznego układu dekodera adresów wewnętrznych (punkt 2.3.11).

3.6. Uruchomienie i sprawdzenie interfejsu równoległego

Interfejs równoległy może być uruchomiony za pomocą testu repetycyjnego układu 8255 (punkt 2.2.6). Oscyloskopem można sprawdzić przy tym testie wszystkie tory sygnałów wejść i wyjść bram A, B, C. Ponadto za pomocą testów repetycyjnych komunikacji z bramami I/O (punkt 2.2.1) można oscyloskopowo sprawdzić generację sygnału CS dla układu 8255.

Interfejs równoległy można sprawdzić testem diagnostycznym układu 8255 (punkt 2.4.5) oraz testem diagnostycznym dekodera adresów wewnętrznych (punkt 2.3.11).

3.7. Uruchomienie i sprawdzenie układu 8253

Układ 8253 może być uruchomiony i sprawdzony za pomocą testu repetycyjnego układu 8253 (punkt 2.2.5). Przy pomocy oscyloskopu można sprawdzić wyjścia OUT wszystkich trzech

liczników układu 8253. Ponadto za pomocą testów repetycyjnych komunikacji z bramami I/O (punkt 2.2.1) można oscyloskopowo sprawdzić generację sygnału CS dla układu 8253.

3.8. Uruchomienie i sprawdzenie interfejsu magistrali kasyety

Interfejs magistrali kasyety może być uruchomiony za pomocą następujących testów repetycyjnych:

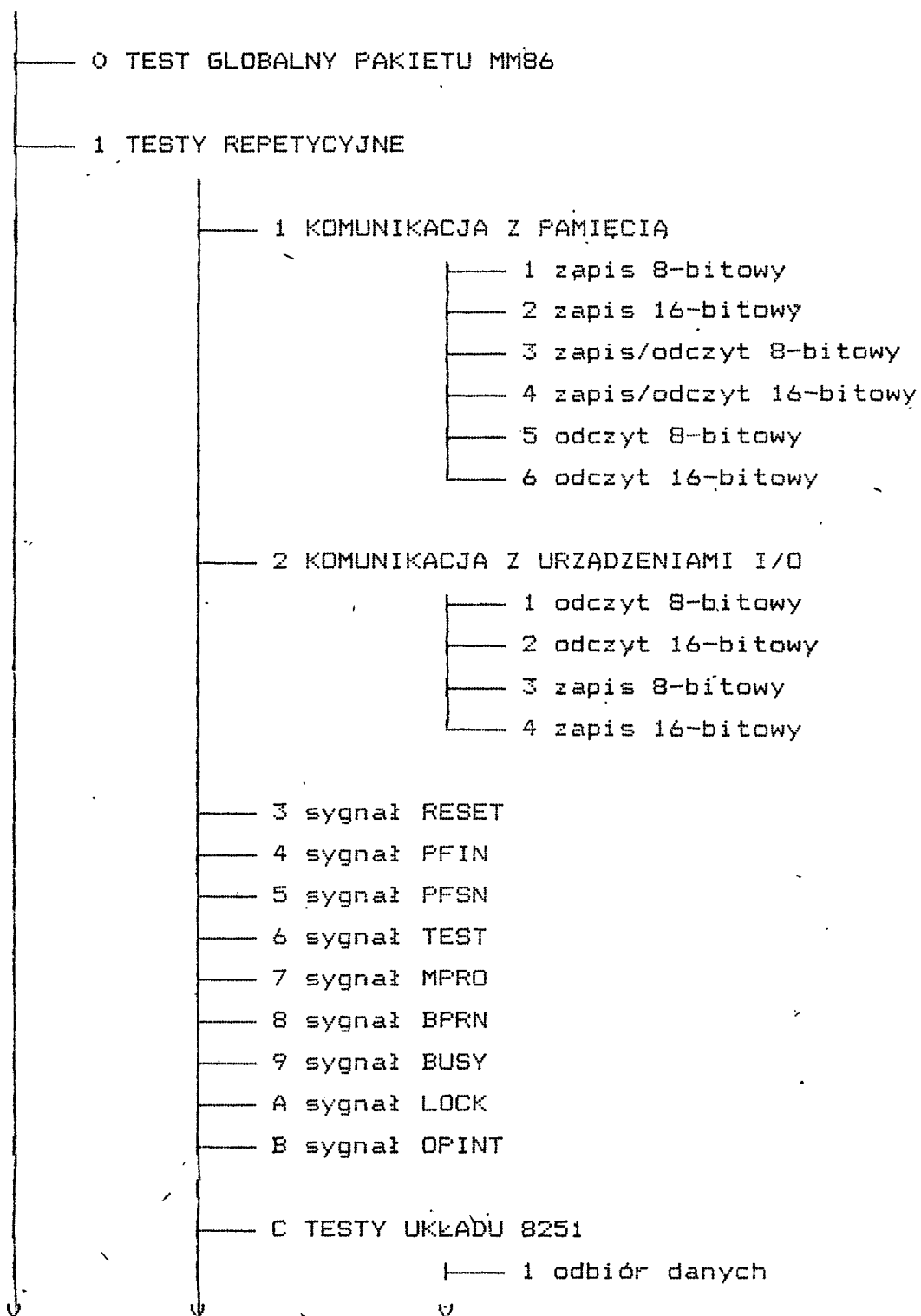
- testy komunikacji z pamięcią (punkt 2.2.1)
- testy komunikacji z bramami I/O (punkt 2.2.2)
- testy sygnałów RESET, PFIN, PRSN, TEST, MPRO, BPRN, BUSY, LOCK, DP.INT (punkt 2.2.3).

Za pomocą tych testów można sprawdzić oscyloskopowo wszystkie sygnały związane z interfejsem magistrali kasyety tzn. adresy, dane, rozkazy, sygnały układu obejmowania oraz sygnały pomocnicze.

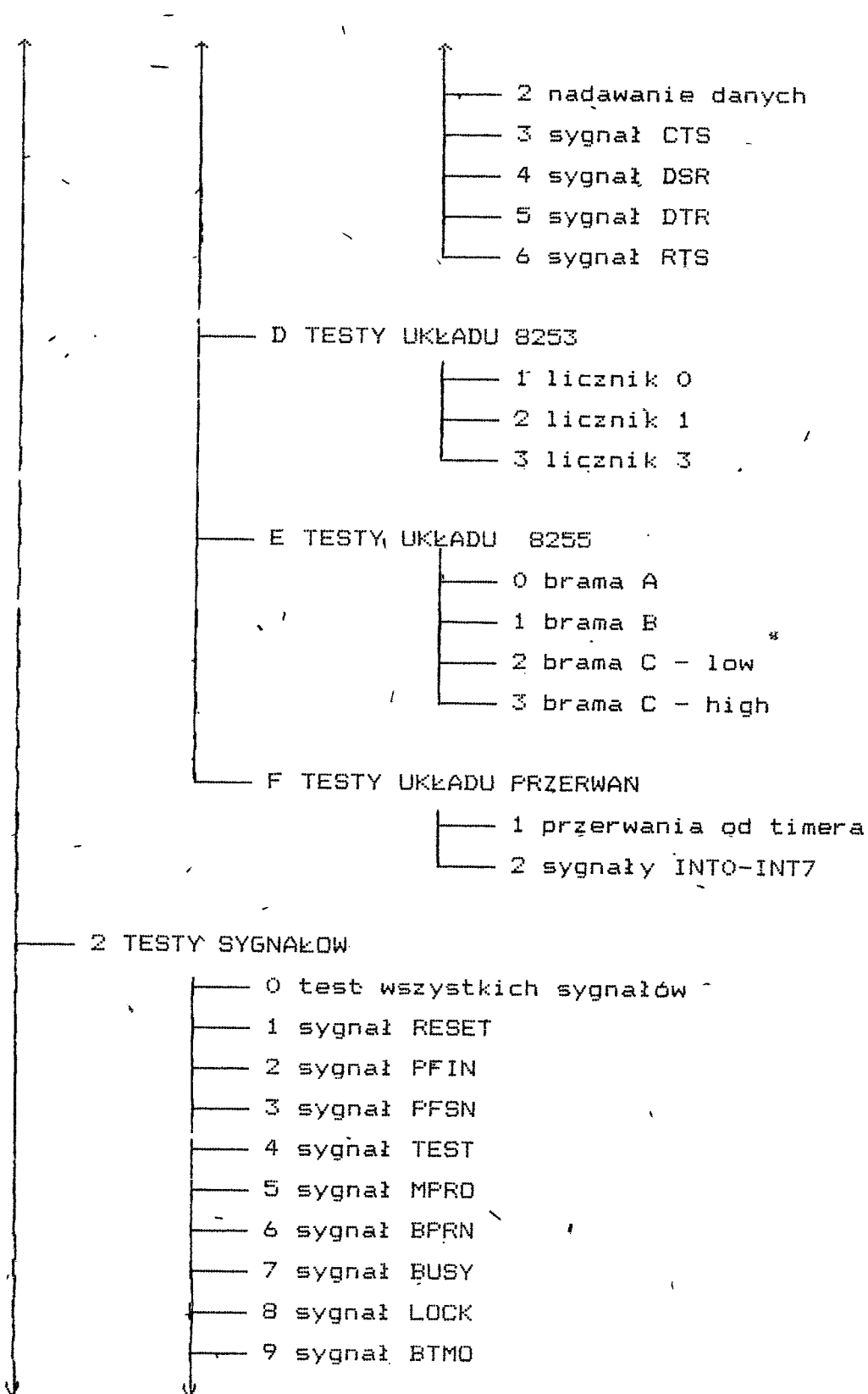
Sprawdzenie interfejsu magistrali kasyety można wykonać za pomocą następujących testów diagnostycznych:

- test sygnału RESET/INIT (punkt 2.3.2)
- test sygnału PFIN (punkt 2.3.3)
- test sygnału PFSN (punkt 2.3.4)
- test sygnału TEST (punkt 2.3.5)
- test sygnału MPRO (punkt 2.3.6)
- test sygnału BPRN (punkt 2.3.7)
- test sygnału BUSY (punkt 2.3.8)
- test sygnału LOCK (punkt 2.3.9)
- test sygnału BTMO (punkt 2.3.10)
- test przekazów po magistrali (punkt 2.3.12).

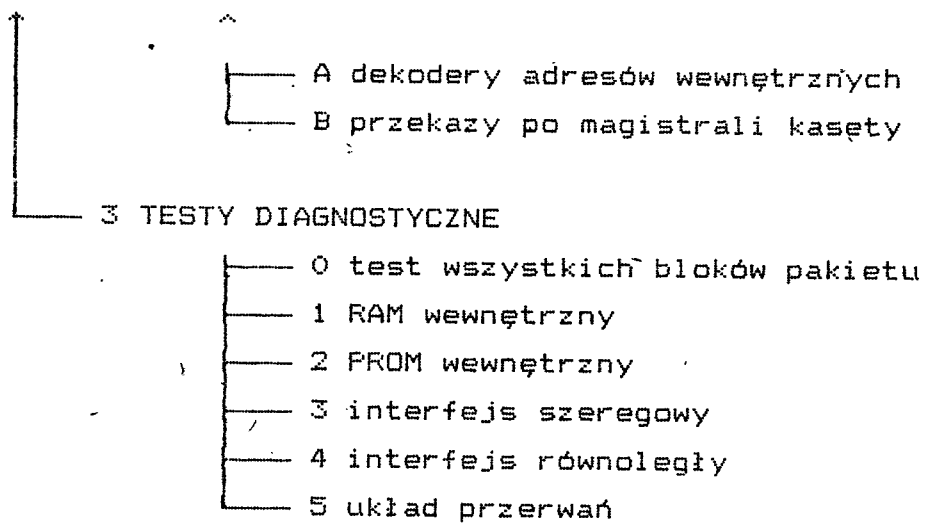
MENU GŁÓWNE



Rys. 1 - struktura testów



Rys. 1 - c.d.



Rys. 1 - c.d.