

*07H* Ośrodek Automatykacji *A*  
Procesów Produkcji

Zespół Sprzętu Cyfrowego, Pracownia Konstrukcji Sprzętu Cyfrowego  
Główny wykonawca dr inż. Bohdan Kontrymowicz

Wykonawcy  
mgr inż. Rafał Więcko  
mgr inż. Dariusz Okrasa  
mgr inż. Andrzej Zasucha

Konsultant

Nr zlecenia 1117

Układy wizyjne do pomiarów wielkości geometrycznych oraz do automatycznej kontroli jakości.

Zadanie 1.1 cz. II.

Założenia i projekt układu do automatycznej kontroli jakości (KJ).

Zleceniodawca CPBR 7.2 "Automatyka"

Pracę rozpoczęto dnia

01.02.1988

zakończono dnia 29.04.1988

Kierownik Zespołu

Z-ca Dyrektora  
d/s, Automatyki

Kierownik Ośrodka

*B. Kontrymowicz*  
dr inż. B. Kontrymowicz

*T. Gałązka*  
dr inż. T. Gałązka

*A. Aderek*  
mgr inż. A. Aderek

Praca zawiera:

Rozdzielnik - ilość egz:

stron 38

Egz. 1

BOINTE

rysunków 30

Egz. 2

Zleceniodawca

fotografii -

Egz. 3

OAP

tabel -

Egz. 4

OAR

tablic -

Egz. 5

załączników -

Egz. 6

Nr rejestr. 6032

## Analiza deskryptorowa

Systemy wizyjne  
Kamery liniijkowe CCD  
Automatyzacja pomiarów  
Automatyczna kontrola jakości

## Analiza dokumentacyjna

W sprawozdaniu przedstawiono założenia techniczne i projekt mikroprocesorowego systemu do automatycznej kontroli jakości. System może zawierać od 1 do 8 torów kamerowych przystosowanych do analizy obrazu uzyskiwanego z kamer liniijkowych CCD. System służy głównie do wykrywania wtrąceń w szkło lub wad powierzchniowych w innych materiałach jednorodnych.

## Tytuły poprzednich sprawozdań

658.562

Kontrola jakości

681.32:621.377-181, 48.004.14

Mikroprocesory  
-restorowanie

1. Przeznaczenie
2. Funkcje systemu kontroli jakości
3. Założone parametry techniczne
  - 3.1. Tor kamery
  - 3.2. Wejścia binarne
  - 3.3. Wyjścia binarne
  - 3.4. Łącze szeregowo
  - 3.5. Wymagania ogólne
4. Konstrukcja systemu kontroli jakości
  - 4.1. Architektura systemu
  - 4.2. Konstrukcja mechaniczna
5. Zasada działania systemu kontroli jakości
  - 5.1. Szybka magistrala szeregowo
  - 5.2. Preprocesor binarny
    - 5.2.1. Blok sprzęgający
    - 5.2.2. Blok przetwornika analogowo-cyfrowego
    - 5.2.3. Blok przetwarzania obrazu
    - 5.2.4. Blok mikrokontrolera
  - 5.3. Moduł jednostki centralnej
    - 5.3.1. Blok jednostki centralnej 8031
    - 5.3.2. Blok wejść binarnych
    - 5.3.3. Blok wyjść binarnych
    - 5.3.4. Blok łącza szeregowego
    - 5.3.5. Blok kontroli napięć zasilających
  - 5.4. Zasilanie.
6. Możliwości unifikacji układu kontroli jakości /KJ/  
z sterownikiem robotów prostych PRO2/SM

### 1. Przeznaczenie

Przedstawiane urządzenie przeznaczone jest do kontroli jakości obiektów jednorodnych, analizowanych w świetle przechodzącym. Może być również użyte do badań jednorodności powierzchni obiektów nieprzezroczystych, przeprowadzanych w świetle odbitym. W obszarze obiektu wyszukiwane są defekty w postaci rys, pęknięć, wtrąceń ciał obcych, pęcherzy powietrza itp.

Przykładem wykorzystania układu jest kontrola jakości szkieł specjalnych - kineskopowych lub optycznych. W tym przypadku system zlicza ilość defektów w poszczególnych obszarach szkła, wyznacza ich wymiary i na tej podstawie klasyfikuje kontrolowane szkło według wymagań obowiązującej dla danego wyrobu normy. Kontrola jakości szkła odbywa się w świetle przechodzącym. Dokładność pomiaru średnicy wtrącenia wynosi 0,05 mm.

## 2. Funkcje systemu kontroli jakości

System kontroli jakości realizuje następujące funkcje :

- a/ wykrywanie defektów jednorodności obiektu, o średnicy większej od 0.2 mm, w polu widzenia kamery - 50 mm
- b/ sterowanie urządzeniem wykonawczym, selekcjonującym detale,
- c/ współpracę z terminalami zewnętrznymi,
- d/ autodiagnostykę, umożliwiającą ocenę stanu systemu kontroli jakości.

### 3. Założone parametry techniczne modelu

#### 3.1. Tor kamery linijkowej:

a/ pole widzenia kamery	50 mm
b/ liczba punktów w linii	1024
c/ szybkość transportu obiektu	100 mm/s
d/ czas ekspozycji	1 ms
e/ rozdzielczość wewnątrzliniowa	0,05 mm
f/ rozdzielczość międzyliniowa	0,1 mm
g/ częstotliwość przebiegu zegarowego	2 MHz
h/ częstotliwość skanowania	1 kHz.

System kontroli jakości umożliwia dołączenie ośmiu kamer linijkowych. W obszarze obiektu rozpoznawane są defekty jednorodności struktury o średnicy większej od 0,2 mm.

#### 3.2. Wejścia binarne

System kontroli jakości wyposażony jest w osiem prądowych wejść binarnych, izolowanych galwanicznie od masy urządzenia.

a/ prąd wejściowy w stanie aktywnym	20 mA
b/ prąd wejściowy w stanie biernym	0 mA

Wejścia są zabezpieczone przed zmianą polaryzacji linii sterującej.

Dopuszczalna wartość prądu wejściowego wynosi 30 mA.

#### 3.3. Wyjścia binarne

System kontroli jakości wyposażony jest w osiem napięciowych wyjść binarnych, izolowanych galwanicznie od masy urządzenia:

a/ napięcie wyjściowe w stanie aktywnym	+ 24V
b/ napięcie wyjściowe w stanie biernym	0V

c/ maksymalny prąd wyjściowy w stanie aktywnym 0,5A

Wyjścia są zabezpieczone przed zwarciami i przekroczeniem dopuszczalnej wartości prądu wyjściowego.

### 3.4. Łącze szeregowo

System kontroli jakości posiada dwa niezależne kanały transmisji szeregowej, spełniające wymagania standardu RS232C. Dodatkowo zostały one odizolowane galwanicznie od masy urządzenia. Szybkość transmisji jest ustawiana niezależnie dla każdego kanału. Użytkownik może wybrać jedną z czterech wartości: 9600, 4800, 2400 i 1200 kb/s. Umożliwia to współpracę za pomocą łącza szeregowego ze standardowymi terminalami /np. IBMPC/.

### 3.5. Wymagania ogólne

Obudowy modułów wykonane są w stopniu ochrony IP30. Konstrukcja elektryczna spełnia wymagania I klasy ochronności.

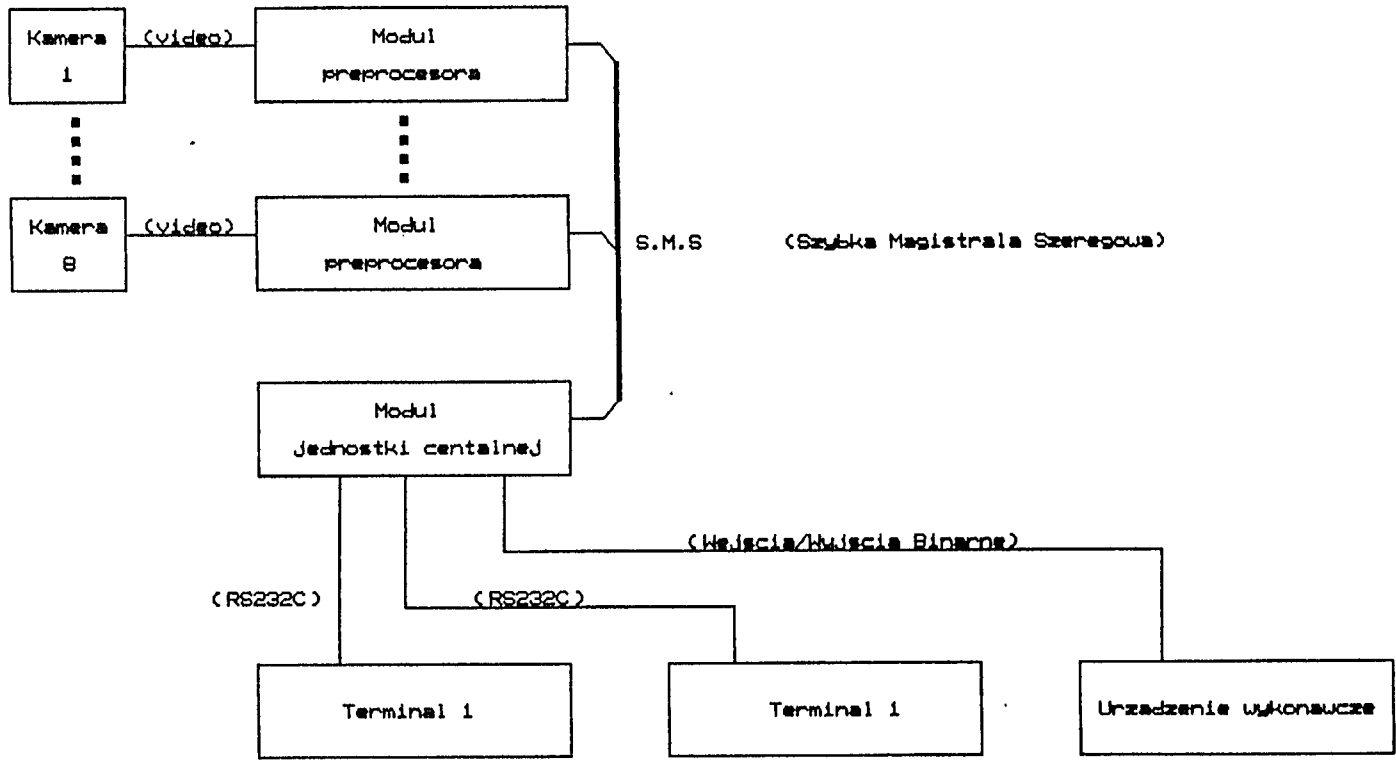
#### 4. Konstrukcje systemu kontroli jakości.

##### 4.1. Architektura systemu

System kontroli jakości składa się z ośmiu preprocesorów binarnych oraz jednostki centralnej nadzorującej pracę całego urządzenia. Każdy z preprocesorów zapewnia obsługę jednej kamery linijkowej, generując niezbędne sygnały sterujące. Wbudowany w układ preprocesora mikrokontroler 8031 przeprowadza obróbkę obrazu, lokalizując defekty i określając ich wymiary. Informacje o wykrytym wtrąceniu przesyłane są do jednostki centralnej, dokonującej syntezy obrazu całego obiektu na podstawie danych wszystkich preprocesorów. Komunikacja pomiędzy modułami realizowana jest za pomocą szybkiej magistrali szeregowej /200 kbps/. Jednostka centralna systematycznie przepatruje wszystkie preprocesory, wyszukując moduły gotowe do transmisji danych. Na podstawie uzyskanych informacji jednostka centralna dokonuje oceny badanego obiektu, generując odpowiednie sygnały sterujące pracą urządzenia wykonawczego, selekcjonującego analizowane detale. Dodatkowo przygotowywane są komunikaty o wyniku oceny obiektu, rozmieszczeniu defektów i stanie systemu kontroli jakości dla dwóch urządzeń zewnętrznych /terminali/, sprzężonych z systemem kontroli jakości za pomocą łącz szeregowych /RS232C/.

Konfiguracja minimalna systemu kontroli jakości składa się z modułu jednostki centralnej i jednego preprocesora binarnego. Konfiguracja pełna zawiera osiem preprocesorów binarnych. W przypadku oceny szkieł kineskopowych, ze względu na ich znaczną szerokość /około 400 mm/, wymagana jest konfiguracja pełna. Do oceny szkieł optycznych /średnica szkła wynosi 70 mm/, wystarczy konfiguracja minimalna. Tak pojęta elastyczność systemu pozwala dostosować urządzenie do wykonywania zadań wykrywania małych defektów w obiektach o względnie dużych rozmiarach tzn. takich, dla których





6

System kontroli jakości	
Title Schemat blokowy systemu kontroli jakości	
Size Document Number	
A	1532
Date:	April 11, 1988 Sheet 1 of 1

rozdzielczość pojedynczej kamery byłaby zbyt mała. Ułatwia również dostosowanie systemu kontroli jakości do rzeczywistych potrzeb użytkownika.

#### 4.2. Konstrukcja mechaniczna

Konstrukcja mechaniczna wykorzystuje standard opracowany dla sterownika binarnego PRO.2/SM. Zmianie uległy szerokość modułu i rozmieszczenie złączy. Obudowy stosowane w systemie kontroli jakości są dwukrotnie szersze. Umożliwia to umieszczenie czterech płytek drukowanych o wymiarach 160 x 100 mm w pojedynczej obudowie. Podobnie jak w pierwowzorze, połączenia pomiędzy płytkami drukowanymi wykonane są za pomocą miękkich taśm przewodów /np. TLWY 10 x 0,20 mm<sup>2</sup>/. Złącza umieszczone w górnej części płyty czołowej umożliwiają rozproszanie napięć zasilających oraz dołączenie modułu do szybkiej magistrali szeregowej. Dolne złącze preprocesora umożliwia dołączenie kamery linijkowej. W przypadku modułu jednostki centralnej, w dolnej części płyty czołowej umieszczone są złącza kanałów transmisji szeregowej /RS232C/. Na płycie tylnej znajduje się złącze umożliwiające dołączenie wyjść i wejść binarnych do złącza obiektowego umieszczonego na listwie konstrukcyjnej. Złącze obiektowe pozwala połączyć sterownik z urządzeniem wykonawczym. Moduły preprocesorów nie posiadają złącz na płycie tylnej.

## 5. Zasada działania systemu kontroli jakości

### 5.1. Szybka magistrala szeregową

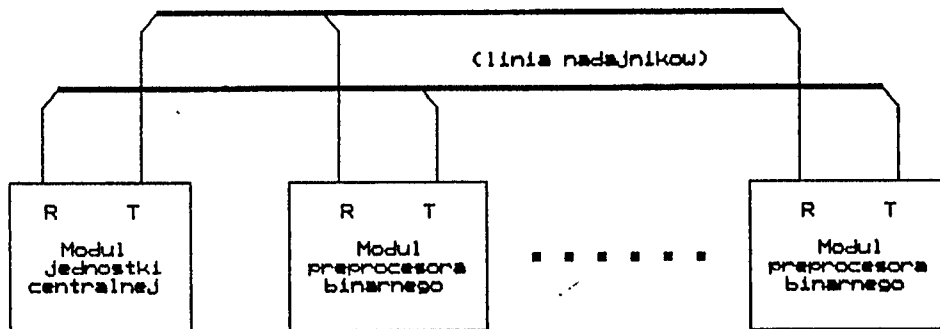
System kontroli jakości jest urządzeniem wieloprocesorowym opartym o mikrokomputery jednoukładowe 8031. Znaczna szybkość transmisji danych poprzez wewnętrzne porty szeregowo mikrokontrolerów pozwala zrealizować wymianę informacji pomiędzy poszczególnymi jednostkami za pomocą szybkiej magistrali szeregowej /częstotliwość zegara wynosi około 200 kHz/. Mikrokontroler modułu jednostki centralnej jest nadrzędnym sterownikiem magistrali szeregowej i jedynym urządzeniem, które może wydawać polecenia systemowe mikrokomputerom pozostałych modułów. Każdemu z preprocesorów przyporządkowany jest adres /0...7/. W systemie nie mogą występować dwa moduły o tym samym adresie. Mikrokontrolerzy preprocesorów śledzą wymianę informacji na magistrali szeregowej, wyszukując przeznaczone dla nich polecenia. W momencie odebrania właściwego rozkazu, wykonują przewidziane protokołem transmisji czynności. Mogą wówczas przejąć sterowanie magistralą szeregową, przekazując dane jednostce centralnej. Jest ona jedynym urządzeniem, z którym moduły podporządkowane mogą się komunikować. Wyjścia nadajników jednostek podrzędnych są normalnie odłączone od magistrali szeregowej /tzn. znajdują się w stanie wielkiej impedancji/.

Komunikacja między modułami odbywa się w oparciu o protokół opracowany dla sterownika binarnego PRO.2/SM. Jednostka centralna przepatruje kolejne moduły, wyszukując urządzenie przygotowane do transmisji danych. Pełna wymiana informacji w jednym kierunku, tzn. przesłanie szesnastu bajtów, trwa około 1 ms. Oznacza to, że w skrajnym wypadku, gdy jednostka centralna nadaje i odbiera od danego modułu pełny format informacji, moduł ten zostanie wywołany ponownie w czasie krótszym niż 20 ms. Ponieważ pełna, dwukierunkowa wymiana informacji występuje tylko w fazie inicjalizacji systemu

Szybka Magistrala Szeregowa(S.M.S)

(linia odbiornikow)

(linia nadajnikow)



System kontroli Jakosci		
Title		
Schemat blokow magistrali szeregowej		
Size	Document Number	REV
A		
Date:	April 11, 1989	Sheet 1 of 1

12

i ewentualnych stanach awaryjnych, w warunkach normalnej pracy, dany moduł zostanie wywołany ponownie w ciągu 10 ms. Odpowiada to dla założonej maksymalnej szybkości transportu obiektu wynoszącej 100 mm/s, przemieszczeniu obiektu przed obiektywem kamery linijkowej o 1 mm. W tym czasie preprocesor binarny przeprowadza analizę do linii obrazu, obszaru dostatecznie dużego do wykrycia defektu, o ile wtrącenie występuje.

## 5.2. Preprocesor binarny

Preprocesor binarny jest podstawowym modułem systemu kontroli jakości, zapewniającym sterowanie pracą kamery linijkowej oraz obróbkę obrazu. Jego zadaniem jest wykrycie defektu obrazu obiektu w polu widzenia kamery. W skład preprocesora wchodzi cztery bloki:

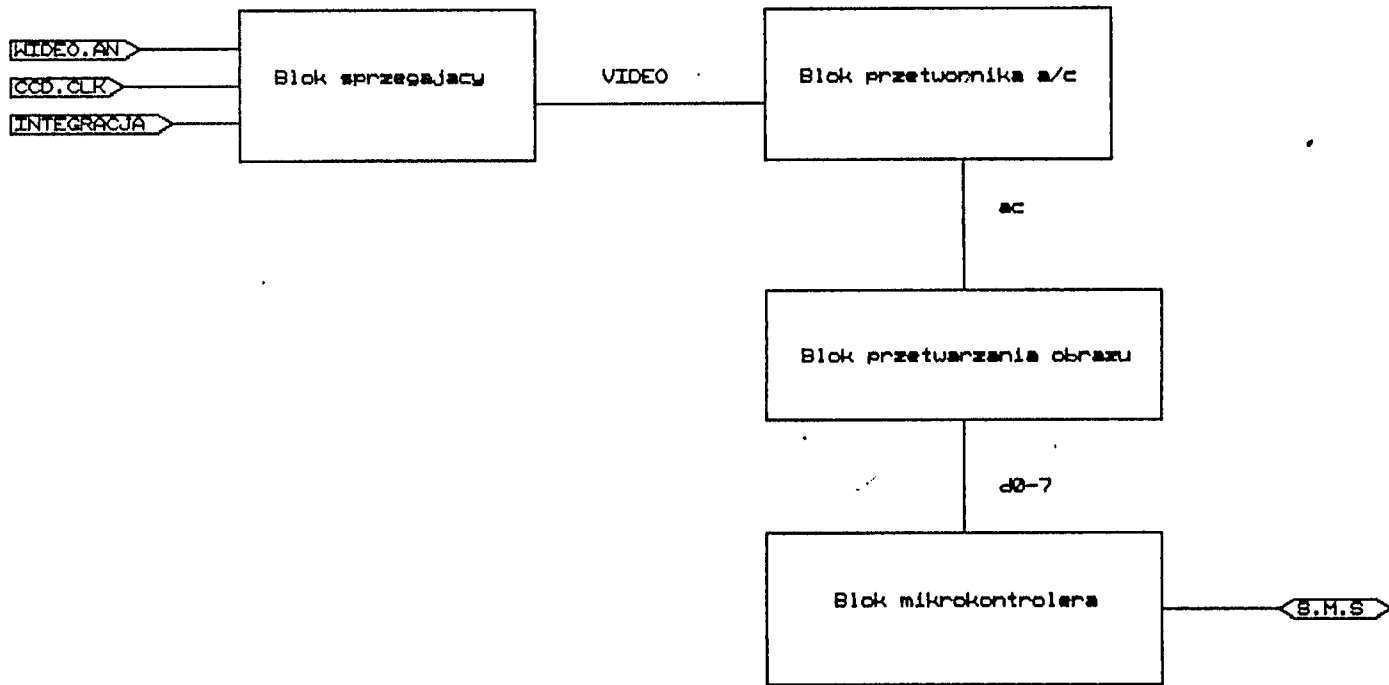
- a/ blok sprzęgający
- b/ blok przekaźnika analogowo-cyfrowego
- c/ blok przetwarzania obrazu
- d/ blok mikrokontrolera 8031.

Poszczególne bloki zostały zrealizowane w postaci odrębnych płytek drukowanych o wymiarach 160 x 100 mm umieszczonych we wspólnej obudowie modułu.

### 5.2.1. Blok sprzęgający

Blok sprzężenia umożliwia poprawną współpracę kamery linijkowej z modułem preprocesora, zapewniając właściwe poziomy sygnałów. Składa się z układu dopasowania do źródła sygnału wizyjnego, źródła napięcia odniesienia, nadajnika linii oraz zespołu filtrów napięć zasilających.

Układ dopasowania, zrealizowany za pomocą szybkiego wzmacniacza operacyjnego US1 /LM318/ zapewnia separację źródła sygnału wizyjnego o małej wydajności prądowej od wejścia przetwornika analogowo-cyfrowego. Niezbędną wydajność prądową zapewnia tranzystor wyjściowy T1 /BF194/. W układzie dokonywana jest również zmiana poziomu sygnału wejściowego /0-1v/



14

Modul preprocesora binarnego	
Title Schemat blokowy preprocesora binarnego	
Size Document Number A	REV
Date: April 11, 1988	Sheet 1 of 1

do poziomu wymaganego przez przetwornik a/c /0-3V/. Układ dopasowania zabezpiecza również wejście przetwornika a/c przed przekroczeniem dopuszczalnej wartości napięcia wejściowego i zmianą polaryzacji.

Źródło napięcia odniesienia, zrealizowane w oparciu o wzmacniacze operacyjne US2 /ULY7741/ i US3 /LM318/ umożliwia korekcję zakresu przetwarzania poprzez regulację napięcia odniesienia przetwornika a/c. Tranzystor wyjściowy T2 /BF194/ zapewnia niezbędną wydajność prądową. Zakres zmian napięcia odniesienia ograniczony jest wartościami elementów dzielnika rezystancyjnego  $R_{10}$ ,  $R_{11}$ , uniemożliwiającego przekroczenie dopuszczalnej wartości napięcia wyjściowego.

Nadajnik linii UCY75110 /US4/ umożliwia dopasowanie sygnałów sterujących pracą kamery linijkowej /zegarowego - CCD.CLK i zmiany linii - INTEGRACJA/ do warunków transmisji sygnału linią symetryczną.

W celu uniknięcia przenikania zakłóceń, linie zasilania przewodu łączącego kamerę z preprocesorem, zostały odseparowane od źródeł napięć zasilających za pomocą dławików  $L_1$ ,  $L_2$ ,  $L_3$ . Diody  $D_6$ ,  $D_7$ ,  $D_8$  zabezpieczają dodatkowo moduł preprocesora przed przepięciami.

#### 5.2.2. Blok przetwornika analogowo-cyfrowego

Układ szybkiego 4-bitowego przetwornika analogowo-cyfrowego został zrealizowany w oparciu o metodę porównania równoległego za pomocą odbiorników linii UCY75107 /US1...US8/. Kodem, dokonujący zamiany wyniku porównania na postać heksadecymalną, tworzą bramki US9...US15. Czas konwersji przetwornika wynosi około 100 ns.

#### 5.2.3. Blok przetwarzania obrazu

Zadaniem bloku przetwarzania obrazu jest redukcja prędkości bitowej punktów obrazu /1 punkt /1 us/ do poziomu umożliwiającego przeprowadzenie dalszej analizy za pomocą systemu mikroprocesorowego, w tym wypadku mikrokontrolera 8031.

Wstępna obróbka obrazu polega na określeniu miejsc /tzn. adresów punktów w linii/, w których wystąpiły zmiany przekraczające przyrost progowy  $D_{\min}$ , zadawany za pomocą przełączników  $D_{0-3}$ . Wartość progowa jest porównywana z wartością różnicy amplitud punktu analizowanego i poprzedniego. Adres zmiany wraz z jej znakiem zapisywany jest na 16-poziomym stosie /FIFO/, który po zapełnieniu jest przekazywany mikrokontrolerowi celem przeprowadzenia dalszej obróbki.

W skład bloku przetwarzania wchodzi następujące układy:

- a/ układ uzależnień czasowych /US8A, US28, US29, US27/
- b/ układ przetwarzania /US1, US2, US3, US4, US5, US6, US7/
- c/ układ sterowania dostępem do zespołu rejestrów FIFO /US21, US22, US23, US24/
- d/ zespół rejestrów FIFO /US14, US15, US16, US17, US18, US19, US20/
- e/ licznik adresu punktu w linii /US8B, US9A, US9B/
- f/ układ generacji sygnału zmiany linii - INTEGRACJA /US10, US11, US12, US30/

Układ uzależnień czasowych generuje na podstawie przebiegów bazowych /0/.../7/ następujące sygnały sterujące:

- LAC - /latch a/c/ wpisujący do bufora wejściowego US1 /LS171/ układu przetwarzania dane z przetwornika a/c, zapewniając ich niezmiennosc w trakcie porównania z wartością progową  $D_{\min}$  ( $D_{0-3}$ )
- LPI - /latch  $P_i$ / wpisujący do rejestru pamięci US2 /LS171/ jednostki arytmetyczno-logicznej US3 /LS181/ układu przetwarzania wartości amplitudy ostatnio analizowanego punktu obrazu.



- SHIFT - /shift SIP/ wpisujący do rejestrów szeregowych o wyjściach równoległych US5, US6, /LS164/ - wynik porównania danego punktu obrazu z poprzednim /Pi/. Stan wyjść rejestrów szeregowych wyznacza adres komórki pamięci EPPOM, zawierający interpretację wyniku porównania.
- INCA - /increase pixel address/ modyfikujący adres analizowanego punktu /powiększa zawartość licznika adresu punktu w linii o 1/
- LFS - /latch FIFO status/ wpisujący do rejestru buforowego US24 /LS373/ układu sterowania zapisem do FIFO stan linii informacyjnych rejestru FIFO.  
Zatrzaskiwanie tych informacji jest wymagane ze względu na sposób działania rejestrów FIFO /LS224/. - ważność statusu układu jest uzależniona od cyklu maszynowego mikrokontrolera, asynchronicznego względem przebiegów bloku przetwarzania.
- LDCK - /load FIFO/ sygnał zapisu adresu punktu obrazu wraz ze znakiem zmiany do rejestrów FIFO.
- UFS - /update FIFO status/ wpisujący do wewnętrznej pamięci US21, US23 układu sterowania zapisem do FIFO stan obu banków zespołu rejestrów /dostępny do zapisu, zapełniony/.
- CPS - /clear P<sub>i</sub> and S/P/ zerujący rejestry P<sub>i</sub> /US2/ i S/P /US5, US6/ w momencie zmiany linii.
- CCD.CLK- /CCD.clock/ sygnał taktujący kamery linijkowej /2MHz/0.5/.
- INTGR - /INTEGRACJA/ sygnał zmiany linii dla kamery CCI

Wszystkie sygnały sterujące pojawiają się w każdym cyklu bloku przetwarzania / $t_{cy}$ /, wyznaczając moment wykonania właściwej operacji. Wykonanie operacji zależy od stanu

układu, którym dany sygnał steruje /np. zapis do FIFO zostanie wykonany, jeśli został wykryty dostatecznie duży przyrost i bank roboczy FIFO jest dostępny/. Cykl bloku przetwarzania trwa okóło 1 us. Czas stanu aktywnego /niskiego/ dowolnej linii sterującej, za wyjątkiem CCD.CLK wynosi 125 ns.

W układzie przetwarzania następuje wyznaczenie różnicy amplitud pikseli, poprzedniego i aktualnie analizowanego /US3-LS181/, porównanie z wartością progową  $\mathcal{P}_{0-3}$  /US4-LS85/ oraz interpretacja wyniku powyższych operacji /US7-27512/. Jeżeli wykryta została zmiana /pamięć EPROM spełnia również funkcję filtru logicznego/, na wyjściu układu przetwarzania pojawi się aktywny sygnał zapisu WRITE oraz sygnał znaku przyrostu SIGN. W liczniku adresu punktu linii uaktualniany jest adres analizowanego punktu /adres:= adres + 1/. W momencie przejścia do nowej linii zmieniany jest stan sygnału NL /nowa linia/, umożliwiającego rozróżnienie przez procesor zmian w sąsiednich liniach.

W momencie wykrycia aktywnego stanu linii WRITE, układ sterowania dostępem do zespołu rejestrów FIFO sprawdza, czy bank roboczy FIFO może być zapisany, po czym inicjalizuje zapis adresu zmiany do FIFO. Jeżeli dany bank rejestrów FIFO został już zapełniony, układ sterowania sprawdza, czy drugi bank rejestrów został uwolniony przez procesor, po czym wpisuje tam dane przyłączając banki robocze.

Jeśli oba banki są zajęte, cykl zapisu nie zostanie wykonany i dane są tracone. Zespół rejestrów FIFO składa się z dwóch banków roboczych /US14-US16 i US17-US19/, umożliwiających zapis 16 słów 12-bitowych każdy. W momencie zapełnienia jednego z rejestrów roboczych, w jego miejsce włączany jest drugi. Gotowość odczytu banku rejestrów jest sygnalizowane mikrokontrolerowi za pomocą linii FIFO i BUSY. Jeżeli drugi bank rejestrów roboczych

Cykl maszynowy bloku przetwarzania

125ns

Signal sterujacy

Signal bazowy

CLK

CLK

CCD.CLK

(Qb USB)

INCA/LAC

(0)

SHIFT

(2)

LPI/UFS

(3)

LFS

(5)

LDCK

(6)

Signaly sterujace generowane w momencie zmiany linii

CPS

(7)

INTEGRACJA

(Qb USB)

Modul preprocesora binarnego

Title

Zaleznosci czasowe bloku przetwarzania

Size Document Number

REV

A

19

zostanie zapełniony zanim procesor zakończy odczytywanie pierwszego, co trwa 64  $\mu$ s dla częstotliwości oscylatora procesora 12MHz, oba banki będą niedostępne dla układu przetwarzania i dane zostaną utracone. Jeżeli w momencie zmiany linii bank roboczy nie został całkowicie zapełniony, zostanie mimo to przekazany mikroprocesorowi, a zapisywany będzie drugi z banków. Jeśli jest on wtedy obsługiwany przez procesor, dostęp układu przetwarzania do zespołu rejestrów FIFO zostanie zablokowany. Szczególnym przypadkiem sterowania dostępem do rejestrów FIFO jest sygnalizacja zmiany linii, w której nie zostały zarejestrowane zmiany. Procesor nie uzyskuje dostępu do banku rejestrów FIFO, jedynie informację, że w linii nie zarejestrowano istotnych zmian. Umożliwia to rejestrację zmian wykrytych w nowej linii, w przypadku, gdy drugi z banków odczytywany jest przez procesor.

#### 5.2.4. Blok mikrokontrolera

Zadaniem bloku mikrokontrolera jest lokalizacja defektu na podstawie danych bloku przetwarzania. Układ został zrealizowany w oparciu o mikrokomputer jednocukładowy 8031. Architektura systemu jest dostosowana do współpracy z zespołem rejestrów FIFO, umożliwiającym wymianę informacji pomiędzy blokiem przetwarzania i procesorem.

W wypadku wykrycia wtrącenia mikrokontroler wysyła odpowiedni komunikat do jednostki centralnej, gromadzącej dane z wszystkich preprocesorów.

W bloku mikrokontrolera wyróżnione są dwa układy:

- a/ mikrokomputer 8031 /US1, US2, US3, US4, US5, US7, US14, US15, US16/
- b/ układ sterowania dostępem do zespołu rejestrów FIFO bloku przetwarzania /US9, US10, US11, US13/.

Mikrokomputer 8031 posiada 64kb pamięci programu US5 /EPROM, 27512/ oraz 8kb pamięci danych US6 /RAM, 6264/.

Za pomocą układów nadajnika US2 /DS26LS31/ i odbiornika US3 /DS26LS32/ linii dołączony jest do szybkiej magistrali szeregowej systemu kontroli jakości, umożliwiającej komunikację z jednostką centralną.

Stan przełączników  $s_{0,2}$ , dołączonych do linii P1.0-P1.2 portu P1, określa adres danego preprocesora w systemie kontroli jakości.

Bufor US16 /LS244/ izoluje magistralę danych mikrokomputera od magistrali danych zespołu rejestrów FIFO /linie  $d_{0-7}$ /. Oba banki rejestrów /32 bajty/ umieszczone są w przestrzeni adresowej pamięci danych mikrokomputera pod tym samym adresem, jako dwa kolejne słowa pamięci RAM. Pierwszy bajt /młodszy/ zawiera mniej znaczącą część adresu zmiany, drugi starszy/ bardziej znaczącą, bit znaku oraz bit nowej linii. Młodszy bajt jest wybierany niskim stanem linii adresowej  $A_0$ , starszy - wysokim. W danej chwili, w przestrzeń adresową mikrokomputera 8031 włączany jest jeden z banków FIFO. Zostanie on uwolniony dopiero wtedy, gdy procesor odczyta całą jego zawartość bez względu na stan zapełnienia drugiego banku.

Włączaniem banków FIFO w przestrzeń adresową mikrokomputera zarządza układ sterowania dostępem procesora do zespołu rejestrów FIFO, synchronizowany z cyklem maszynowym procesora 8031 opadającym zboczem sygnału ALE. W chwili włączenia banku rejestrów FIFO w przestrzeń pamięci danych, generowane jest przerwanie / $INT_0$ /, sygnalizujące gotowość jego odczytu. Moment włączenia rejestrów FIFO wyznacza układ sterujący /US8, US9, US10/ na podstawie stanu linii wejściowych FIFO i BUSY. Odczytem zarządza układ US12 /LS21/, generujący sygnały wyjściowe  $FIFO_{iL}$ ,  $FIFO_{iH}$  na podstawie stanu układu sterującego /US8, US9, US10/ i linii adresowej  $A_0$ , jeśli zgłoszone zostało żądanie odczytu rejestrów FIFO przez procesor /READ FIFO/. Jeżeli żaden z rejestrów FIFO

nie został włączony w architekturę mikrokontrolera, w momencie odczytu FIFO przez procesor na magistralę danych wystawiane są jedyńki /  $d_{0-7} = FF$ /. Mikrokomputer sygnalizuje uwolnienie banku rejestrów za pomocą linii EOFS /END of FIFO service/, umożliwiając przełączenie banków, jeśli drugi jest gotowy do odczytu. Oprócz podstawowej funkcji obróbki obrazu mikrokontroler realizuje również zadania autodiagnostyki. Programy te są wykonywane natychmiast po załączeniu zasilania oraz na żądanie jednostki centralnej. Jako drugorzędne, zostały pominięte w przedstawianym rozwiązaniu. Zostaną wprowadzone po sprawdzeniu poprawności proponowanej metody pomiarowej. Autodiagnostyka polega na zainstalowaniu w kamerze dodatkowego źródła światła /np. diody IRED/ o luminancji sterowanej przez mikrokontroler. Zmiany natężenia światła muszą być zsynchronizowane z pracą bloku przetwarzania obrazu. Tylko taki test umożliwia pełną kontrolę poprawności działania preprocesora i toru wizyjnego, zapewniając wymaganą niezawodność systemu kontroli jakości. Przekroczenie zakresu przetwarzania przetwornika a/c /np. w przypadku awarii układów wyjściowych kamery/ jest sygnalizowane niskim stanem linii OVL, dołączonej do systemu przerwań mikrokontrolera / NT1/.

Organizacja przestrzeni adresowej bloku mikrokontrolera 8031:

- a/ przestrzeń adresowa pamięci programu, dostępna dla użytkownika  $0000_H - FFFF_H$
- b/ przestrzeń adresowa pamięci danych:
- dostępna dla użytkownika  $0000_H - 1FFF_H$
  - zespół rejestrów FIFO /generacja sygnału READ FIFO/  $2000_H - 3FFF_H$
  - zerowanie bloku przetwarzania i układu sterowania /RES/  $4000_H - 5FFF_H$
  - generacja sygnału zakończenia odczytu FIFO /EOFS/  $6000_H - 7FFF_H$

Pozostały obszar jest niewykorzystany.

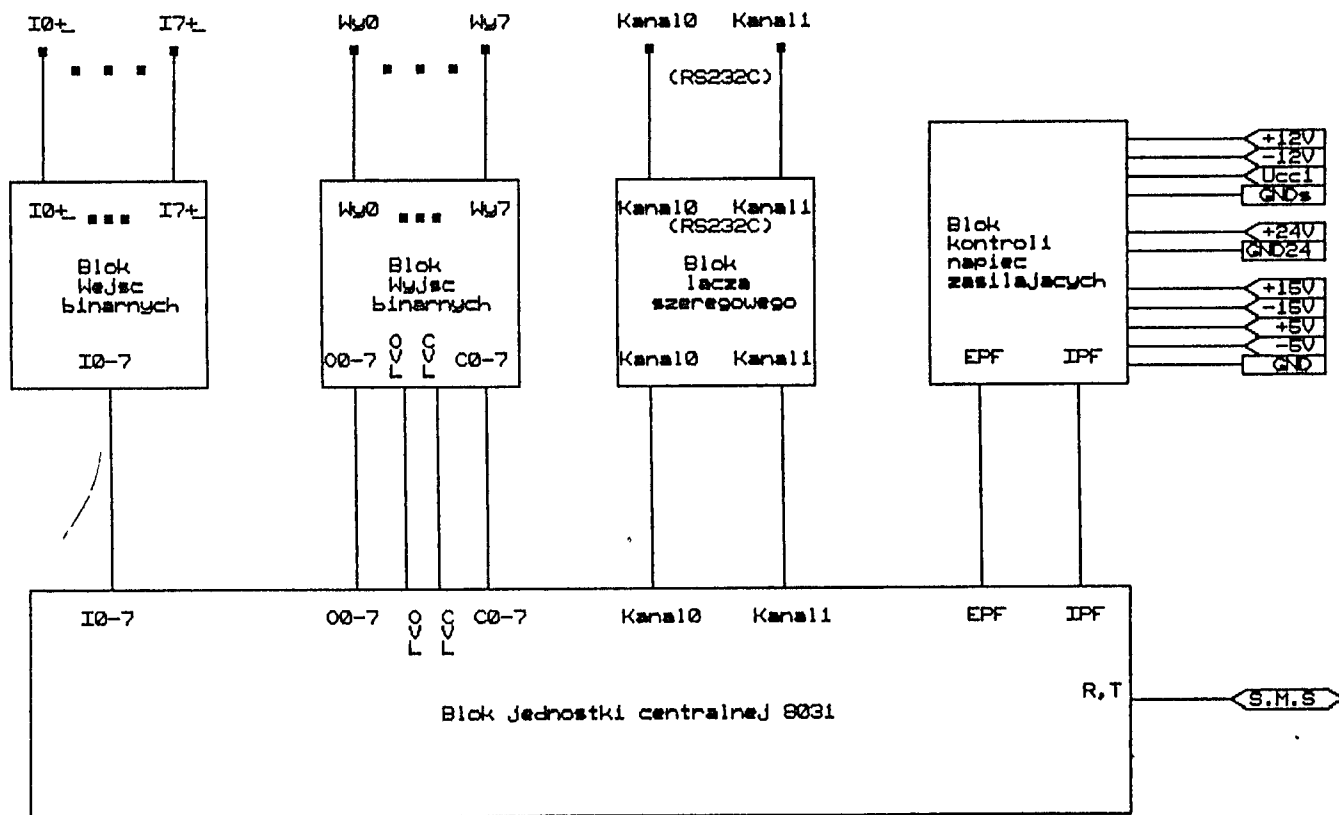
### 5.3. Moduł jednostki centralnej

Jednostka centralna jest nadrzędnym modułem systemu kontroli jakości, występującym zawsze, bez względu na liczbę preprocesorów binarnych. Minimalny system kontroli jakości składa się z modułu jednostki centralnej i jednego modułu preprocesora binarnego. Konfiguracja pełna umożliwia dołączenie ośmiu preprocesorów.

Podstawowe zadanie jednostki centralnej to przepatrywanie preprocesorów, w poszukiwaniu modułu gotowego do transmisji danych, przetwarzanie informacji odebranej z preprocesorów i na tej podstawie generowanie sygnałów sterujących urządzeniami wykonawczymi oraz obsługa komunikacji z urządzeniami zewnętrznymi /terminalami/ poprzez łącze szeregowe RS232C.

Jednostka centralna wykonuje również procedury wspomagające, nie związane z kontrolą jakości obiektu, mimo to niezwykle istotne z punktu widzenia niezawodności całego systemu. Są to algorytmy autodiagnostyki, umożliwiające ocenę stanu urządzenia, zarówno w momencie załączenia zasilania, jak i w trakcie pracy, w wypadku wystąpienia stanów awaryjnych. Sposób wykorzystania informacji uzyskanej z preprocesorów binarnych zależy od rodzaju wykonywanego zadania. W wypadku konfiguracji minimalnej, wystarczającej do oceny szkieł optycznych, czynności obliczeniowe jednostki centralnej ograniczone są do zliczania zlokalizowanych przez preprocesor defektów oraz sprawdzenia, według narzuconych przez użytkownika kryteriów, do której klasy jakości należy przypisać analizowany detal. W wyniku oceny, generowane są sygnały sortowania szkieł optycznych, W przypadku konfiguracji maksymalnej, niezbędnej do kontroli jakości szkieł ekranów kineskopów, algorytmy obliczeniowe są rozbudowane o procedury odtwarzania pełnego obrazu obiektu, na podstawie informacji o jego fragmentach uzyskiwanej z preprocesorów. Dopiero na tej podstawie możliwe jest zlokalizowanie defektów w obszarze całego obiektu, co jest istotne zwłaszcza w fazie uruchamiania systemu na stanowisku

23



HP

Modul jednostki centralnej	
Title	
Schemat blokowy modulu jednostki centralnej	
Size	Document Number
A	
Date:	April 27, 1988 Sheet 1 of 1



roboczym, wymagającej wizualizacji wtrąceń.

Współpracę modułu jednostki centralnej z urządzeniami wykonawczymi umożliwia osiem wyjść binarnych /24V/0.5A/ i osiem prądowych wejść binarnych /0/20mA/ izolowanych galwanicznie od masy systemu kontroli jakości. Komunikacja z terminalami zewnętrznymi odbywa się za pomocą dwóch łączy szeregowych RS232C, również izolowanych galwanicznie od masy urządzenia.

W skład modułu jednostki centralnej wchodzi następujące bloki:

- a/ blok jednostki centralnej 8031
- b/ blok wejść binarnych
- c/ blok wyjść binarnych
- d/ blok złącza szeregowego.

#### 5.3.1. Blok jednostki centralnej 8031

Mikrokomputer 8031 posiada 64Kb pamięci programu US5 /EPROM, 27512/ oraz 8Kb pamięci danych US6 /RAM, 6264/. Układy nadajnika US2/DS26LS31/ i odbiornika US3/DS26LS32/ linii umożliwiają dołączenie jednostki centralnej do szybkiej magistrali szeregowej systemu kontroli jakości. Ponieważ moduł jednostki centralnej jest urządzeniem nadrzędnym magistrali, wyjścia nadajnika są zawsze aktywne i nie mogą być wprowadzone w stan wielkiej impedancji. Liczbę preprocesorów dołączonych do szybkiej magistrali szeregowej określa stan przełączników Sd<sub>0-2</sub>, odczytywanych w trakcie inicjalizacji na liniach wejściowych P1.5-P1.7 portu P1.

Typowa architektura rodziny MCS51 została rozbudowana o standardowe peryferia systemu mikroprocesorowego firmy Intel, włączone w przestrzeń adresową pamięci danych mikrokomputera. Umożliwiają one wykonanie rozszerzonych zadań modułu jednostki centralnej - obsługę wejść i wyjść binarnych /US11, 8255A/, niezależne sterowanie dwoma kanałami łączy szeregowych RS232C /US8, US9-8251A, US10-8253/ oraz kontrolę zaniku napięć zasilających.

Ponieważ obsługa protokołu szybkiej magistrali szeregowej zajmuje około 30% czasu jednostki centralnej 8031, współpraca z peryferiami została zrealizowana za pomocą przerwania / INTO/, Wymagało to rozbudowania podsystemu przerwania o układ kontroli hierarchii priorytetów US13 /LS148/. W momencie przyjęcia przerwania INTO odczytywany jest stan wyjść kodera LS148, wyznaczających numer urządzenia, które wymaga obsługi.

Przerwania timera US10/8253/, nadajników i odbiorników łącza szeregowego mogą być maskowane, wymuszeniem stanu niskiego odpowiedniej linii sterującej P1.0-P1.4 portu P1. Przerwania przeciążenia wyjść binarnych oraz zaniku napięć zasilających, sygnalizujące stany awaryjne systemu, są niemaskowalne. Przypisano im najwyższe priorytety w hierarchii przerwania. Zostaną obsługiwane, o ile włączono przerwania linii INTO.

Kanały łącza szeregowego RS232C obsługiwane są przez dwa sterowniki 8251A: kanał 0 - US9, kanał 1 - US8. Szybkość transmisji wyznaczają liczniki timera 8253/US10/, niezależnie dla każdego kanału: CNT0 - kanał 0, CNT1 - kanał 1. Częstotliwość transmisji jest deklarowana za pomocą przełączników BD<sub>10</sub> BD<sub>11</sub>, dołączonych do magistrali danych mikrokomputera poprzez bufor US12 /LS373/. Linie DCD łącza RS232C obu kanałów dołączone są do wejść T0 i T1 mikrokomputera 8031. Trzeci licznik timera 8253 - CNT2 wyznacza interwały, w których przepatrywane są wejścia binarne I<sub>0-7</sub> oraz linie DCD, pełniąc zarazem funkcję zegara systemowego. Pozwala to wykorzystywać drugi z wewnętrznych liczników mikrokomputera do celów programowych.

Wejścia binarne I<sub>0-7</sub> dołączone są do linii PA<sub>0-7</sub> portu równoległego PA układu US11/8255/. Wyjścia binarne O<sub>0-7</sub> sterowane są liniami PB<sub>0-7</sub> portu PB-US11.

Do portu PC-US11 dołączone są linie potwierdzeń, C<sub>0-7</sub> sygnalizujące włączenie danego wyjścia binarnego. W. wypadku zgłoszenia przerwania przeciążenia wyjść /OV-INTO/ linie potwierdzeń umożliwiają szybką lokalizację wyłączonego wyjścia.

Blok jednostki centralnej wyposażono dodatkowo w układ detekcji zaniku zasilania +5V, zrealizowany w oparciu o układ komparatora LM111 /US19/, sygnalizujący mikrokomputerowi obniżenie napięcia zasilania poniżej minimalnego poziomu.

Organizacja przestrzeni adresowej mikrokomputera 8031 modułu jednostki centralnej:

- a/ przestrzeń adresowa pamięci programu dostępna dla użytkownika 0000<sub>H</sub> - FFFF<sub>H</sub>
- b/ przestrzeń adresowa pamięci danych
  - dostępna dla użytkownika 0000<sub>H</sub> - 1FFF<sub>H</sub>
  - kanał 1 łącza szeregowego /US8/ 2000<sub>H</sub> - 3FFF<sub>H</sub>
  - kanał 0 łącza szeregowego /US9/ 4000<sub>H</sub> - 5FFF<sub>H</sub>
  - timer systemowy/CNT<sub>0-2</sub>/US10/ 6000<sub>H</sub> - 7FFF<sub>H</sub>
  - port obsługi wejść i wyjść binarnych /US11/ 8000<sub>H</sub> - 9FFF<sub>H</sub>
  - sygnał kasowania przerwania zegara systemowego CNT<sub>2</sub> A000<sub>H</sub> - BFFF<sub>H</sub>
  - bufor wektora przerwania i szybkości transmisji łącza RS232 C000<sub>H</sub> - DFFF<sub>H</sub>
  - sygnał inicjalizacji linii opóźniającej bloku wyjść E000<sub>H</sub> - FFFF<sub>H</sub>

Hierarchia priorytetów przerw systemowych /INT $\phi$ /:

nr przerwa-  
nia:

7	przeciążenie wyjść binarnych	/OVL/, niemaskowalne	priorytet najwyższy
6	zanik napięć systemowych	/IPF/, niemaskowalne	
5	zanik napięć izolowanych	/EPF/, niemaskowalne	
4	zegar systemowy	/CNT <sub>2</sub> /, maskowalne	/P1.4/
3	odbiornik kanału $\phi$	/RxRDY <sub><math>\phi</math></sub> /, maskowalne	/P1.1/
2	odbiornik kanału 1	/RxRDY <sub>1</sub> /, maskowalne	/P1.0/
1	nadajnik kanału $\phi$	/TxRDY <sub><math>\phi</math></sub> /, maskowalne	/P1.3/
0	nadajnik kanału 1	/TxRDY <sub>1</sub> /, maskowalne	/P1.2/ priorytet najniższy

### 5.3.2.. Blok wejść binarnych

Blok wejść binarnych, sterowanych prądowo, składa się z ośmiu identycznych modułów wejściowych  $M_{we}$  izolowanych galwanicznie od masy systemu kontroli jakości. Wejścia przepatrywane są systematycznie przez blok jednostki centralnej, w zadanych interwałach czasu. Aktywnemu stanowi wyjścia  $I_i$  modułu /stan niski/ odpowiada wystereowanie wejść  $I_{i+}$  i  $I_{i-}$  prądem  $20 \pm 5$  mA. W wypadku niewystereowania modułu wejścia, na jego wyjściu  $I_i$  utrzymywany jest stan wysoki. Maksymalna wartość prądu wejściowego wynosi 30 mA. Wejścia nie są zabezpieczone przed przekroczeniem tej wartości. Za utrzymanie parametrów sterowania odpowiada zewnętrzne urządzenie współpracujące.

### 5.3.3. Blok wyjść binarnych

Blok wyjść binarnych składa się z ośmiu identycznych modułów wyjściowych  $M_{wy}$ , izolowanych galwanicznie od masy systemu kontroli jakości. Stan niski linii  $O_i$  załącza dane wyjście.

Stan aktywny linii sterującej  $O_i$  musi być utrzymywany przez cały czas włączenia tego wyjścia. Moduł wyjść jest zabezpieczony przed przeciążeniem i zwarcim /T2; T4/. W momencie przekroczenia dopuszczalnej wartości prądu wyjściowego /0.5A/ wyjście jest wyłączane automatycznie, a niski stan linii  $C_i$  sygnalizuje przeciążenie.

W momencie wykrycia stanu niskiego dowolnej z linii  $C_{0-7}$ , generowane jest przerwanie OVL, informujące blok jednostki centralnej o sytuacji awaryjnej. Układy US5 /LS74/ i US6 /ULY7855/ pełnią rolę filtru chroniącego blok wyjść przed generacją przerwania OVL skutkiem stanów przejściowych występujących w trakcie przełączania wyjść. Linia CVL umożliwia zadanie stanu początkowego układów linii opóźniającej /US5/ w fazie inicjalizacji systemu.

### 5.3.4. Blok łącza szeregowego RS232C.

Blok łącza szeregowego umożliwia dopasowanie poziomów sygnałów TTL do wymagań standardu RS232C. Składa się z dwóch identycznych kanałów, izolowanych galwanicznie od masy systemu kontroli jakości. Za pomocą zwor  $Z_{1-3}$  możliwe jest symulowanie sygnałów potwierdzeń wymaganych protokołem komunikacji standardu RS232C, w wypadku gdy współpracujące z systemem kontroli jakości urządzenie nie jest zdolne do ich sterowania.

### 5.3.5. Blok kontroli napięć zasilających.

Zadaniem bloku kontroli jest sygnalizowanie jednostce centralnej obniżenia napięć zasilających poniżej wartości minimalnych. Spadki napięć  $\pm 15V$  i  $-5V$  sygnalizowane są wspólną linią IPF. Spadki napięć zasilających

układy izolowane galwanicznie od masy systemu kontroli jakości /+24V, +5V-U<sub>cc1</sub>, ±12V/ sygnalizowane są wspólną linią EPF. Przerwaniu IPF przyporządkowano wyższy priorytet niż EPF.

Układy detekcji poziomu napięć zrealizowano w oparciu o komparatory LM311.

#### 5.4. Zasilanie

Zasilanie systemu kontroli jakości zastosowano dostępne na rynku zasilacze impulsowe:

a/ napięcia zasilające moduły preprocesorów i jednostki centralnej:

±5V, ±15V - MPS150 4/4

b/ napięcia zasilające układy izolowane modułu jednostki centralnej:

±12V, +5V - MPS 120 3/2

+24V - SPS-1C 24.8SC

Zasilacze dołączone są do sieci 220V/50Hz poprzez filtr przeciwzakłóceń FP 250/4 /Miflex/.



## 6. Możliwości unifikacji układu kontroli jakości /KJ/ z sterownikiem robotów prostych PRO2/SM

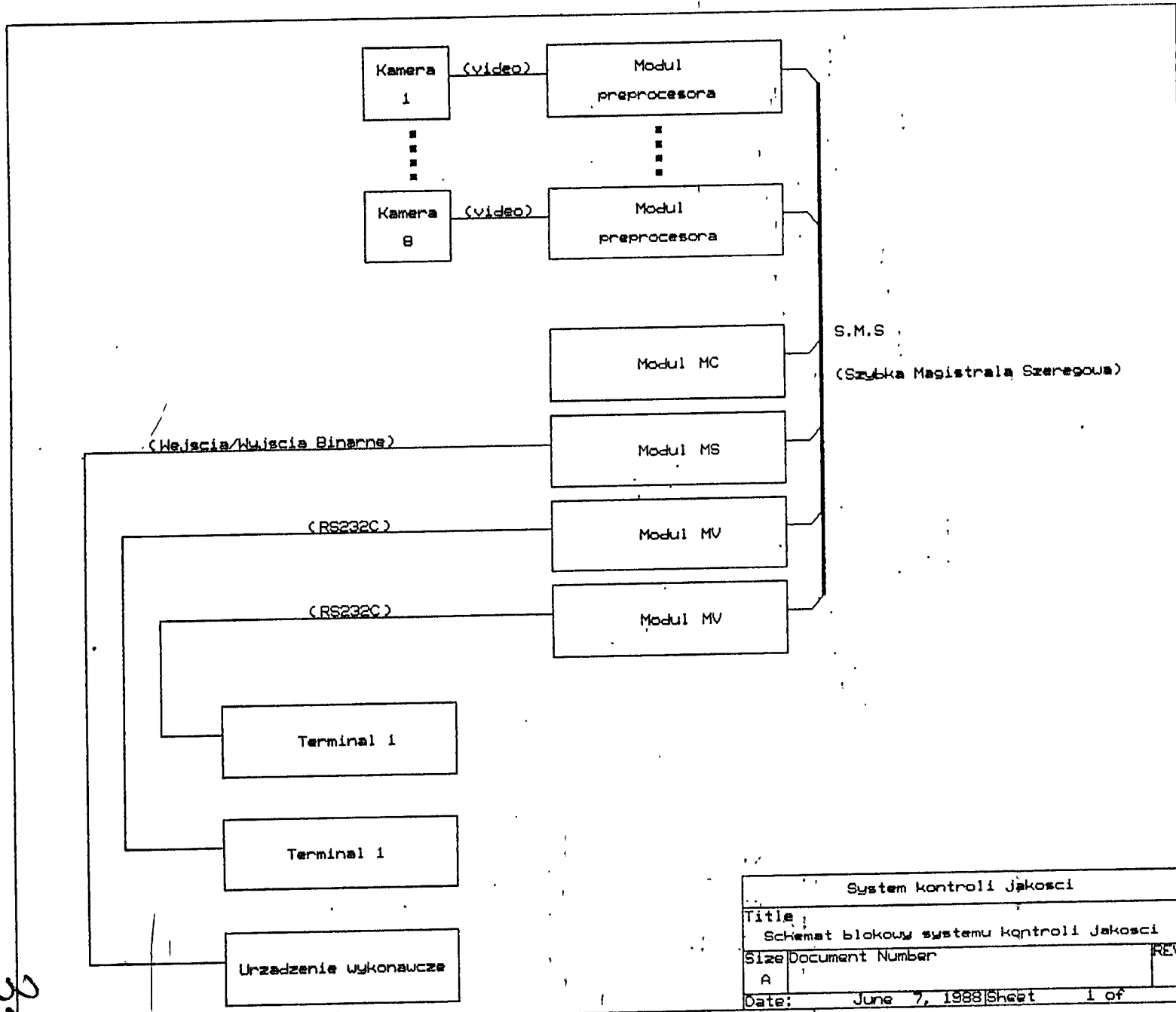
Przedstawiony układ kontroli jakości powstał w oparciu o założenie ograniczenia liczby modułów niezbędnych do jego skonfigurowania. Przyjęto również założenie o wykorzystaniu szybkiej magistrali szeregowej wyłącznie do obsługi preprocesorów. Dołączanie innych modułów zmniejsza szybkość przepatrywania preprocesorów przez jednostkę centralną.

Z tych powodów została opracowana specjalizowana jednostka centralna obsługująca zarówno preprocesory, jak też wejścia i wyjścia binarne, dwukanałowe łącze szeregowe RS232C, kontrolująca napięcia zasilania systemu. Została umieszczona w obudowie pojedynczego modułu systemu KJ /podwójna szerokość modułów sterownika PRO2/SM/, co umożliwia zrealizowanie układu minimalnego za pomocą dwóch modułów - preprocesora i jednostki centralnej.

Powstającym równolegle, bardziej zaawansowanym w realizacji, jest projekt zminiaturyzowanego sterownika robotów prostych PRO2/SM, przewidywanego do produkcji seryjnej. Ponieważ została zapewniona zgodność sprzętowa i programowa szybkiej magistrali szeregowej, umożliwiającej wymianę informacji pomiędzy modułami w obydwu urządzeniach, realne jest zastąpienie specjalizowanej jednostki centralnej systemu KJ odpowiednimi modułami sterownika PRO2/SM. W tym wypadku zastosowane zostaną standardowe moduły jednostki centralnej MC, wejść/wyjść binarnych MS, dwa moduły łączące szeregowych MV. Konfiguracja minimalna systemu kontroli jakości, równoważna funkcjonalnie układowi z specjalizowaną jednostką centralną systemu KJ, składa się z preprocesora i czterech modułów sterownika PRO2/SM: MC, MS, 2xMV.

W przypadku skrajnie prostych sterowań, nie wymagających złożonej obsługi urządzenia wykonawczego, moduł MC może być pominięty. Jego funkcje przejmie wówczas moduł MS, obsługujący równocześnie wejścia i wyjścia binarne. Dodatkowo, zależnie od wymagań użytkownika może być pominięty jeden z modułów komunikacyjnych MV. Pożądane jest wyposażenie systemu w jeden moduł MV, ułatwiający czynności uruchomieniowe, adaptacyjne i serwisowe. W skrajnym przypadku, możliwe jest wykorzystanie wyłącznie modułu MS, z tym, że funkcje komunikacji z otoczeniem zostaną zredukowane do obsługi wejść i wyjść binarnych.





System kontroli jakosci	
Title: Schemat blokowy systemu kontroli jakosci	
Size	Document Number
A	REV
Date:	June 7, 1988 Sheet 1 of 1

CG

W Y K A Z

ELEMENTÓW PREPROCESORA BINARNEGO

## BLOK SPRZEGAJACY

## LISTA ELEMENTÓW

Lp.	nazwa elementu	oznaczenie	typ	L.szt.	uwagi
1.	Układ scalony	US1, US3	LM318	2	
2.		US2	ULY7741	1	
3.		US4	UCY75110	1	
4.	tranzystor	T1, T3	BF194	2	
5.		T2	BF173	1	
6.	dioda	D1, D3, D5	BAYP94	3	
7.		D2	BZP683-C3V3	1	
8.		D4, D6, D7	BZP683-C6V8	3	
9.		D8	BZP683-C16	1	
10.	rezystor	R <sub>1</sub>	51/0.25w	1	
11.		R <sub>2</sub>	100k/0.125w	1	
12.		R <sub>3</sub> , R <sub>8</sub> , R <sub>12</sub>	4.7k/0.25w	1	
13.		R <sub>4</sub>	33k/0.125w	1	
14.		R <sub>5</sub>	11k/0.125w	1	
15.		R <sub>6</sub>	400/0.25w	1	
16.		R <sub>7</sub>	10k/0.125w	1	
17.		R <sub>9</sub>	330/0.25w	1	
18.		R <sub>10</sub>	15k/0.25w	1	
19.		R <sub>13</sub>	1k/0.125w	1	
20.		R <sub>14</sub>	150/0.25w	4	
21.	potencjometr wieloobrotowy	R <sub>11</sub>	5k	2	miniaturowy
22.		R <sub>15</sub>	10k	1	miniaturowy
23.	kondensator	C <sub>1</sub>	1,5uF	1	
24.		C <sub>2</sub>	10uF	1	
25.		C <sub>3</sub>	1uF/16V	1	tantal.
26.		C <sub>4</sub> , C <sub>5</sub>	22uF/10V	2	
27.		C <sub>6</sub> , C <sub>9</sub>	220uF/40V	2	elektrolit
28.		C <sub>7</sub> , C <sub>8</sub>	220uF/10V	2	elektrolit
29.	dławik	L <sub>1</sub> , L <sub>2</sub> , L <sub>3</sub>	DR10/1,5A	3	

BLOK PRZETWORNIKA ANALOGOWO-CYFROWEGO

LISTA ELEMENTÓW

Lp.	nazwa elementu	oznaczenie	typ	L.szt.	uwagi
1.	układ scalony	US1,_,US8	UCY75107	8	
2.		US9,US13, US15	74LS00	3	
3.		US12	74LS04	1	
4.		US11	74LS30	1	
5.		US12	74LS20	1	
6.	rezystor	R <sub>1</sub> ,...,R <sub>17</sub>	10 /0.125w	17	
7.		R <sub>0</sub>	170/0.125w	1	
8.		R	1k/0.125w	8	
9.	kondensator	C <sub>2</sub>	10nF	1	
10.		C <sub>1</sub>	220uF/10V	2	elektrolit.
11.		C	1uF/10V	16	tantal.

BLOK PRZETWARZANIA

LISTA ELEMENTÓW

Lp.	nazwa elementu	oznaczenie	typ	L.szt.	uwagi
1.	układ scalony	US1, US2	74LS171	2	
2.		US3	74LS181	1	
3.		US4	74LS85	1	
4.		US5, US6	74LS164	2	
5.		US7	27512	1	
6.		US8, US9	74LS393	2	
7.		US10	74LS21	1	
8.		US11	74LS08	1	
9.		US12	74LS20	1	
10.		US13	74LS02	1	
11.		US14, ... US19	74LS224	6	
12.		US20, US25, US27	74LS04	3	
13.		US21, US23	74LS76A	2	
14.		US22	TBP28S165A	1	
15.		US24	74LS373	1	
16.		US26	74132	1	
17.		US28	74LS138	1	
18.		US29	8282	1	
19.		US30	74LS74	1	
20.	rezonator kwarcowy	X1	8MHz	1	
21.	rezystor	R	1k/0.125w	13	
22.		R <sub>1</sub>	10k/0.125w	1	
23.	kondensator	C <sub>1</sub>	10uF/10V	1	elektrolit.
24.		C <sub>2</sub>	10uF	1	
25.		C <sub>3</sub>	10pF	1	
26.		C <sub>4</sub>	10pF	1	trymer
27.		C <sub>5</sub>	330uF	1	
28.		C <sub>6</sub>	220uF/10V	1	elektrolit.

## BLOK MIKROKONTROLERA 8031

## LISTA ELEMENTÓW

Lp.	nazwa elementu	oznaczenie	typ	L.szt.	uwagi
1.	układ scalony	US1	8031	1	
2.		US2	DS26LS31	1	
3.		US3	DS26LS32	1	
4.		US4, US11	74LS373	2	
5.		US5	27512	1	
6.		US6	6264	1	
7.		US7	74LS138	1	
8.		US8, US9	74LS76A	2	
9.		US10	TBP24S10	1	
10.		US12, US17	74LS21	1	
11.		US13	74LS04	1	
12.		US14	74LS00	1	
13.		US15	74LS02	1	
14.		US16	74LS244	1	
15.	rezystor	R	1k/0.125w	17	
16.		R <sub>2</sub>	10k/0.125w	3	
17.		R <sub>3</sub>	100/0.25w	1	
18.	rezonator kwarcowy	X1	11.059MHz	1	
19.	kondensator	C	10uF/10V	1	
20.		C <sub>1</sub>	220uF/10V	1	elektrolit.
21.		C <sub>2</sub>	20pF	2	
22.		C <sub>3</sub>	10uF/10V	1	elektroli- tyczny
23.		C <sub>4</sub>	330nF	1	

W Y K A Z

ELEMENTÓW MODUŁU JEDNOSTKI CENTRALNEJ

BLOK JEDNOSTKI CENTRALNEJ

LISTA ELEMENTÓW

Lp.	nazwa elementu	oznaczenie	typ	L.szt.	uwagi
1.	układ scalony	US1	8031	1	
2.		US2	DS26LS31	1	
3.		US3	DS26LS32	1	
4.		US4, US12	74LS373	2	
5.		US5	27512	1	
6.		US6	6264	1	
7.		US7	74LS138	1	
8.		US8, US9	8251A	2	
9.		US10	8253	1	
10.		US11	8255A	1	
11.		US13	74LS148	1	
12.		US14, US15	74LS00	2	
13.		US16	74LS93	1	
14.		US17	74LS04	1	
15.		US18	74132	1	
16.		US19	LM311	1	
17.	rezystor	R	1k/0.125w	14	
18.		R <sub>2</sub>	10k/0.125w	1	
19.		R <sub>3</sub>	4.7k	1	
20.	potencjometr miniaturowy	R <sub>4</sub>	15k	1	wielobrotowy, Heli-trim
21.	rezystor	R <sub>5</sub>	400/0.25w	1	
22.		R <sub>6</sub>	1k/0.25w	1	
23.		R <sub>7</sub>	100k/0.125w	1	
24.		R <sub>8</sub>	10k/0.125w	1	
25.		R <sub>9</sub>	100/0.25w	1	
26.	kondensator	C <sub>1</sub>	330 uF	1	
27.		C <sub>2</sub>	220uF/10V	1	
28.		C <sub>3</sub> , C <sub>7</sub>	10uF/10V	1	tantal.



29.	kondensator	C <sub>4</sub>	10pF	1	trim.
30.		C <sub>5</sub>	10uF	1	
31.		C <sub>6</sub>	20pF	2	
32.		C <sub>8</sub>	100uF/10V	1	elektrolit.
33.	rezonator kwarcowy :	X1	11.059MHz	1	
34.		X2	4MHz	1	
35.	dioda	D1, D3	BAP795	2	
36.		D2	BAP812	1	
37.	rezystor	R <sub>10</sub>	2.2k/0.125x	1	
38.	kondensator	C <sub>9</sub>	10pF	1	

HA

BLOK WEJŚĆ BINARNYCH

LISTA ELEMENTÓW

Lp.	nazwą elementu	oznaczenie	typ	L.szt.	uwagi
1.	układ scalony	US1	74132	2	
2.		US2	CNMP63	8	
3.	dioda	D	BAP795	8	
4.	rezystor	R <sub>1</sub>	51/0.5w	8	
5.		R <sub>2</sub>	680/.025w	8	
6.		R <sub>3</sub>	10k/0.125w	8	
7.		R <sub>4</sub>	470/0.25w	8	
8.		R	1k/0.125w	2	
9.	kondensator	C	220uF/10V	1	elektroli- tyczny

BŁOK WYJŚC BINARNYCH

LISTA ELEMENTÓW

Lp.	nazwa elementu	oznaczenie	typ	L.szt.	uwagi
1.	układ scalony	US1	74132	8	
2.		US2	7406	2	
3.		US3, US4	CNMP63	16	
4.		US5	74LS74	1	
5.		US6	ULY7855	1	
6.		US7	74LS30	1	
7.		US8	74LS10	1	
8.	tranzystor	T1	BD646	8	
9.		T4	BC157	8	
10.		T3, T2	BC147	8	
11.	dioda	D1, D2	BYP401-100	16	
12.		D3, D4	BAP795	16	
13.		D5	BZP683-C3V3	8	
14.	rezystor	R	1k/0.125w	10	
15.		R <sub>1</sub>	1,4/1w	8	
16.		R <sub>2</sub> , R <sub>6</sub> , R <sub>8</sub>	10k/0.25w	8	
17.		R <sub>3</sub> , R <sub>4</sub> , R <sub>5</sub> , R <sub>9</sub>	1k/0.25w	32	
18.		R <sub>10</sub>	470/0.25w	8	
19.		R <sub>11</sub>	4.7k/0.125	1	
20.		R <sub>12</sub>	4.74/0.125	1	
21.	kondensator	C <sub>1</sub> , C <sub>2</sub> , C <sub>3</sub>	100uF	8	
22.		C <sub>4</sub>	100uF	1	
23.		C <sub>5</sub>	10uF	8	
24.		C <sub>6</sub>	220uF/10V	1	elektrolit.
25.		C <sub>7</sub>	220uF/63V	1	elektrolit.
26.	rezystor	R <sub>7</sub>	150/0,5w	8	

BLOK ŁACZA SZEREGOWEGO

LISTA ELEMENTÓW

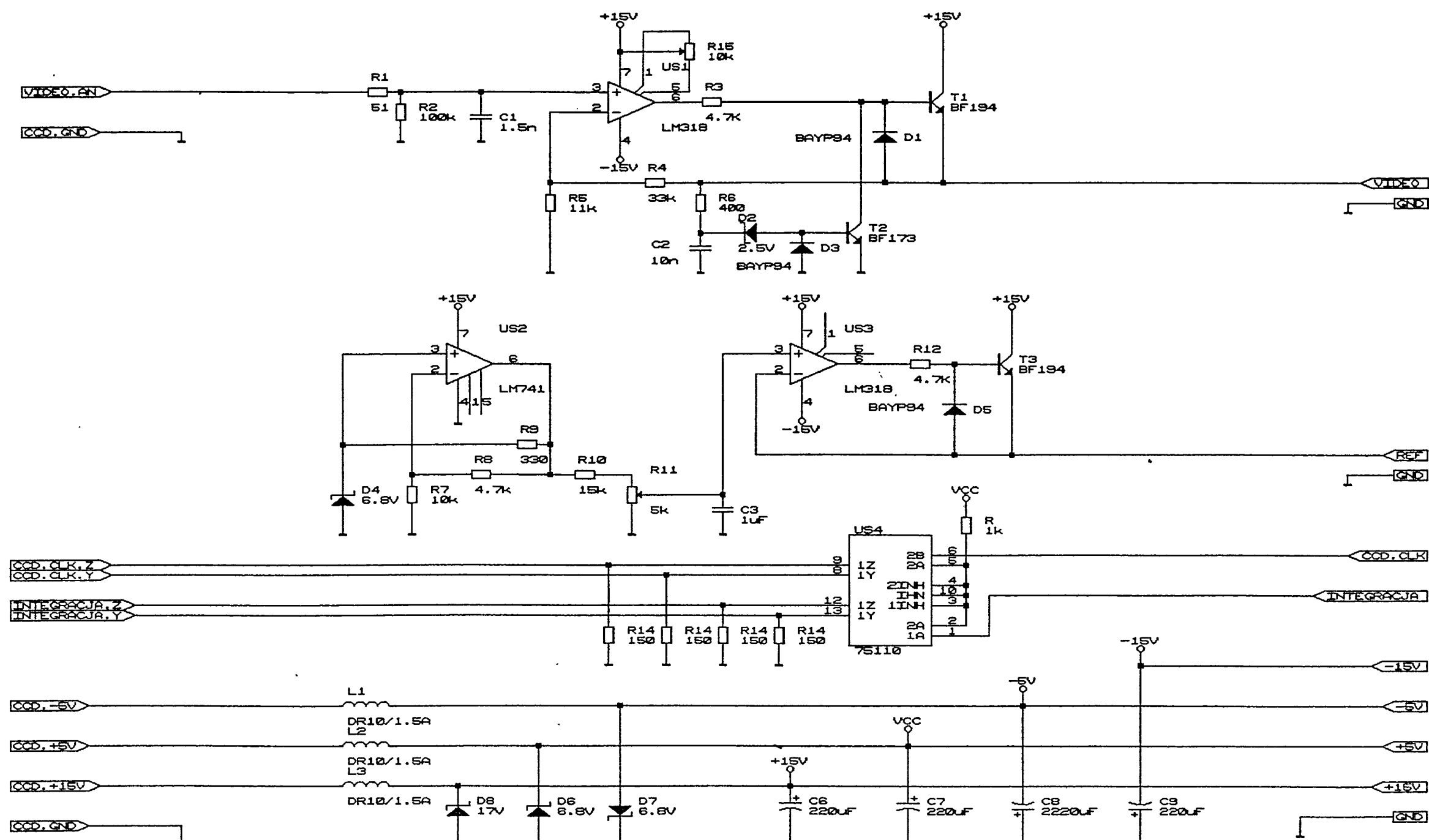
Lp.	nazwa elementu	oznaczenie	typ	l.szt.	uwagi
1.	układ scalony	US1,US2	74LS132	4	
2.		US3,US4	7406	4	
3.		US5,...,US11	CNMP63	14	
4.		US12	PS1488	2	
5.		US13	DS1489	2	
6.	rezystor	R	1k/0.125w	4	
7.		R <sub>1</sub>	10k/0.125w	14	
8.		R <sub>2</sub>	470/0.25w	14	
9.		R <sub>3</sub>	150/0.50	14	
10.		R <sub>4</sub>	4.7k/0.25w	2	
11.		C <sub>2</sub>	220uF/10V	2	elektrolit.
12.		C <sub>1</sub>	220uF/40V	2	elektrolit.

44

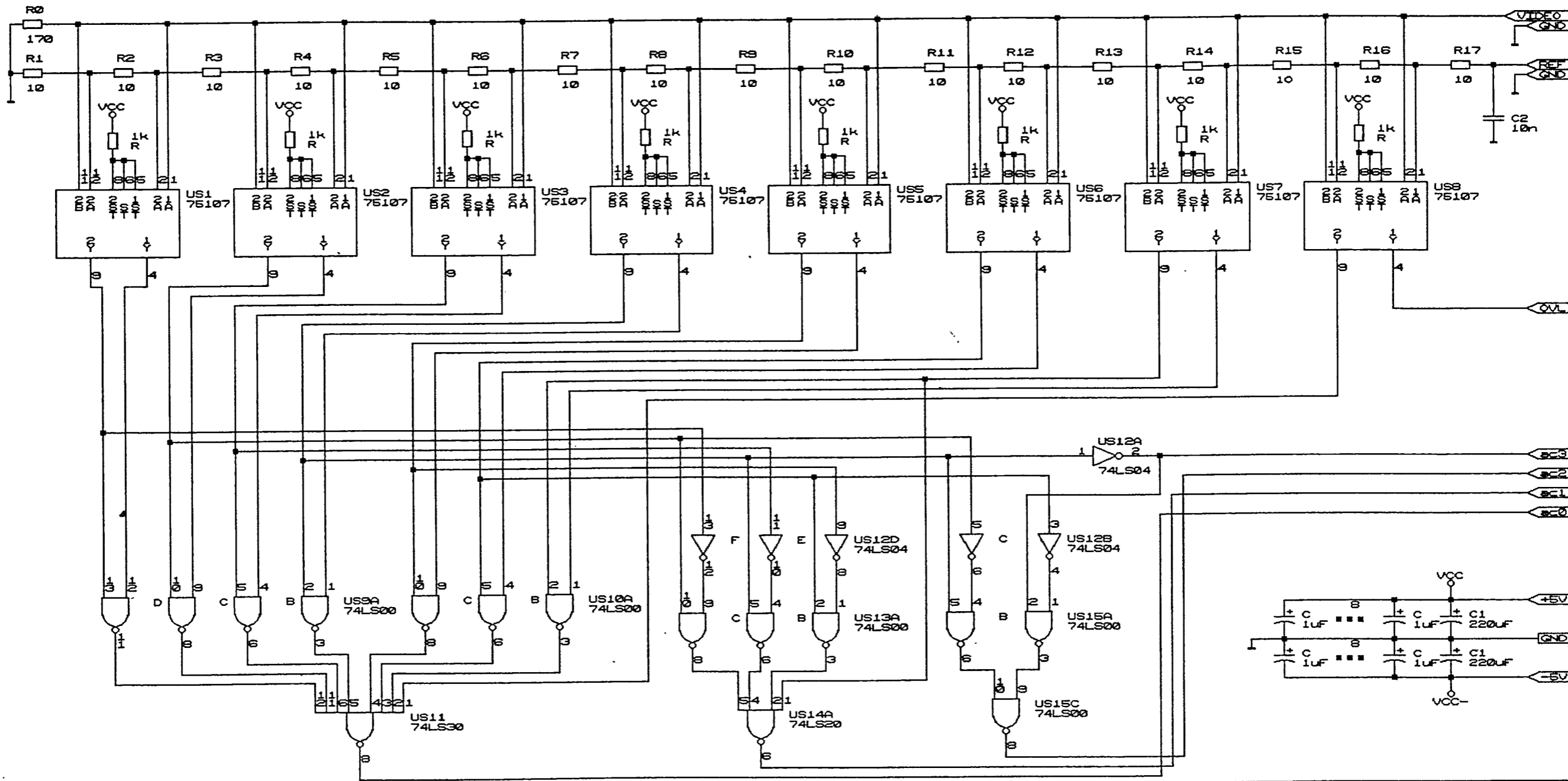
BLOK KONTROLI NAPIĘC ZASILACZA

LISTA ELEMENTÓW

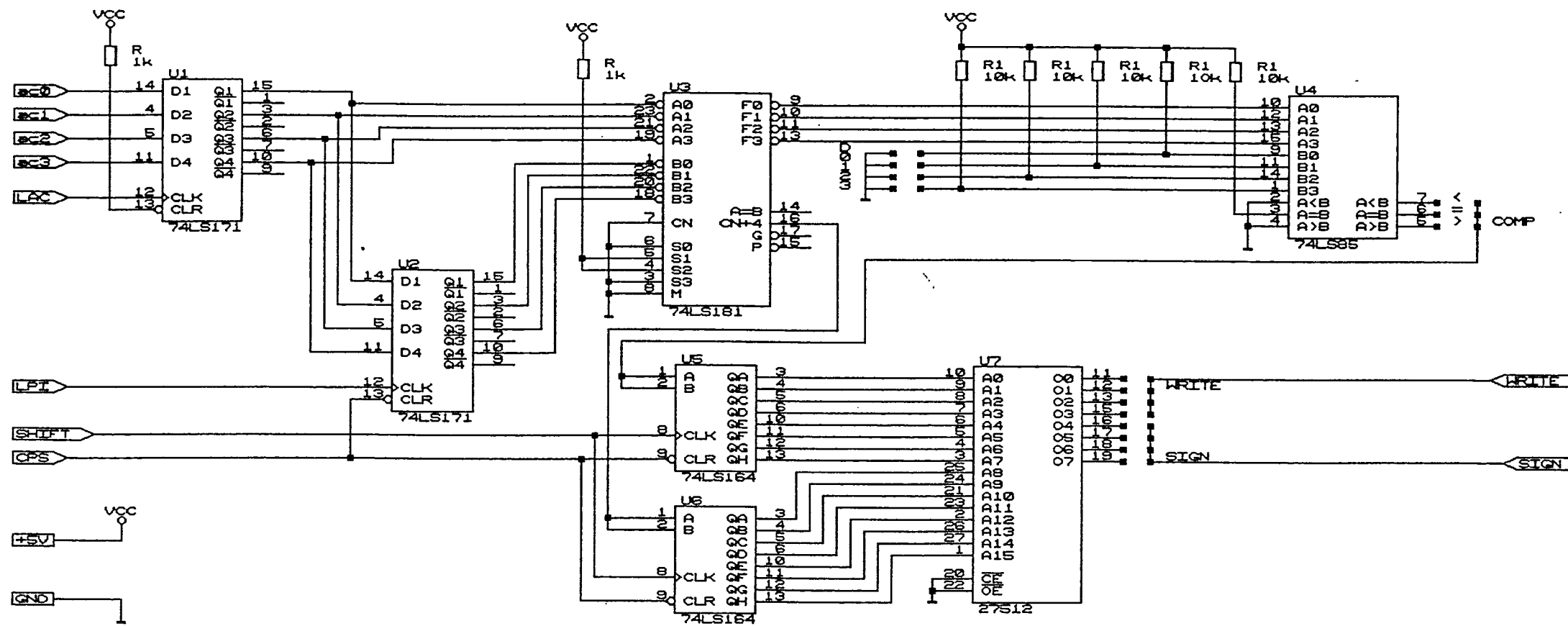
Lp.	nazwa elementu	oznaczenie	typ	l.szt.	uwagi
1.	układ scalony	US1,...,US7	LM311	7	
2.		US8,US9	CMMP63	2	
3.		US10	74132	1	
4.	dioda	D	BZP683-C3V3	5	
5.	rezystor	R <sub>2</sub>	33k/0.25w	1	
6.		R <sub>3</sub>	10k/0.25w	1	
7.		R <sub>4</sub>	1k/0.25w	1	
8.		R <sub>5</sub>	10k/0.25w	1	
9.		R <sub>6</sub>	10k/0.25w	1	
10.		R <sub>7</sub>	10k/0.25w	1	
11.		R <sub>8</sub>	1k/0.25w	1	
12.	potencjometr montażowy	R <sub>1</sub>	10k/0.5w	7	
13.	rezystor	R <sub>9</sub>	1,5k/0.25w	1	
14.		R <sub>10</sub>	1,5k/0.25w	1	
15.		R <sub>11</sub>	1,2k/0.25w	1	
16.		R <sub>12</sub>	1.2k/0.25w	1	
17.		R <sub>13</sub>	2.2k/0.25w	1	
18.		R <sub>14</sub>	1.2k/0.25w	1	
19.		R <sub>15</sub>	600/0.25w	1	
20.		R <sub>16</sub>	10k/0.125w	2	
21.		R <sub>17</sub>	470/0.25w	1	
22.		R	1k/0.25w	1	
23.	kondensator	C	100nF	7	



Modul preprocesora binarnego	
Title	Blok sprzegajacy
Size	Document Number
B	REV
Date:	May 4, 1988 Sheet 1 of 1

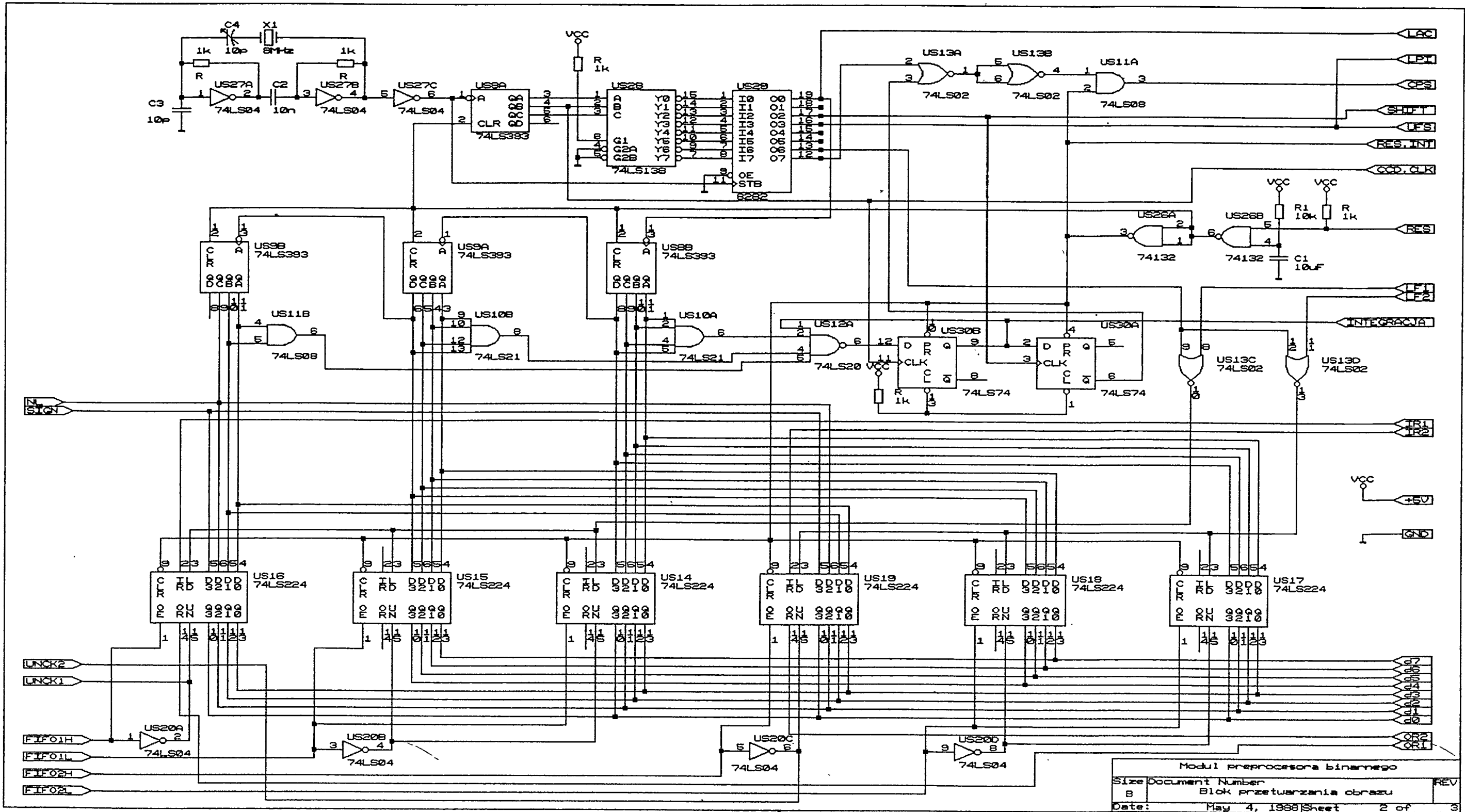


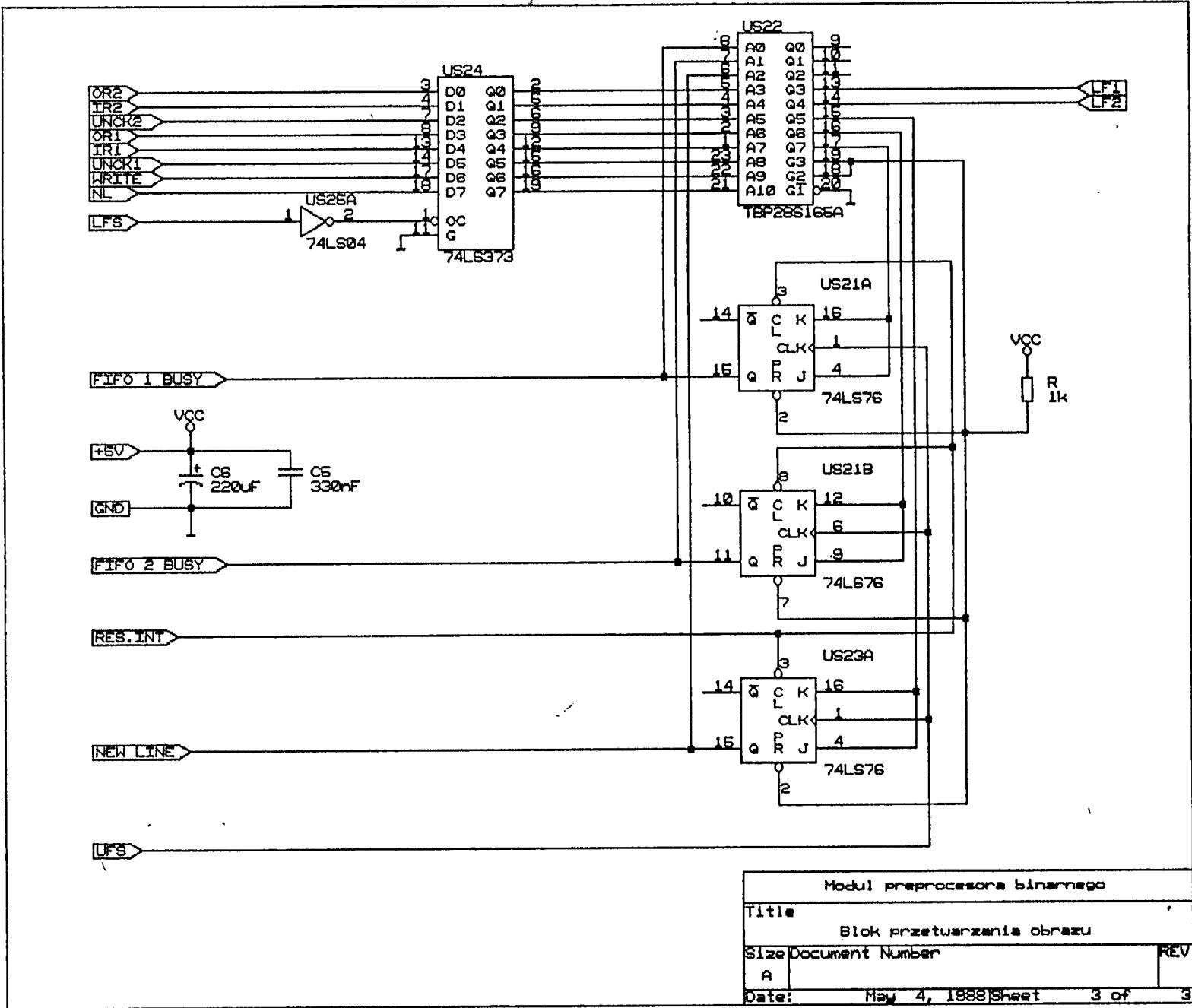
Modul preprocesora binarnego		
Title	Blok przetwornika a/c	
Size	Document Number	REV
B		
Date:	May 4, 1988	Sheet 1 of 1



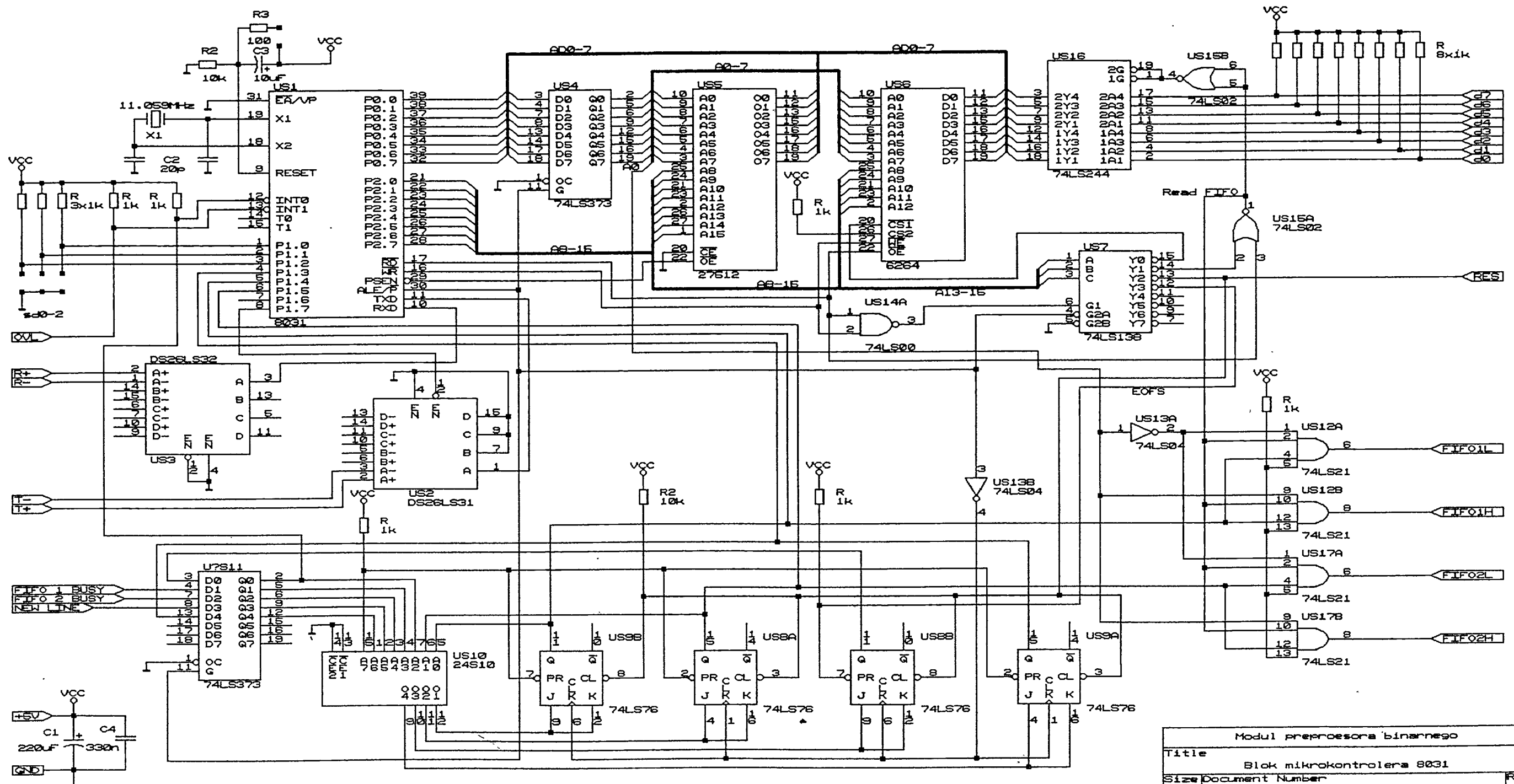
Modul preprocesora binarnego		
Title		
Blok przetwarzania obrazu		
Size	Document Number	REV
B		
Date:	May 4, 1988	Sheet 1 of 3



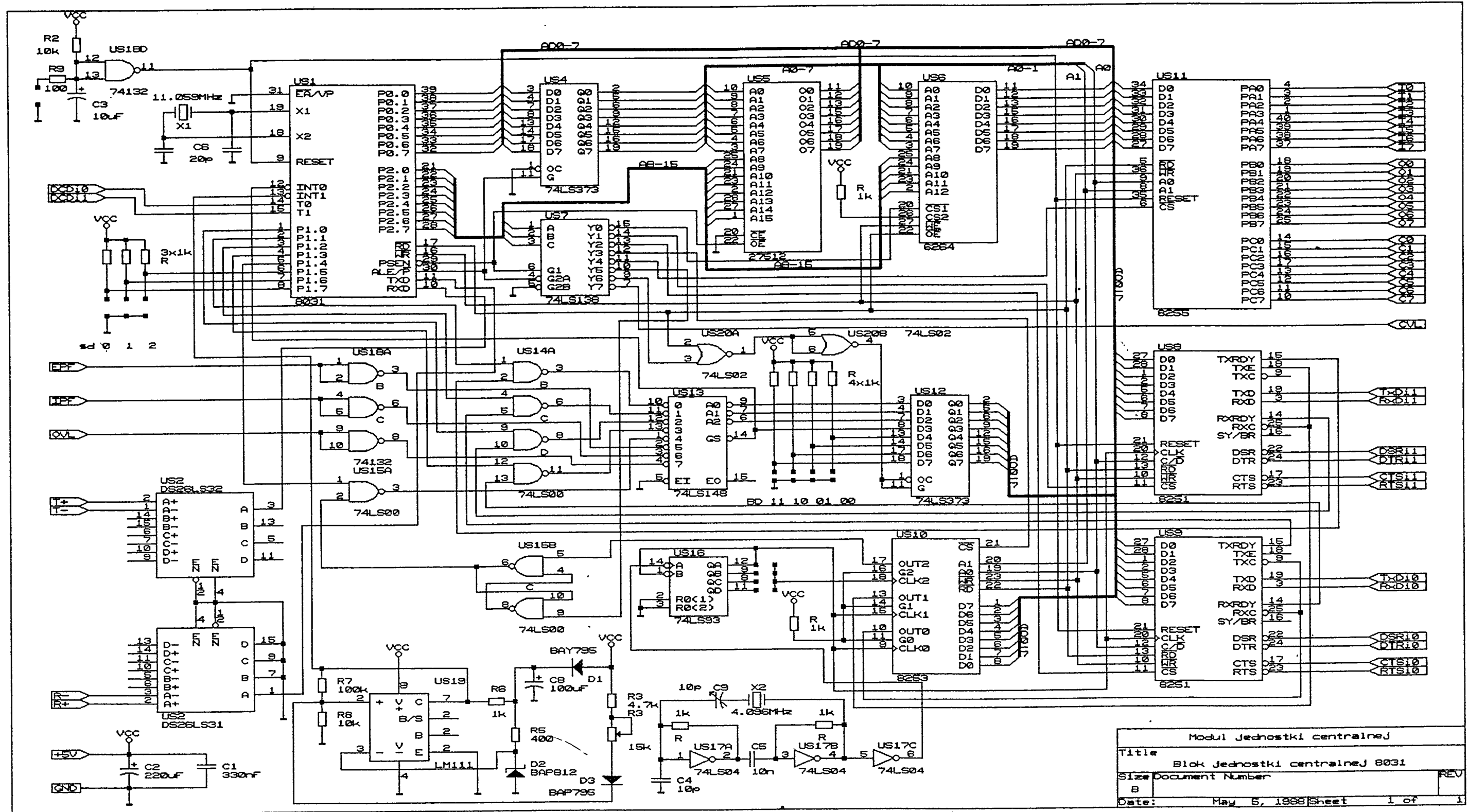




Modul preprocesora binarnego			
Title			
Blok przetwarzania obrazu			
Size	Document Number	REV	
A			
Date:	May 4, 1988	Sheet	3 of 3

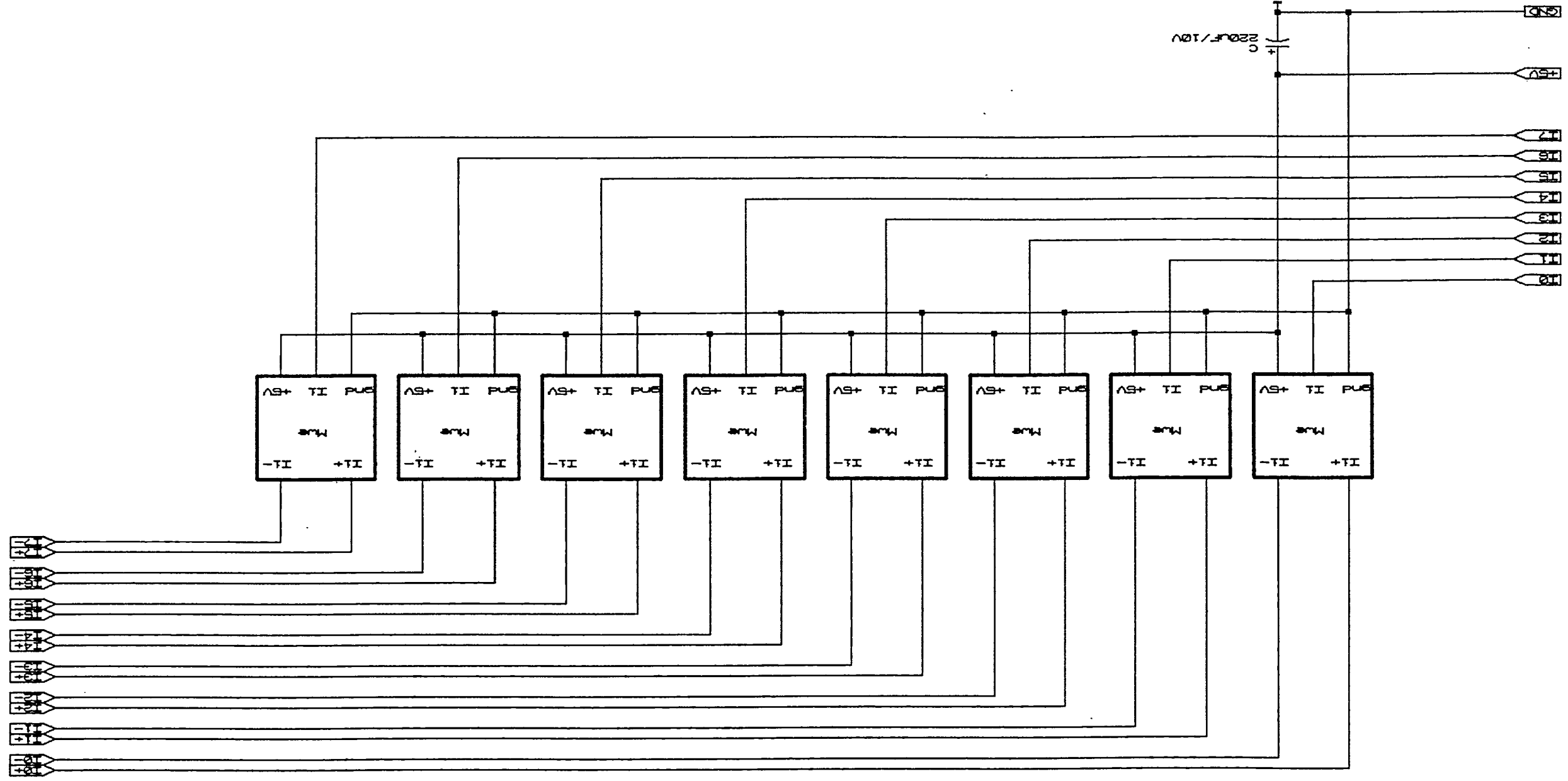


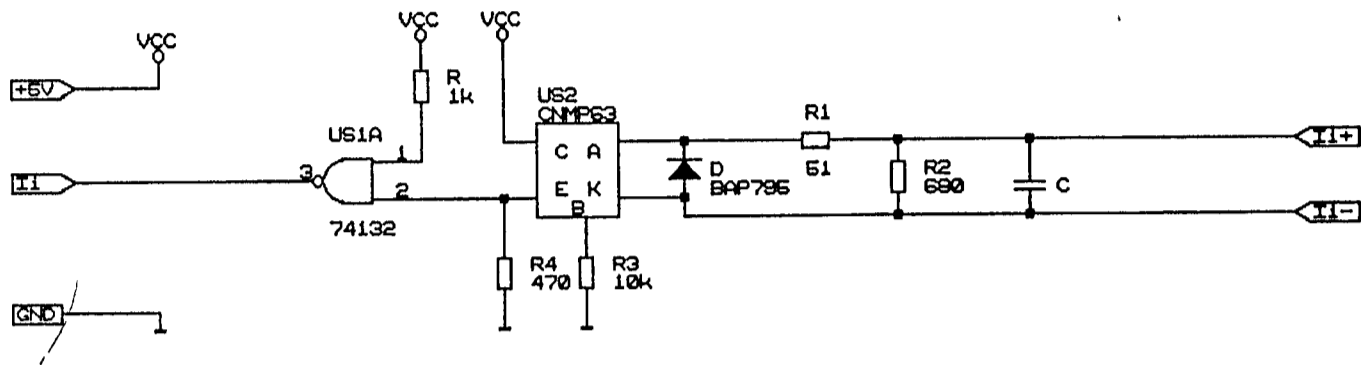
Modul preprocesa binarnego  
 Title Blok mikrokontrolera 8031  
 Size Document Number B  
 Date: May 5, 1988 Sheet 1 of 1



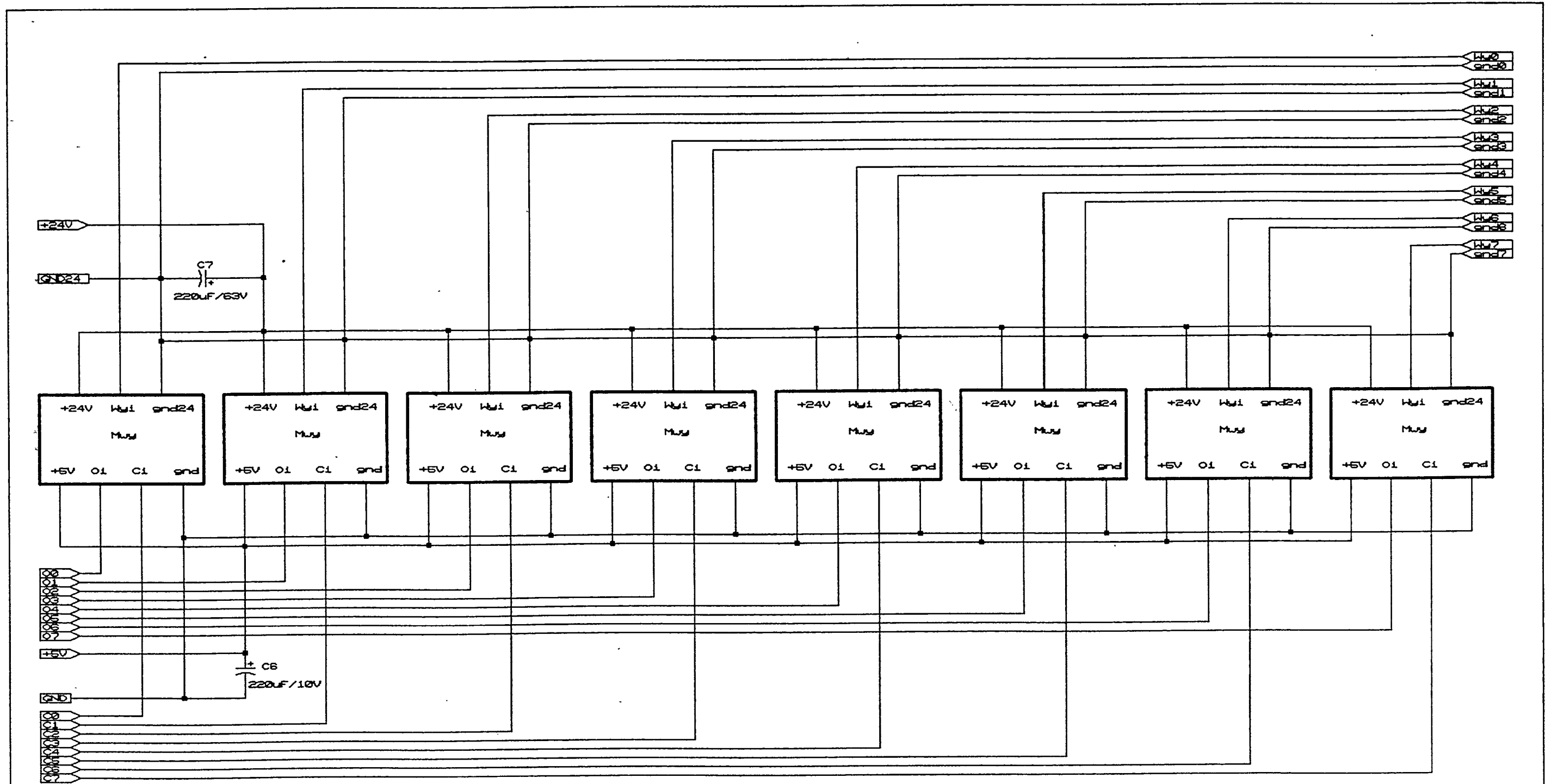
Modul Jednostki centralnej	
Title	Blok Jednostki centralnej 8031
Size	Document Number
B	REV
Date:	May 5, 1988 Sheet 1 of 1

Mue - rys.2



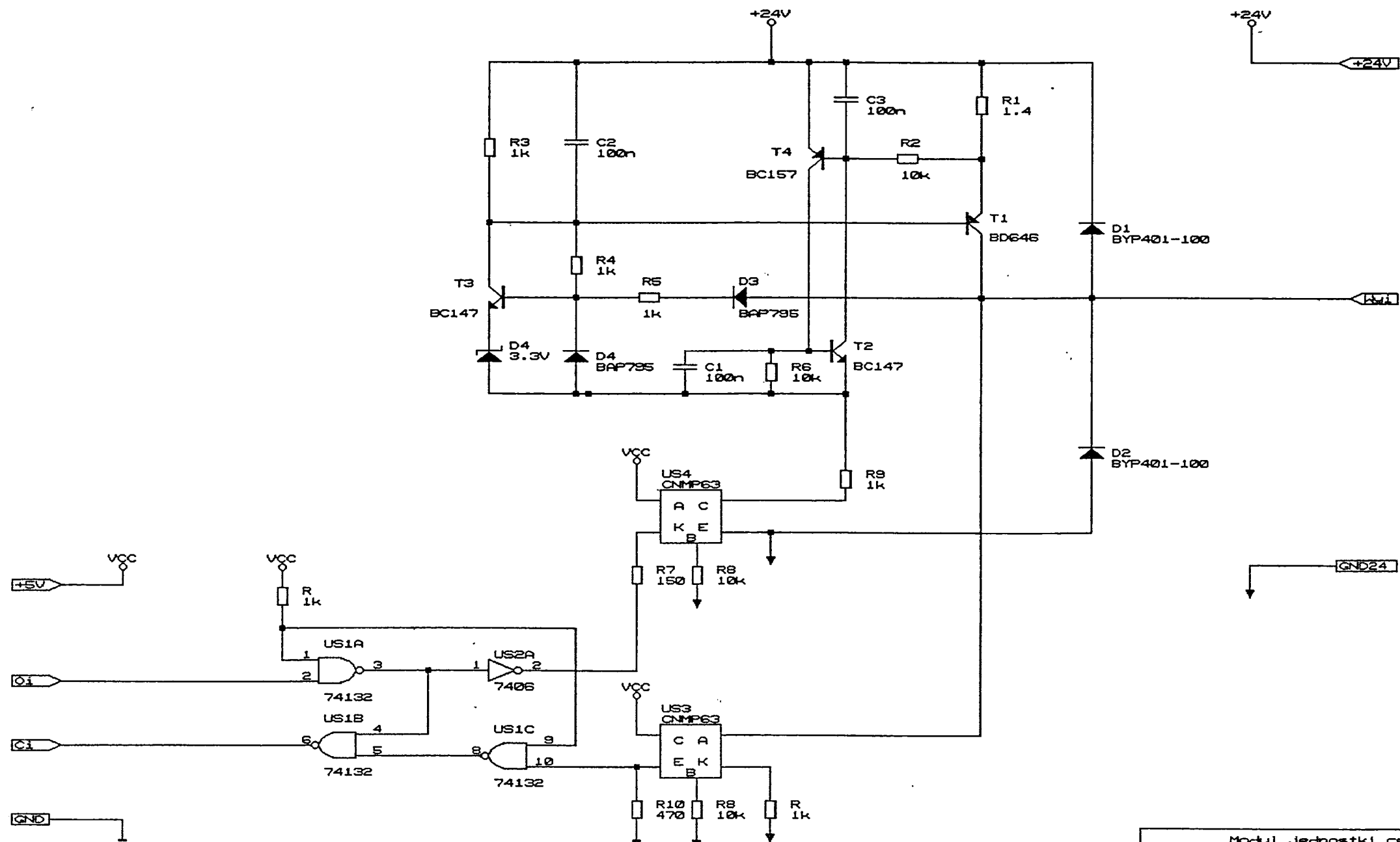


Modul jednostki centralnej		
Title		
Blok wejść binarnych		
Size	Document Number	REV
A		
Date:	April 11, 1988	Sheet 2 of 2



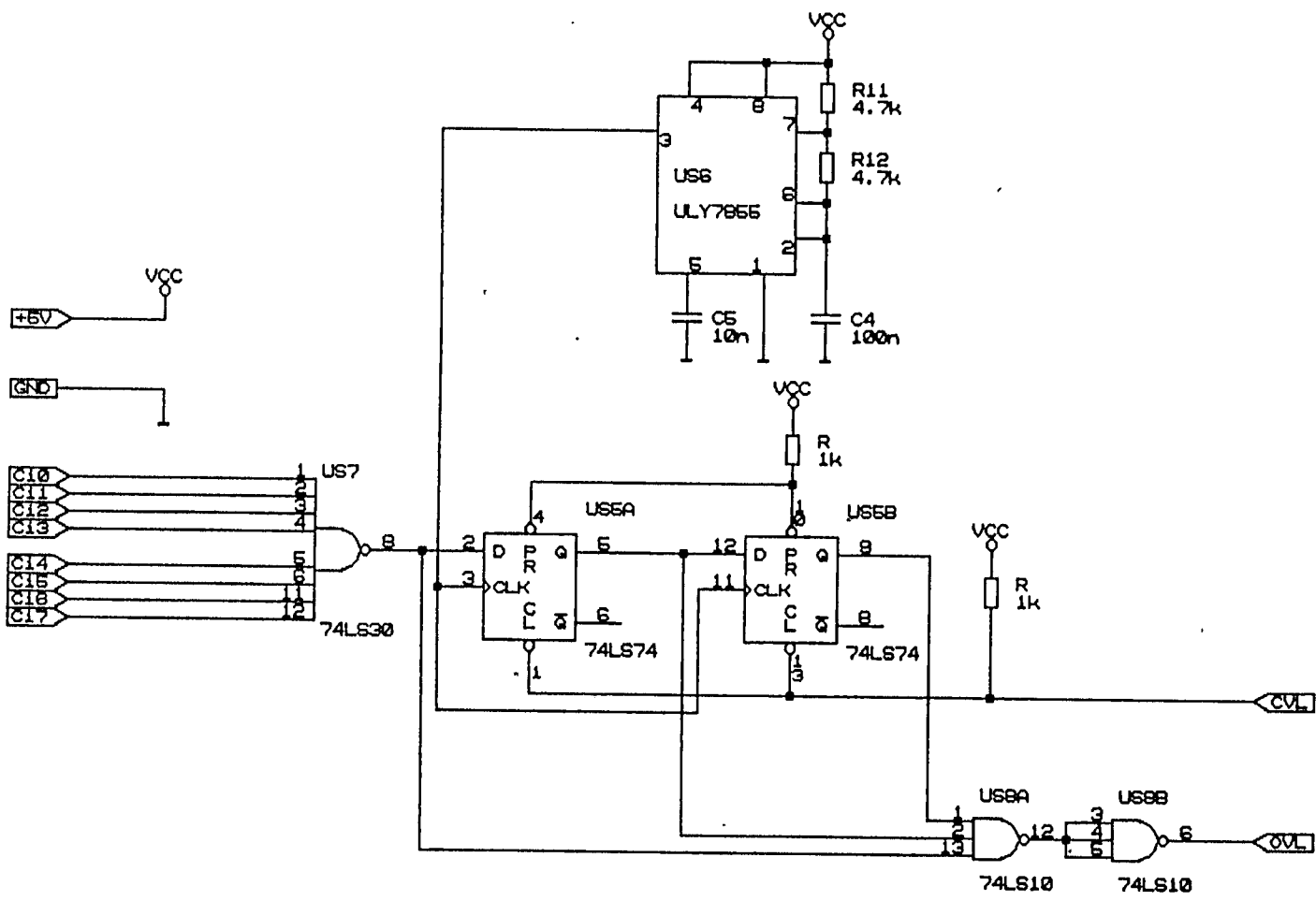
Muy - rys.2

Modul Jednostki centralnej		
Size	Document Number	REV
B	Blok wyjsc binarnych	
Date:	April 11, 1988	Sheet 1 of 3

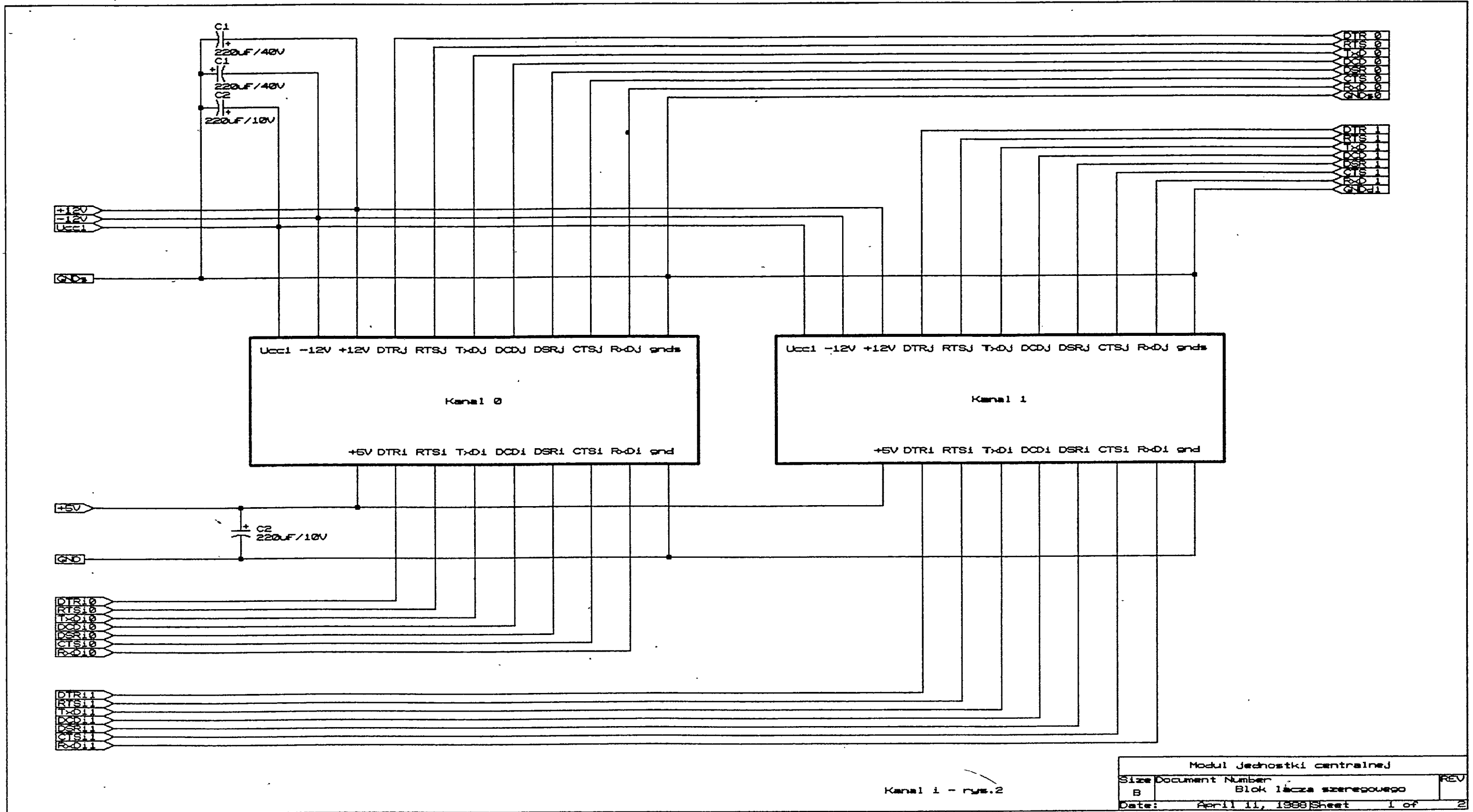


Modul jednostki centralnej		
Title		
Blok wyjść binarnych		
Size	Document Number	REV
B		
Date:	May 4, 1988	Sheet 2 of 3



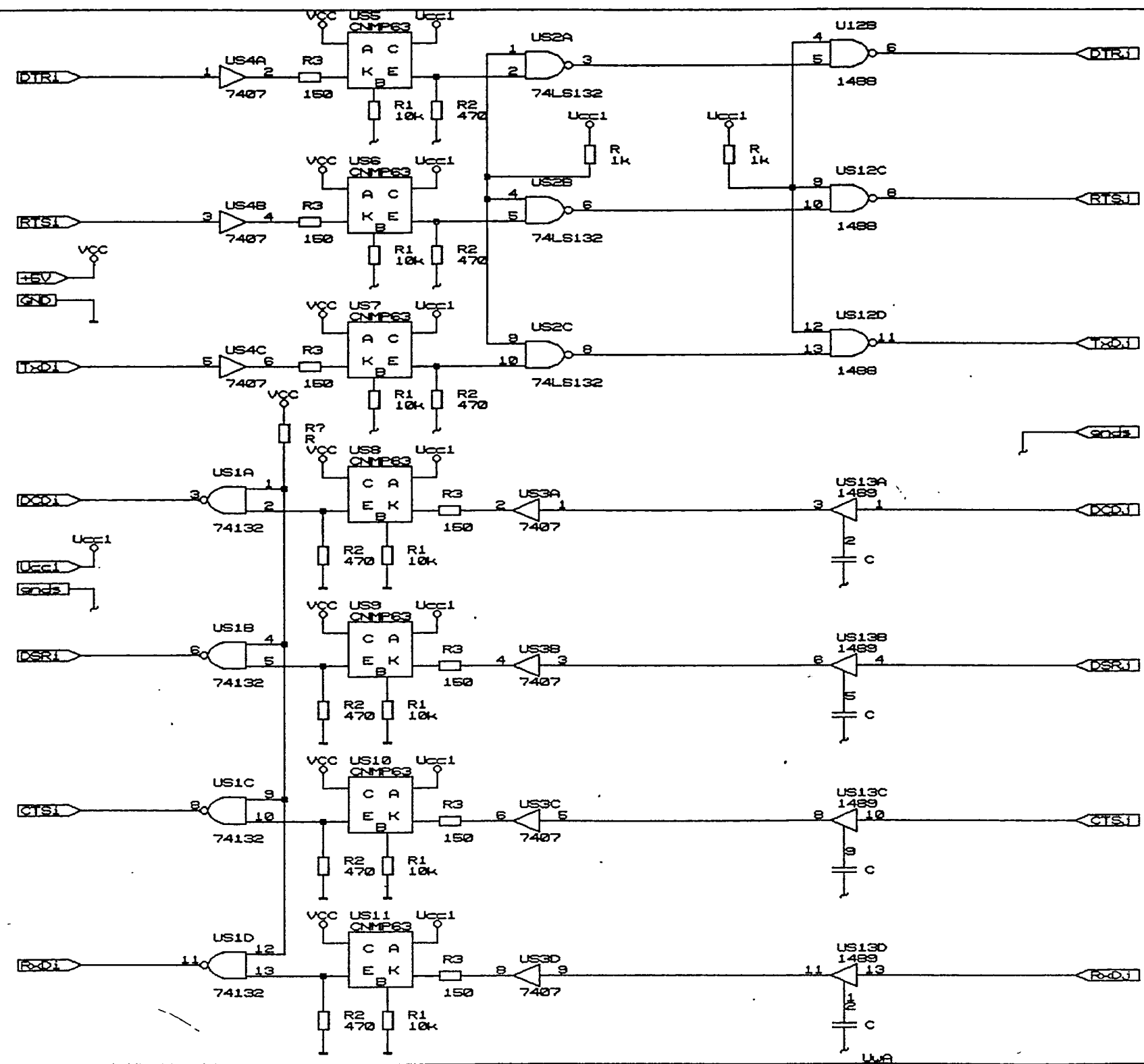


Modul Jednostki centralnej	
Title	
Blok wjsc binarnych	
Size Document Number	REV
A	
Date: April 11, 1988	Sheet 3 of 3

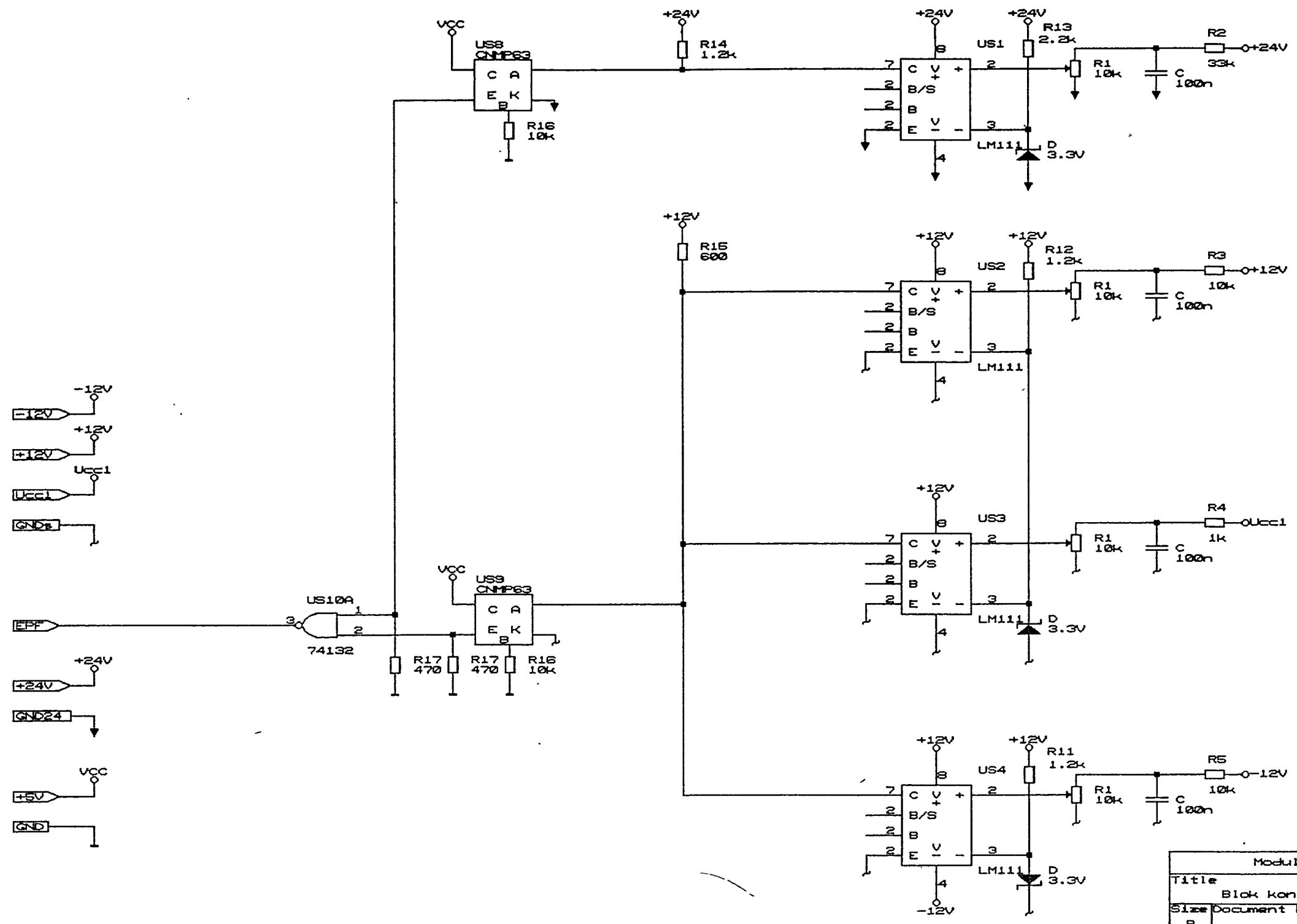


Kanal 1 - rys.2

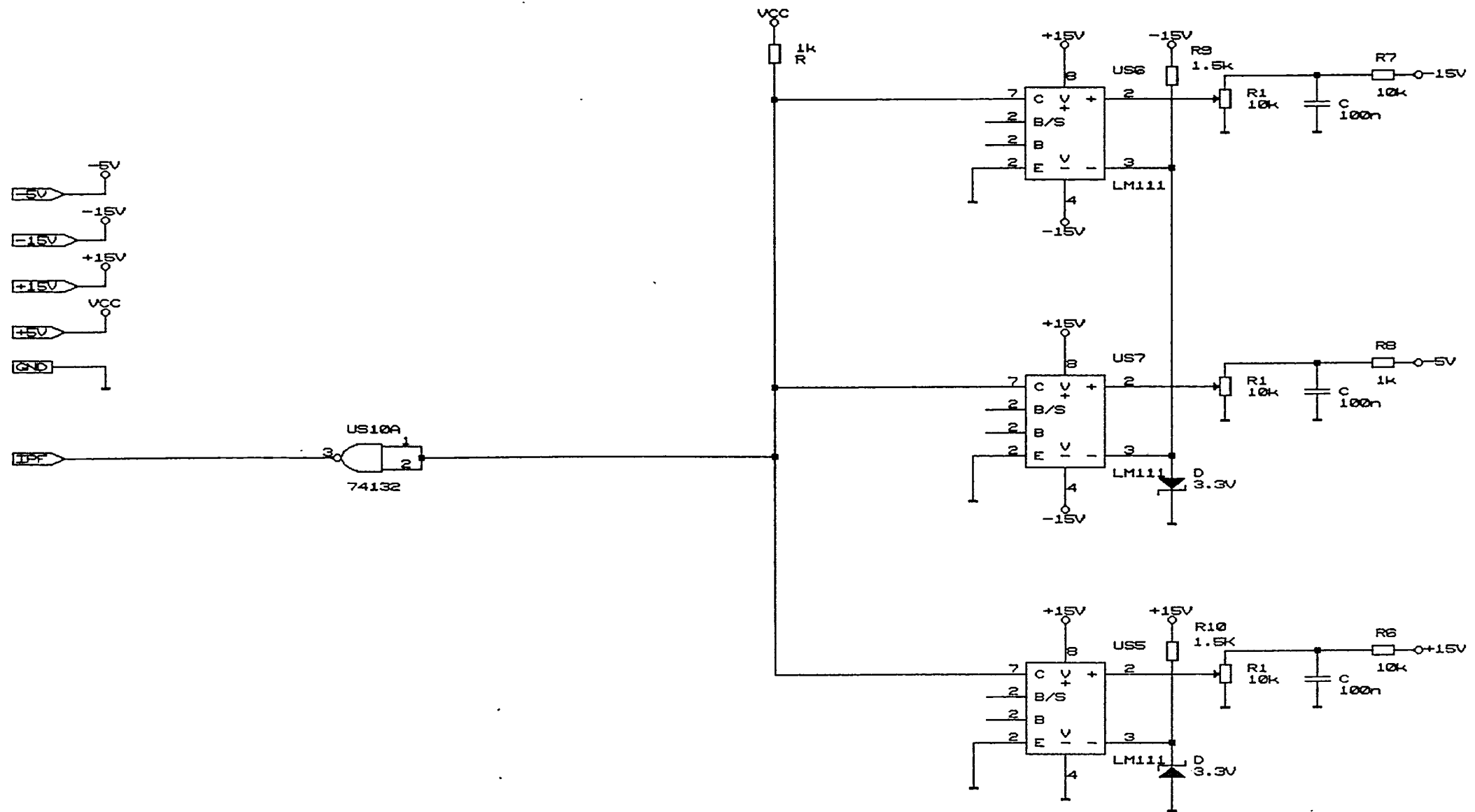
Modul jednostki centralnej		
Size	Document Number	REV
B	Blok łącz szeregowego	
Date:	April 11, 1988	Sheet 1 of 2



Modul Jednostki centralnej	
Title	
Kanal lacza szeregowego	
Size	Document Number
B	REV
Date:	April 11, 1988 Sheet 2 of 2

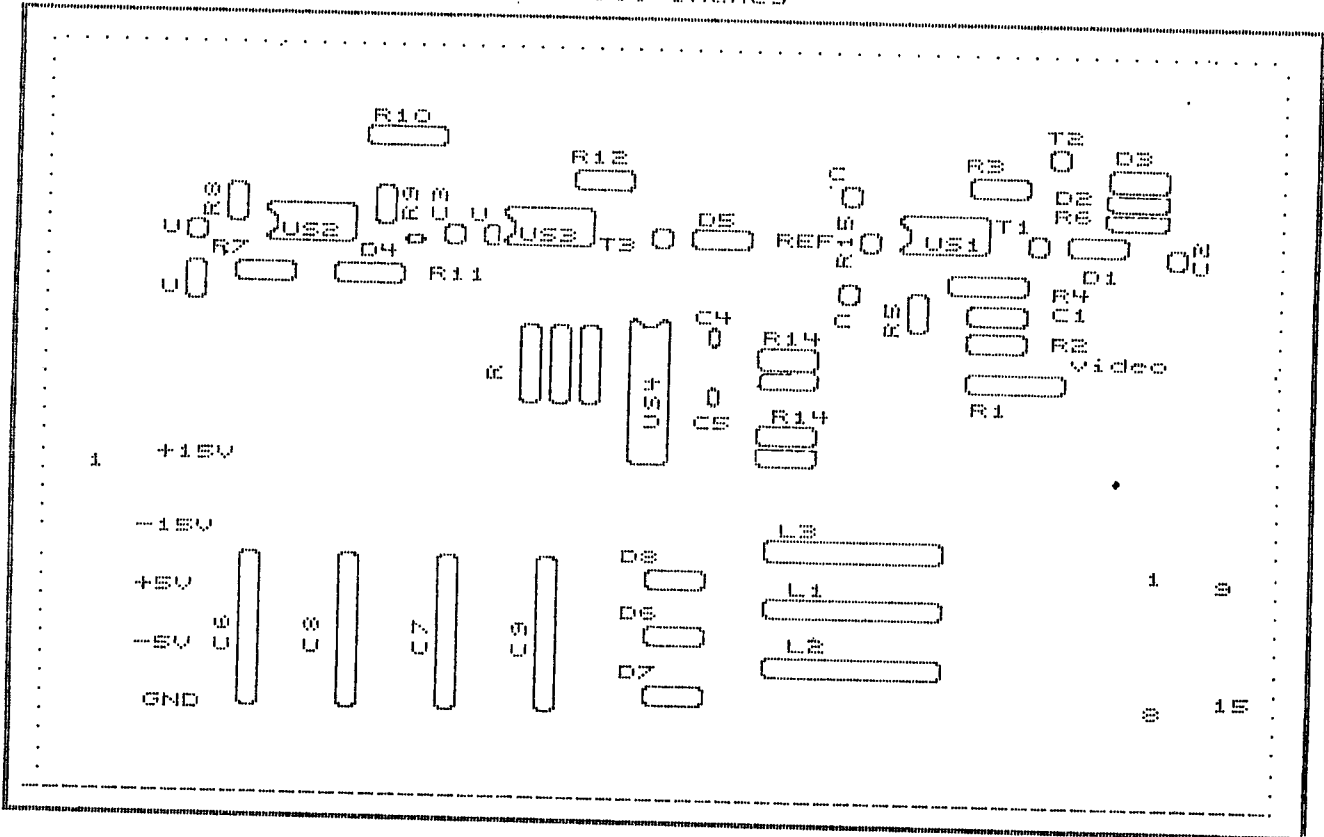


Modul Jednostki centralnej	
Title: Blok kontroli napieci zasilajacych	
Size: B	Document Number: REV
Date: April 11, 1988	Sheet 1 of 2

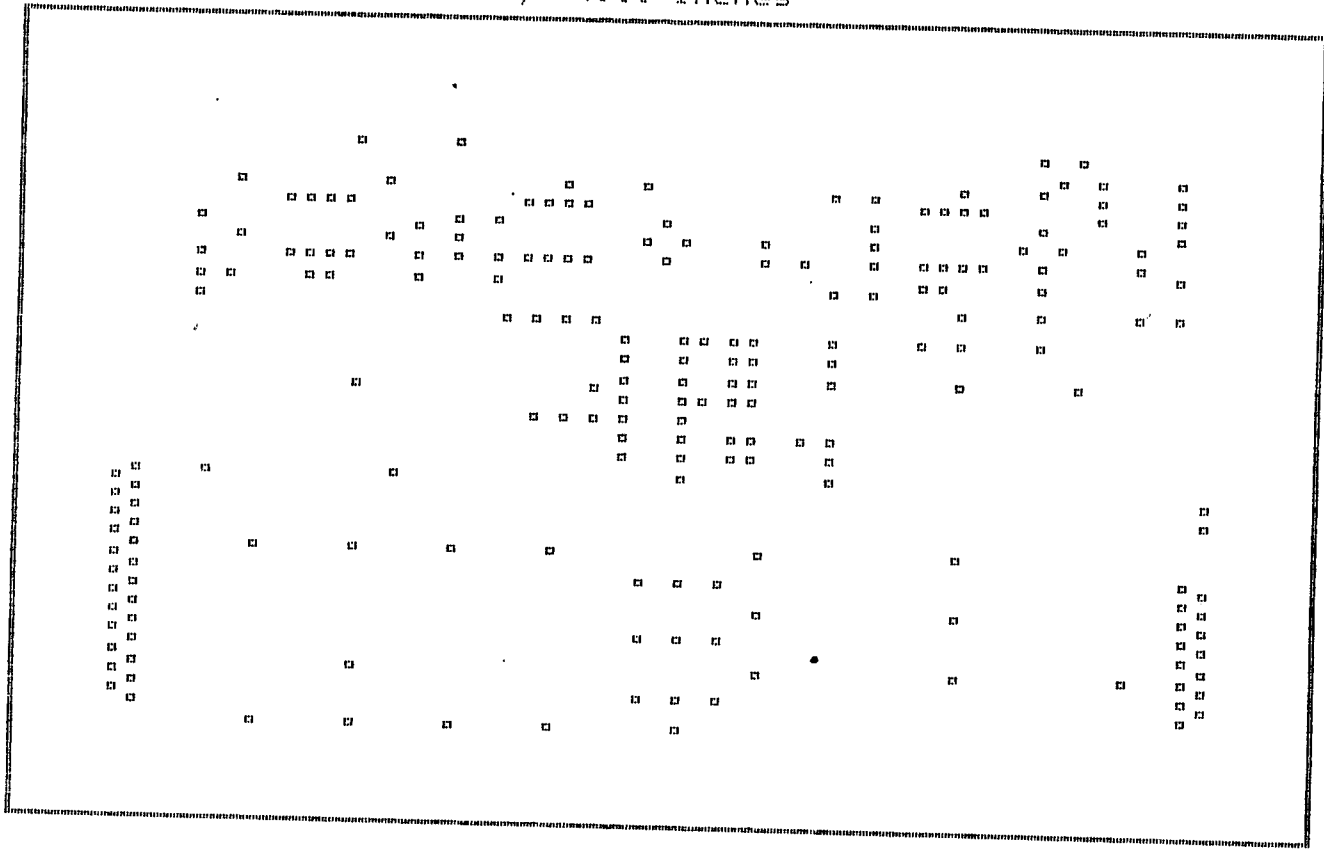


Modul Jednostki centralnej	
Title Blok kontroli napięć zasilających	
Size Document Number B	REV
Date: May 9, 1988	Sheet 2 of 2

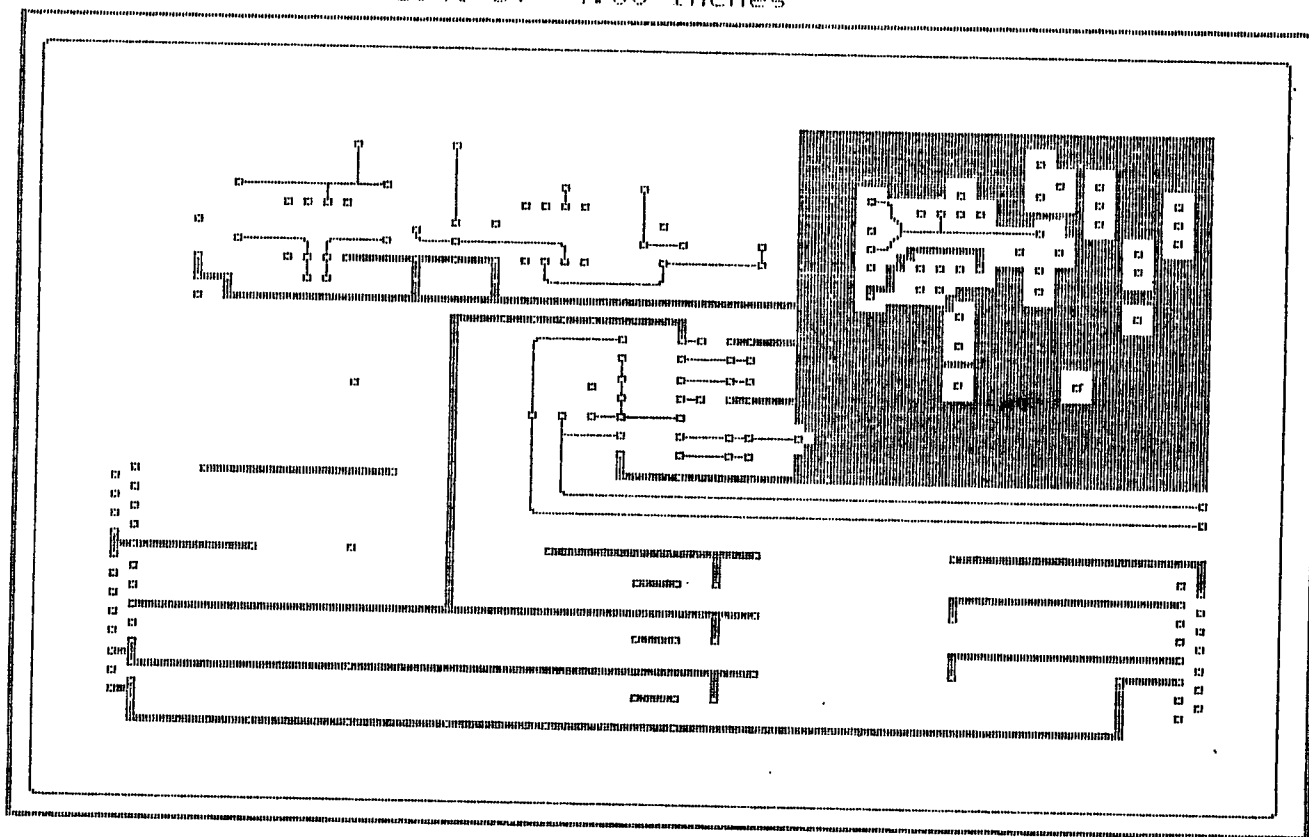
1X checkplot 9 May 88 10:14:04  
 a:pcb.io  
 v1.3 r4 holes: 208 silkscreen  
 approximate size: 6.40 by 4.00 inches



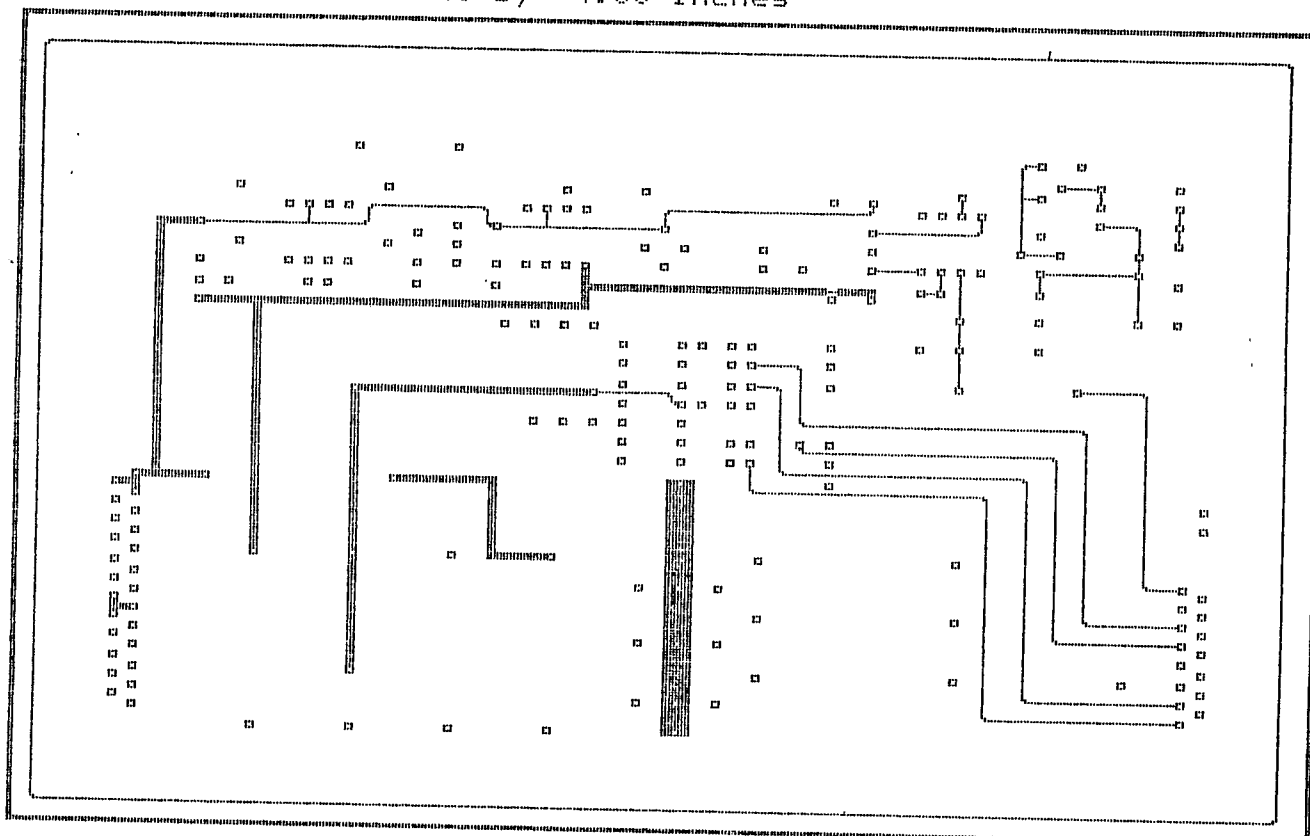
1X checkplot 9 May '88 10:16:06  
 a:pcb.io  
 v1.3 r4 holes: 208 padmaster  
 approximate size: 6.40 by 4.00 inches



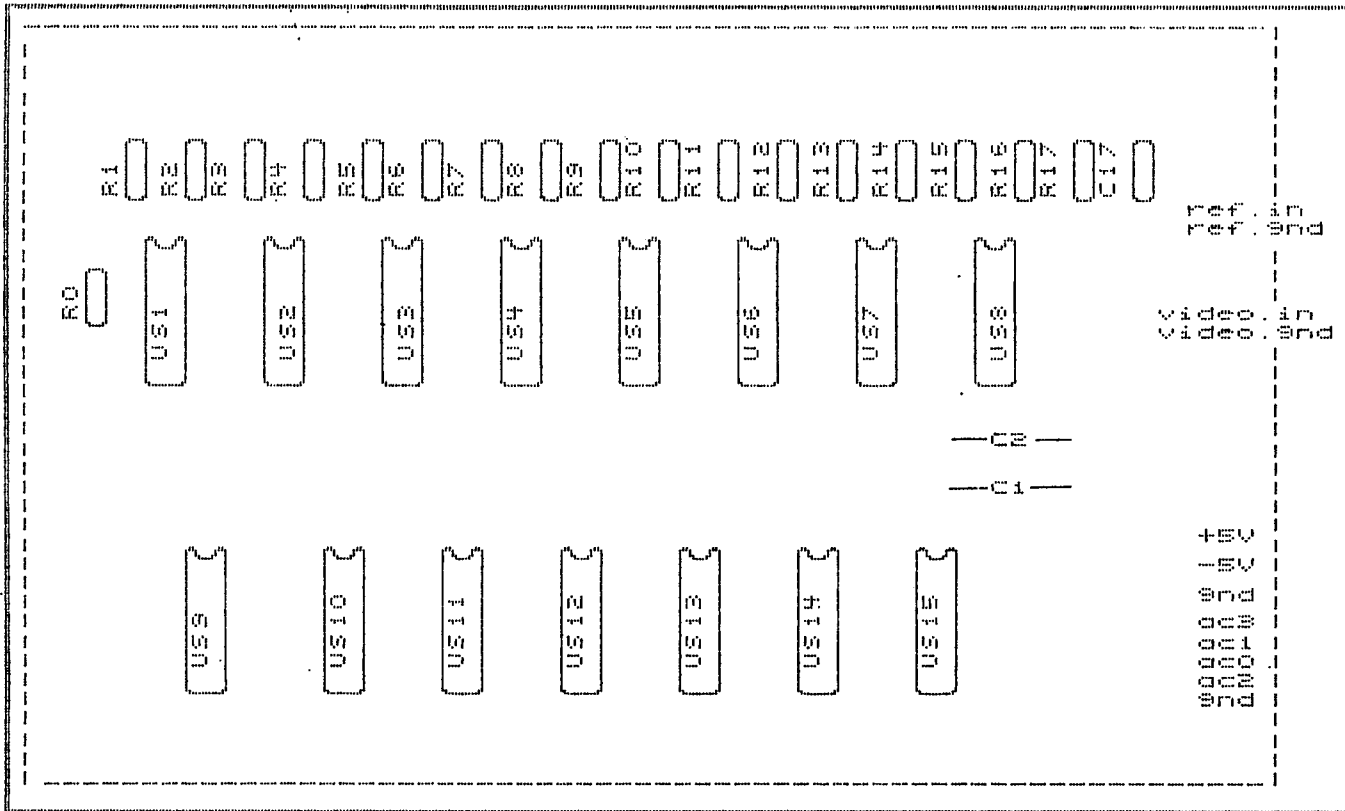
1X checkplot 9 May 88 10:05:14  
a:pcb.io  
v1.3 r4 holes: 208 solder side  
approximate size: 6.40 by 4.00 inches



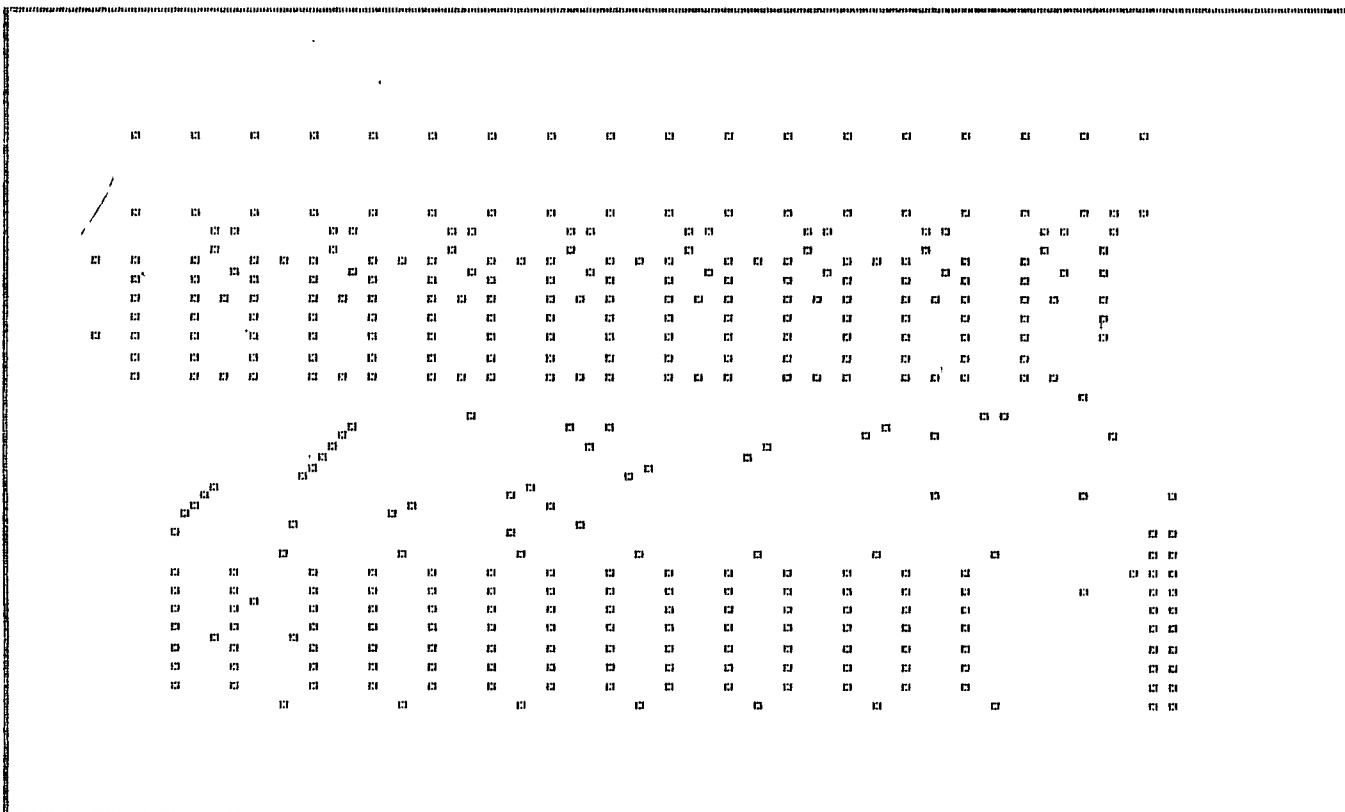
1X checkplot 9 May 88 10:07:34  
a:pcb.io  
v1.3 r4 holes: 208 component side  
approximate size: 6.40 by 4.00 inches



1X checkplot 9 May 88 10:00:22  
a:pcb.pac  
v1.3 r4 holes: 385 silkscreen  
approximate size: 6.65 by 3.95 inches

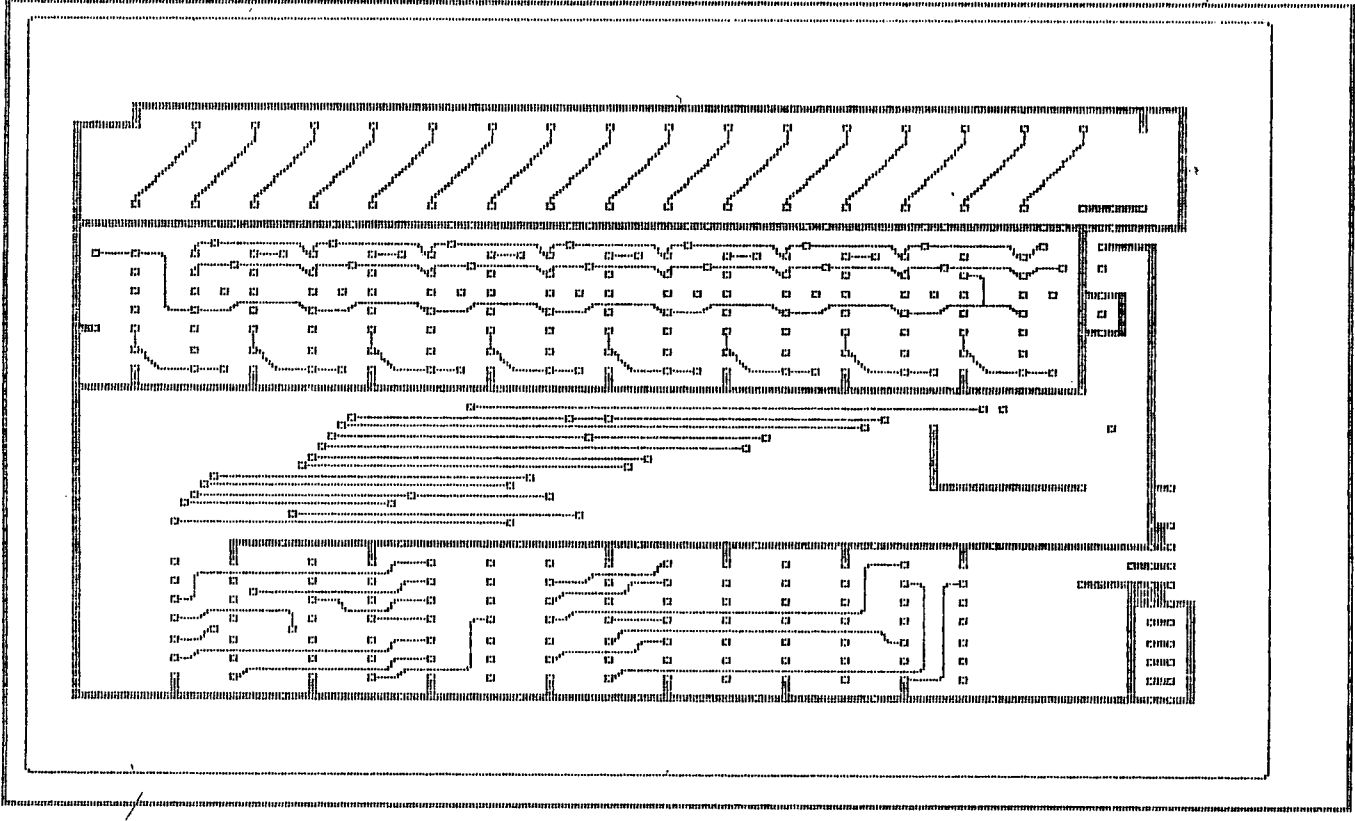


1X checkplot 9 May 88 10:02:26  
a:pcb.pac  
v1.3 r4 holes: 385 padmaster  
approximate size: 6.65 by 3.95 inches

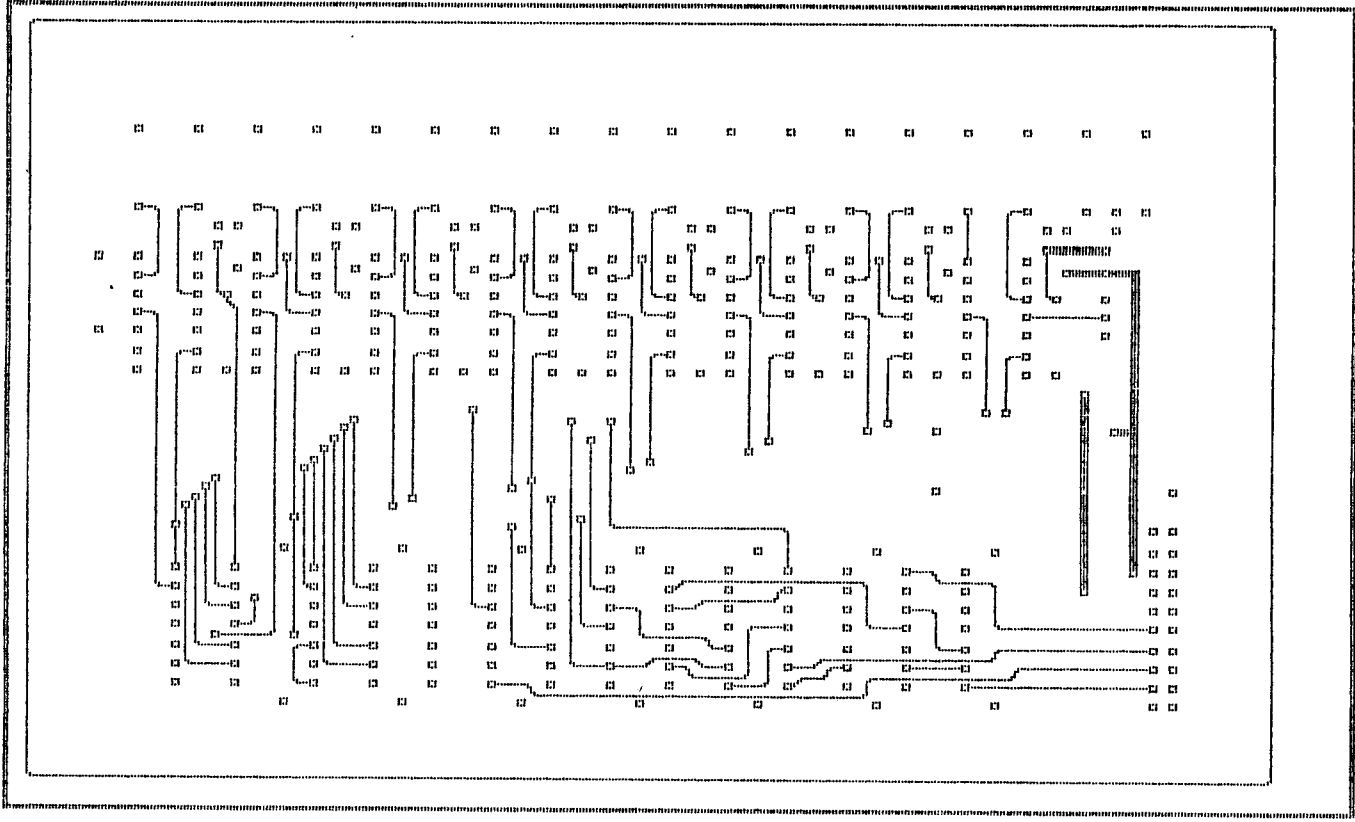




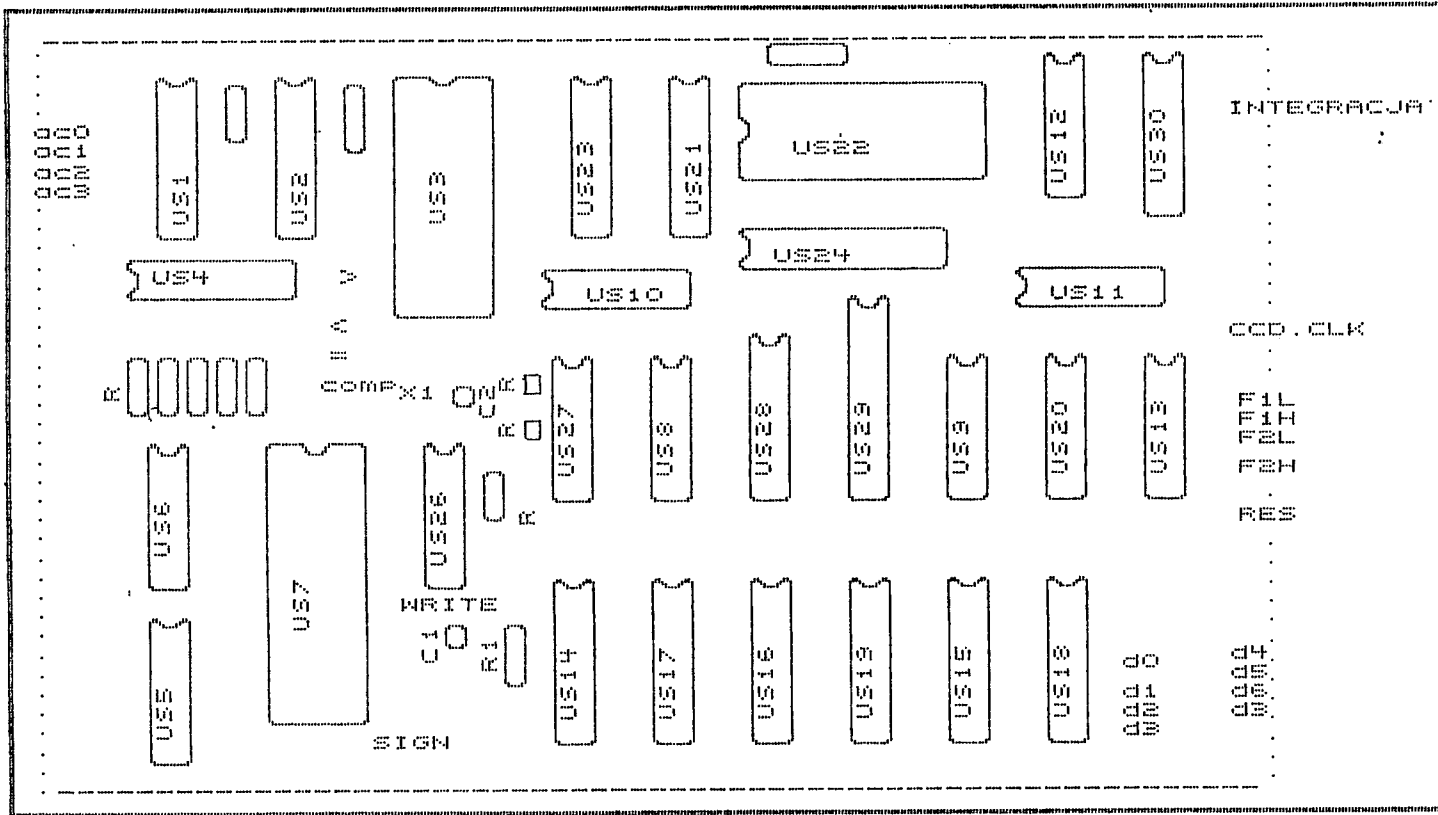
1X checkplot 9 May 88 09:54:24  
a:pcb.pac  
v1.3 r4 holes: 385 solder side  
approximate size: 6.65 by 3.95 inches



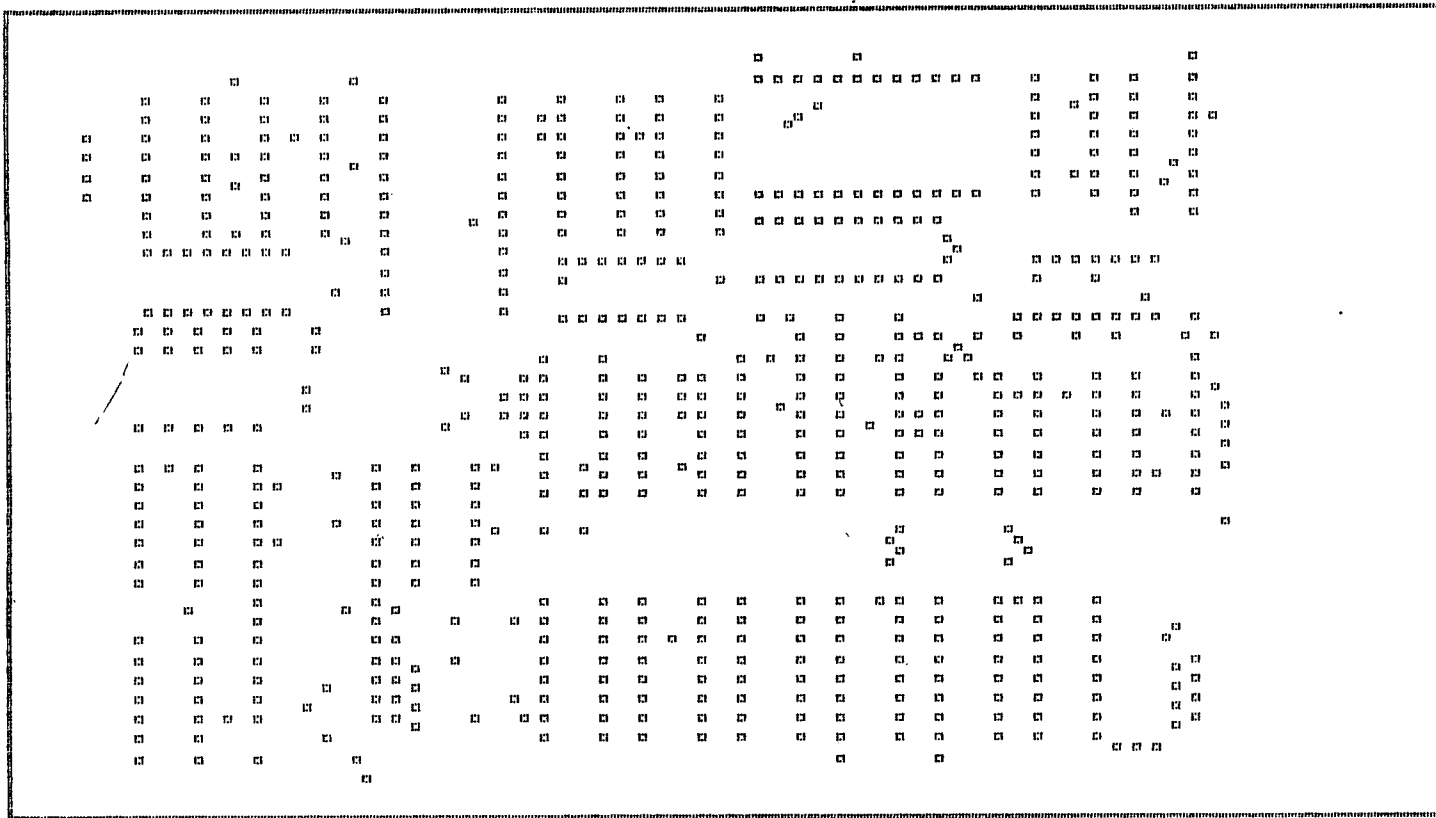
1X checkplot 9 May 88 09:57:42  
a:pcb.pac  
v1.3 r4 holes: 385 component side  
approximate size: 6.65 by 3.95 inches



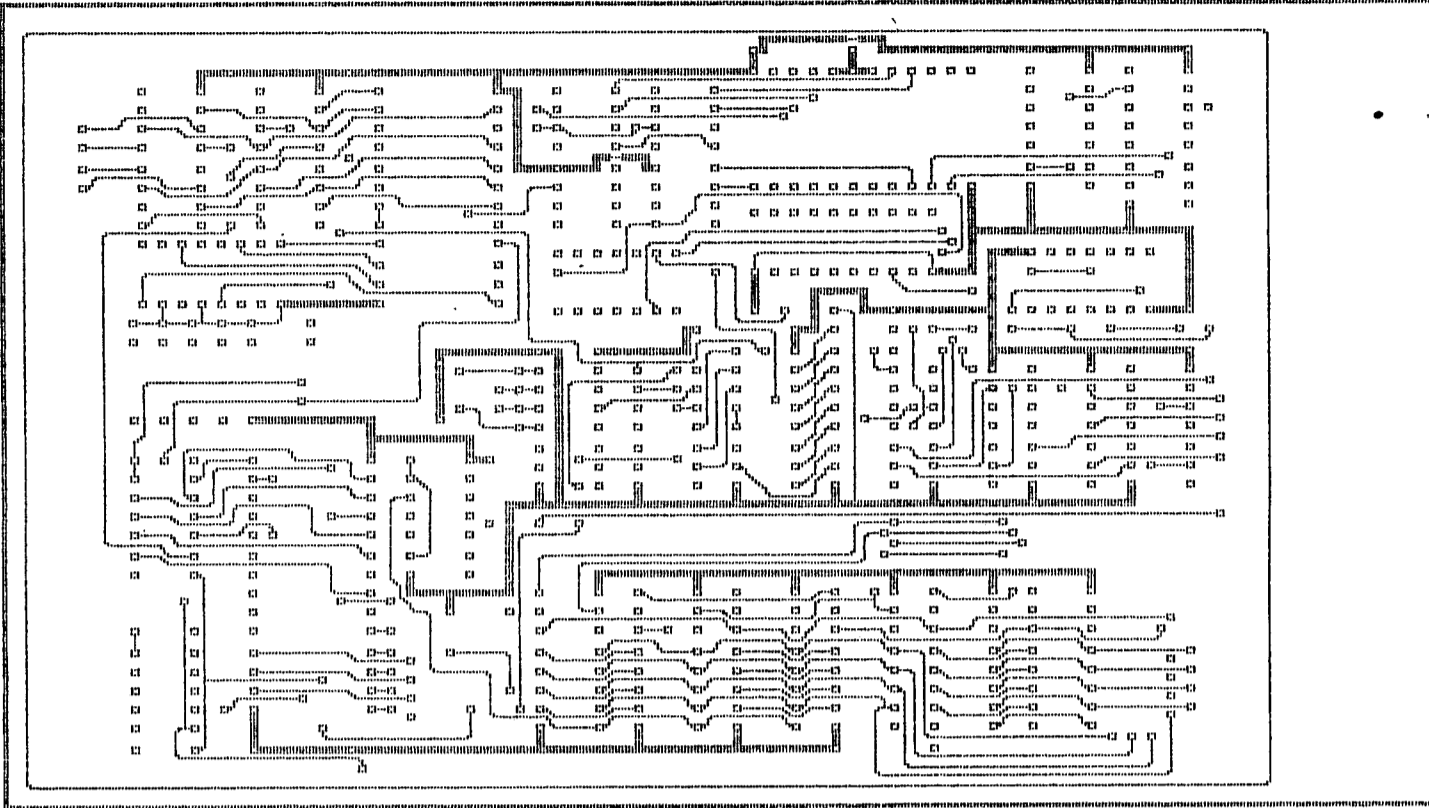
1X checkplot 9 May 88 10:22:00  
a:pcb.bin  
v1.3 r4 holes: 647 silkscreen  
approximate size: 7.10 by 4.00 inches



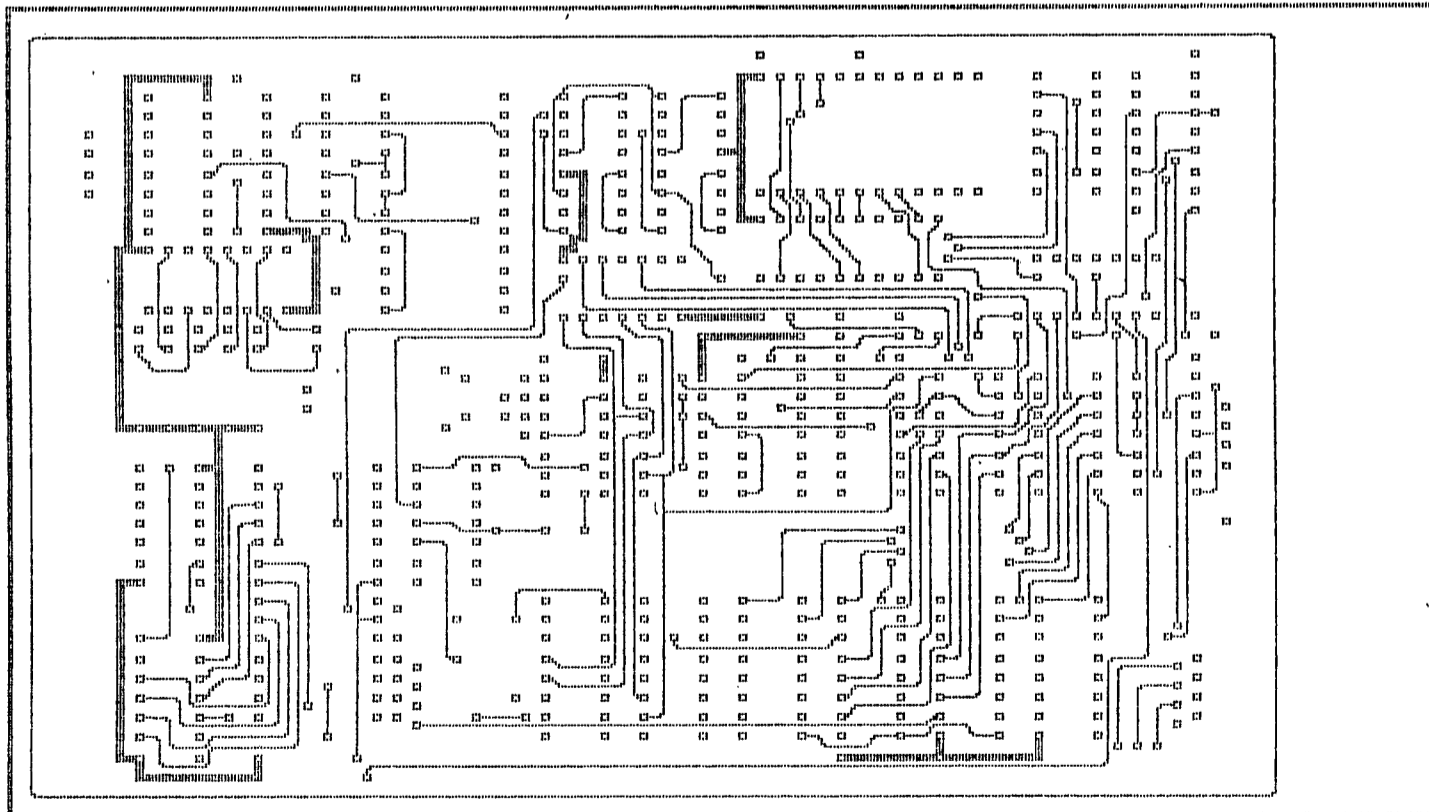
1X checkplot 9 May 88 10:24:32  
a:pcb.bin  
v1.3 r4 holes: 647 padmaster  
approximate size: 7.10 by 4.00 inches



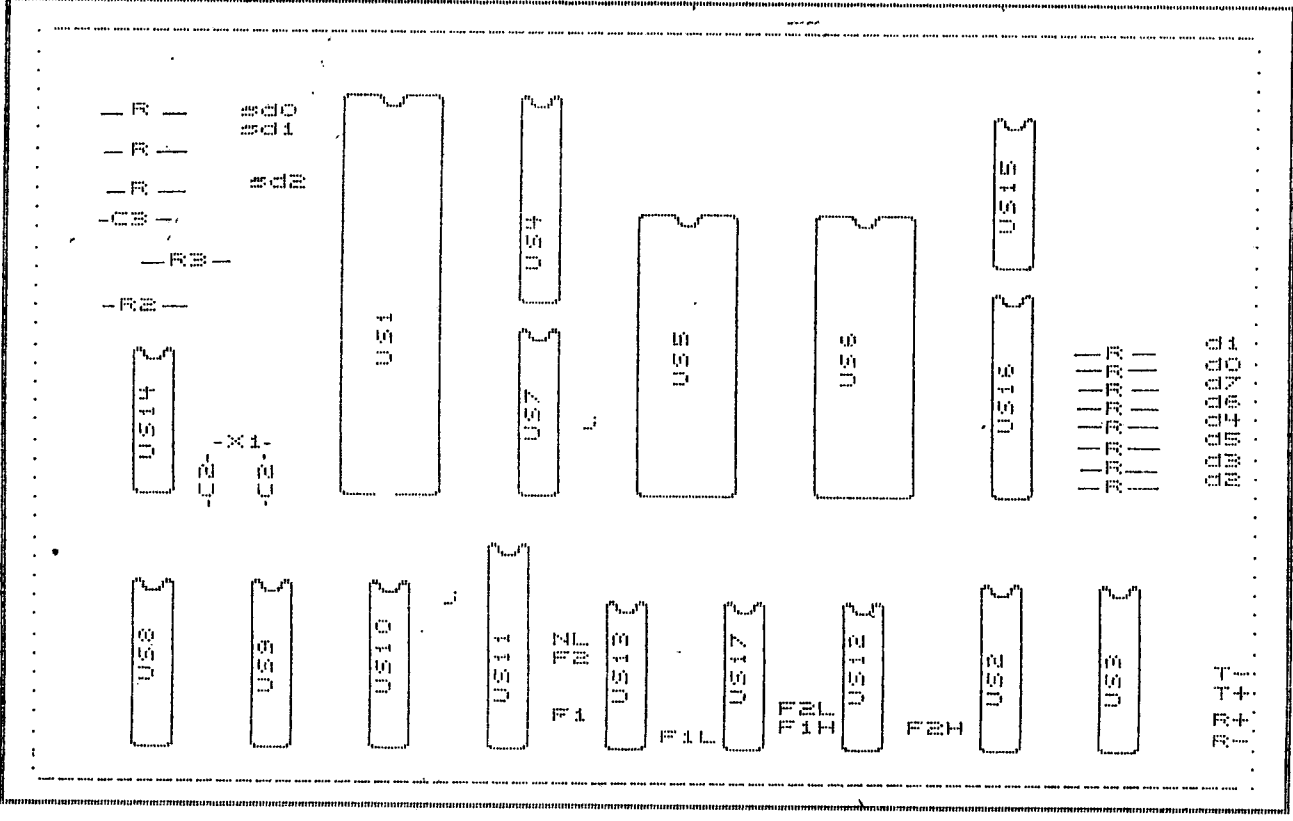
1X checkplot 9 May 88 10:17:56  
a:pcb.bin  
v1.3 r4 holes: 647 solder side  
approximate size: 7.10 by 4.00 inches



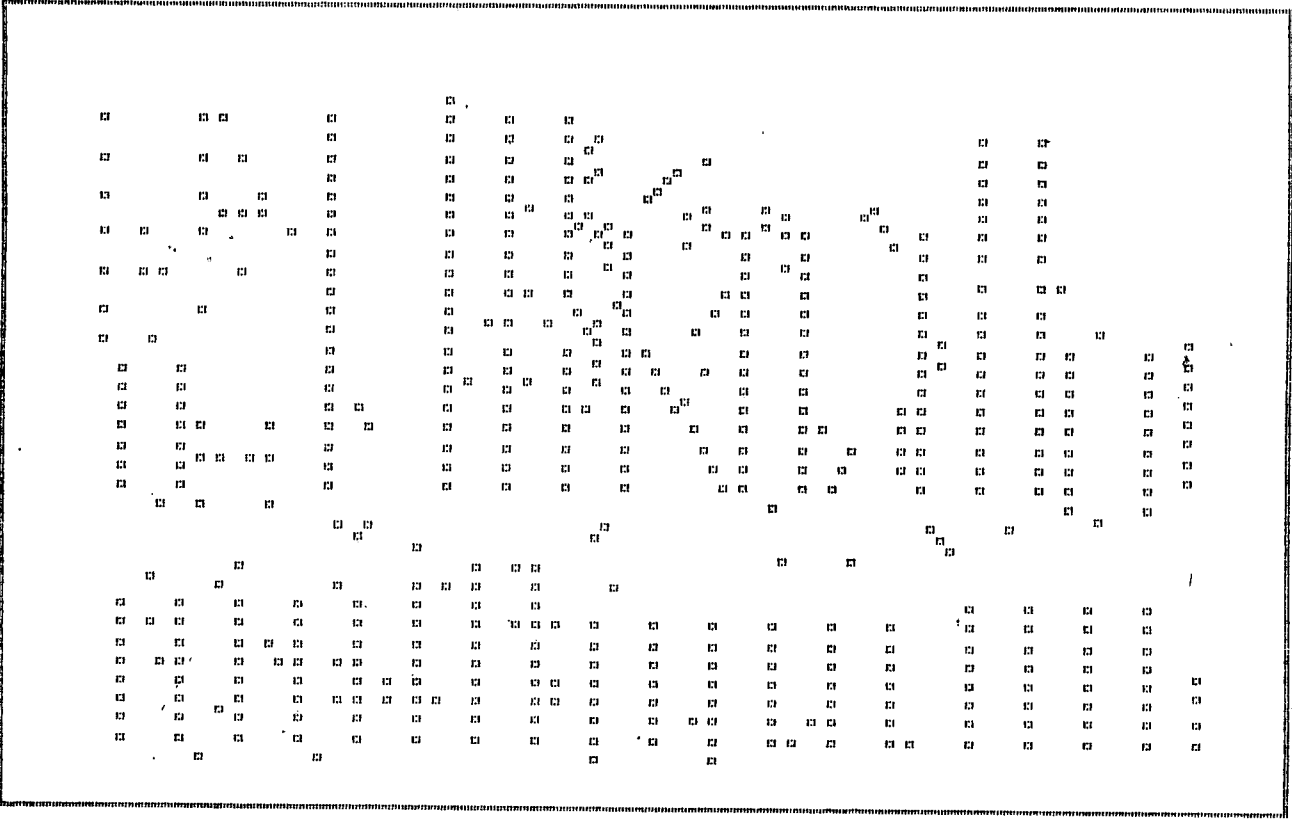
1X checkplot 9 May 88 10:20:04  
a:pcb.bin  
v1.3 r4 holes: 647 component side  
approximate size: 7.10 by 4.00 inches

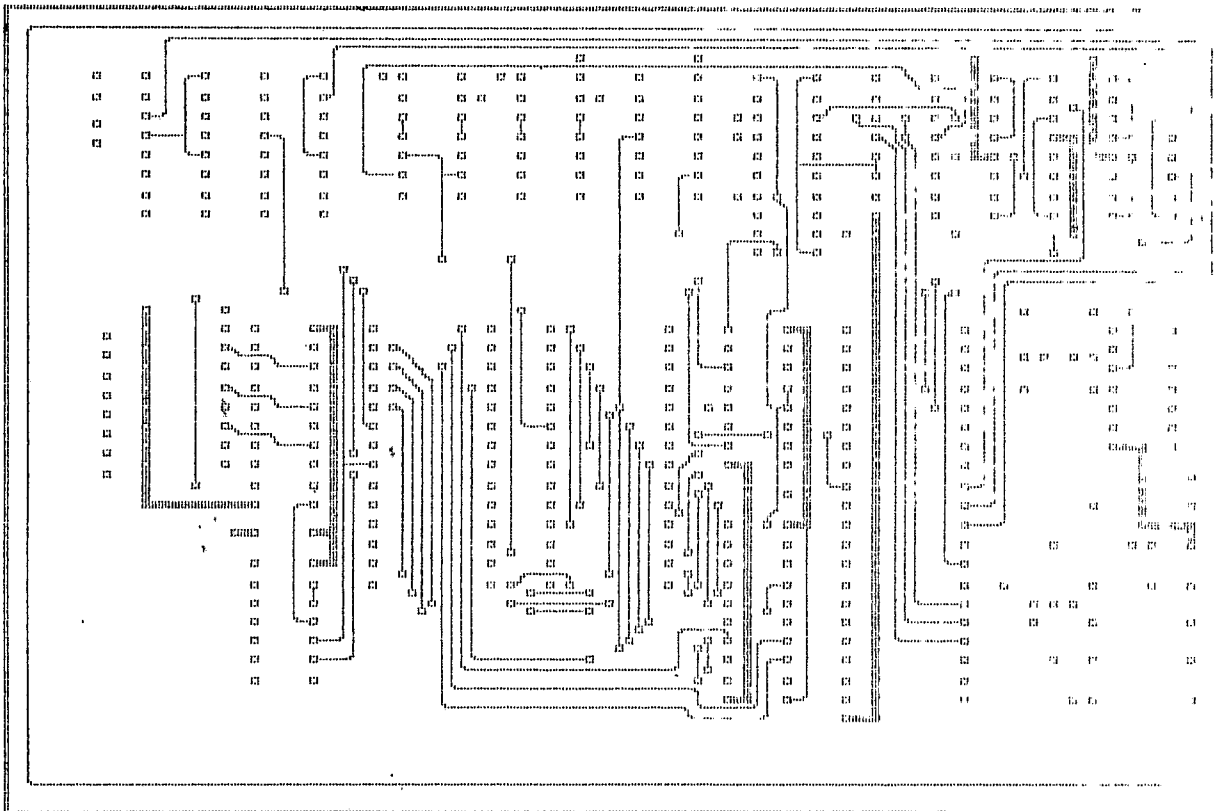


1X checkplot 9 May 88 11:24:12  
 a:pcb.mpu  
 v1.3 r4 holes: 503 silkscreen  
 approximate size: 6.35 by 4.00 inches

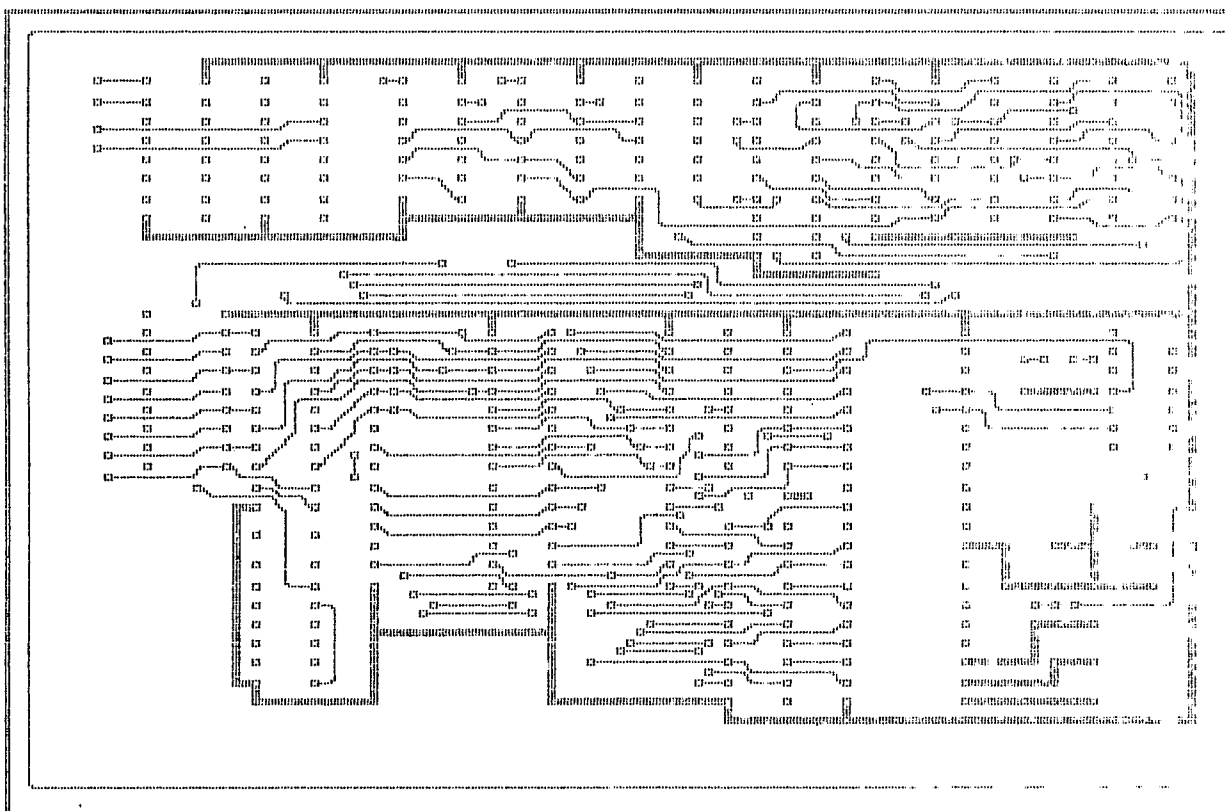


1X checkplot 9 May 88 11:25:52  
 a:pcb.mpu  
 v1.3 r4 holes: 503 padmaster  
 approximate size: 6.35 by 4.00 inches





checkplot 9 May 88 11:21:56  
 503 holes: 503  
 component side  
 plate size: 6.25 by 4.00 inches



check plot 9 May 88 11:20:08  
 503 holes: 503  
 solder side  
 plate size: 6.25 by 4.00 inches