

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW
MERA-PIAP
Al. Jerozolimskie 202 02-222 Warszawa Telefon 23-70-81

Ośrodek Automatyki Elektrycznej

074 Zespół Budowy Robotów i Serwomechanizmów **A**

Główny wykonawca - dr inż. Marian Wrzesień

Wykonawcy dr inż. Marian Wrzesień

Konsultant

Nr zlecenia RP-58.3

Cel 58:
Urządzenie serwisowo-diagnostyczne układów sterowania robotów przemysłowych IRp 6/60.
Zadanie nr 4.1.
Model użytkowy urządzenia serwisowo-diagnostycznego dla układów sterowania robotów przemysłowych IRp 6/60.

Zleceniodawca CPBR 7.1 "Roboty przemysłowe"

Pracę rozpoczęto dnia 15.06.1988 **zakończono dnia** 28.04.1989
Kierownik Zespołu Z-ca Dyrektora d/s Automatyki **Kierownik Ośrodka**
dr inż. P. Jabłoński doc. dr inż. T. Gałązka dr inż. B. Kontrimowicz

Praca zawiera:

Rozdzielnik - ilość egz:

stron 10

Egz. 1

BOINTE

rysunków 11

Egz. 2

DW

fotografii -

Egz. 3

OAE

tabel -

Egz. 4

OAE

tablic -

Egz. 5

załączników 10

Egz. 6

Nr rejestr. . 6282

Analiza deskryptorowa

URZĄDZENIA AUTOMATYCZNEJ REGULACJI I STE-
ROWANIA: ROBOTY PRZEMYSŁOWE, TESTOWANIE.

Analiza dokumentacyjna

Sprawozdanie zawiera opis modelu użytko-
wego urządzenia serwisowo-diagnostycznego
oraz opis badań funkcjonalnych wykonywa-
nych podczas uruchamiania tego urządzenia.

Tytuły poprzednich sprawozdań

1. Zadanie 2.1. spr. PIAP nr rej. 6056
p.t. "Założenia techniczno-ekonomiczne i prace studialne
dla urządzenia serwisowo-diagnostycznego dla ukła-
dów sterowania robotów przemysłowych IRp 6/60..

338.45; 62/69].002.1/2 Roboty przemysłowe
681.3.02 Systemy sterowania

UKD

PIAP 41/88 10000

2

SPIS TRESCI

	str.
1. Wstep.	2
2. Zakres diagnostyki ukladu sterowania.	2
3. Opis konstrukcji urzadzenia serwisowo- diagnostycznego.	2
3.1. Budowa i dzialanie pakietu AS1.	3
3.2. Budowa i dzialanie pakietu AS2.	4
3.2.1. Dolaczenie magistrali pakietu MMB6 USD do magistrali USRP	4
3.2.2. Testowanie pakietu MA7C	4
3.2.3. Rejestrowanie stanu linii magistrali USRP	4
3.2.4. Dekoder adresow	4
4. Badania funkcjonalne urzadzenia serwisowo- diagnostycznego.	4
4.1. Warunki wykonywania badan.	5
4.2. Program badan dla pakietu AS1.	5
4.2.1. Zaprogramowanie pamieci PROM.	5
4.2.2. Sprawdzenie dekodera adresow.	5
4.2.3. Sprawdzenie poprawnosci programowania ukladu sterujacego.	6
4.2.4. Sprawdzenia poprawnosci detekcji stanu linii.	7
4.2.5. Sprawdzenie poprawnosci selekcji sygnalu linii.	7
4.2.6. Sprawdzenie poprawnosci selekcji sygnalu zegara.	7
4.2.7. Sprawdzenie poprawnosci dzialania ana- lizatora sygnatur.	7
4.3. Program badan dla pakietu AS2.	7
4.3.1. Zaprogramowanie pamieci PROM.	8
4.3.2. Sprawdzenie dekodera adresow.	8
4.3.3. Sprawdzenie poprawnosci sterowania bram sygnalowych.	8
4.3.4. Sprawdzenie poprawnosci dzialania przetwornika C/A.	9
4.3.5. Sprawdzenie poprawnosci dzialania rejestrów zatraskowych.	9
4.4. Wykonanie badan.	10
5. Wnioski.	10
6. Literatura	10
7. Dokumentacja szkicowa.	11
8. Zalaczniki.	11

1. Wstep.
=====

Zadaniem 4.1 tematu RP-58.3 jest kontynuacja prac rozpoczętych opracowaniem założeń techniczno-ekonomicznych (spr. nr rej. 6056). W warunkach technicznych zawarto następujące założenia ogólne dla zbudowania urządzenia serwisowo-diagnostycznego (USD):

1. Urządzenie diagnostyczne powinno być przenośne.
2. Konstrukcja USD powinna umożliwiać jego włączanie w system układu sterowania robotów przemysłowych (USRP).
3. Elektroniczna część urządzenia będzie zbudowana w standardzie odpowiadającym systemowi INTEL DIGIT-PROWAY tj. tym samym co USRP (w obudowie przenośnej).
4. USD będzie komunikowało się z USRP przy pomocy komputera kompatybilnego z IBM PC XT.
5. USD musi umożliwiać pełną obserwowalność i sterowalność USRP od strony magistrali systemowej.
6. Przewiduje się wykonanie odpowiedniego interfejsu dla złącz obiektowych dla tych przypadków diagnostyki, przy których zachodzi konieczność rozłączenia USRP z urządzeniami wyjściowymi.
7. Technika testowania stosowana w czasie diagnostyki będzie bazować na testowaniu systematycznym oraz na analizie sygnatur.
8. Przewiduje się możliwość stosowania USD do okresowej kontroli USRP.

Powyższe założenia stanowiły podstawę przy projektowaniu USD.

2. Zakres diagnostyki układu sterowania.
=====

Diagnostyce będą podlegać następujące podzespoły układu sterowania :

1. Pamięć programu i danych umieszczona na pakiecie ML16 (EPROM + RAM).
2. WE/WY dwustawne.
 - 2.1. Pakiety MC42 wraz z okablowaniem umożliwiającym przyłączenie się użytkowników.
 - 2.2. Pakiet MC42 używany w układach sterowania robota (lampki, przelaczniki, przekazniki).
3. Podzespół pamięci kasetowej PK-3 wraz z pakietem M150.
4. Pakiet zasilania rezolwerów MZ70.
5. Tor serwo mechanizmu.
 - 5.1. Sprawdzenie pojedynczego sterowania silnikiem.
 - 5.2. Sprawdzenie napięcia wyjściowego pakietu MA70, przy różnych sterowaniach rejestru położenia zadanego.
 - 5.3. Testowanie gruntowne pakietu MA70.
6. Pakiet kontroli (MW31 lub MW32) w zakresie obwodów wykorzystywanych w USRP.
7. Panel programowania - testowanie poprzez wejście w magistrale panelu.

Pakiet MM#6 będzie oceniany na podstawie analizy sygnatur sygnałów magistrali systemowej.

3. Opis konstrukcji urządzenia serwisowo-diagnostycznego.
=====

- USD składa się z trzech pakietów:
1. Pakiet jednostki centralnej MMS6,

2. Pakiet analizatora sygnatur AS1,
3. Pakiet interfejsu AS2,
których schematy ideowe przedstawiono w dokumentacji szkicowej załączonej do niniejszego sprawozdania.
Pakiet MMB6 jest elementem systemu INTEL DIGIT-PROWAY, natomiast pakiety AS1 oraz AS2 zostały wykonane na potrzeby USD. USD komunikuje się z komputerem poprzez interfejs szeregowy umieszczony na pakiecie MMB6. Pakiet MMB6 ma wyprowadzone złącza systemowe do magistrali rezydentnej USD, przechodzącej poprzez pakiety AS1 i AS2. To rozwiązanie umożliwia komunikowanie się pakietu MMB6 z pakietami AS1 i AS2 bez konieczności włączania pakietu MMB6 USD do złącz systemowych USRP. Obserwowalność i sterowalność USRP osiąga się poprzez dołączenie złącz systemowych pakietów AS1 i AS2 bezpośrednio do systemu USRP, przy czym funkcje wykonywane przez te pakiety są określane programowo przez pakiet MMB6 USD.
Napięcie zasilające USD jest pobierane z magistrali systemu poddanego badaniom diagnostycznym.
Poniżej omówiono zarys budowy i działania pakietów AS1 i AS2. Schemat blokowy przedstawiono na rys. 1.

3.1. Budowa i działanie pakietu AS1.

=====

Pakiet AS1 zawiera analizator sygnatur (AS), w którym zachodzi kompresja sygnału wybranej linii magistrali USRP. Zastosowanie analizatora sygnatur wymagało zbudowania niżej wymienionych podzespołów umożliwiających jego prawidłowe działanie (dokumentacja szkicowa pakietu AS1):

1. Selektor linii umożliwiający dołączenie wybranej linii magistrali USRP do wejścia AS.
2. Selektor zegara umożliwiający wybór sygnału z magistrali USRP stanowiącego CLK dla AS.
3. Dekoder stanu linii magistrali USRP wypracowujący sygnały start i stop dla AS.
4. Układ umożliwiający programowe sterowanie selektorami i dekoderelem oraz odczytujący stan analizatora sygnatur.
5. Dekoder adresów umożliwiający komunikację pakietu AS1 z pakietem MMB6 USD.

Analizator sygnatur (A4, A5, A6, A7, A8, A9/3, A9/6) jest rejestrem liniowym, na którego wejście jest podawany sygnał z selektora linii (D4/6). Sygnał CLK jest podawany z selektora zegara (D6/9). Czas cyklu pracy jest określony przez sygnał st/st podawany z dekodera stanu linii (A10/8).

Odczyt stanu AS umożliwiają bramy B2PA i B2PB.

Selektor linii (D2, D3, D4, D5) umożliwia wybór linii magistrali USRP spośród 50 możliwości. O wyborze sygnału decydują sygnały sterujące podawane z bramy B3PA.

Selektor zegara (D6, D1/10) jest sterowany przy pomocy sygnałów podawanych z bramy B2PC. Umożliwia on wybór sygnału zegarowego dla AS spośród: I/ORR, I/OWR, MRR, MWR i CCLK.

Dekoder stanu linii (A10/8, A10/10, A10/12, A11, B4, C1, C2, C3, C4, C5, C6, C7, C8, C9, C10, C11, C12, C13, C14) umożliwia wybór:

1. Sygnałów poddanych detekcji spośród: ADDR, DATAR, STERR.

2. Wartości dekodowanych sygnałów.
O wyborze rodzaju detekcji decydują sygnały sterujące podawane z bram: B1PA, B1PB, B1PC, B2PC, B3PB, B3PC.

Układ umożliwiający programowanie wymienionych podzespołów (B1, B2, B3, A10/2, A10/4) jest sterowany programowo przez pakiet MM86 USD przy wykorzystaniu dekodera adresów (A1, A2, A4).

3.2 Budowa i działanie pakietu AS2.

=====

Zadaniem pakietu AS2 jest umożliwienie:

1. Dołączenia magistrali pakietu MM86 USD do magistrali USRP
2. Testowania pakietu MA70
3. Rejestrowania stanu linii magistrali USRP.

Spełnienie wymienionych funkcji wymagało zbudowania na pakiecie:

1. Bram adresów, danych i sygnałów sterujących,
2. Przetwornika cyfrowo-analogowego,
3. Bram zatrząskowych.
4. Dekodera adresów dla urządzeń WE/WY pakietu AS2.

3.2.1. Dołączanie magistrali pakietu MM86 USD do magistrali USRP.

gistrali USRP.

Zadanie to osiąga się poprzez programowe wysterowanie bram: B2, B3, B8 (adresy), B4, B7 (dane) i D1 (sterowanie). Może to nastąpić po uprzednim wydaniu sygnału zadania objęcia magistrali USRP (pakiet AS1 - A10/2) i otrzymaniu zgody z USRP na objęcie magistrali (BPRO, BUSY - brama C2PA).

3.2.2. Testowanie pakietu MA70.

Podczas testowania pakietu MA70 wysterowuje się bramy: A2, A3 (adresy), A4 (dane) i A1 (sterowanie). Może to nastąpić po otrzymaniu zgody na objęcie magistrali USRP oraz po otrzymaniu potwierdzenia (HLDA - C4/2) na wysłany do pakietu MA70 sygnał HOLD (C3/10). W tej sytuacji pakiet MA70 znajduje się w konfiguracji, w której jest sterowany zarówno od strony złącz systemowych jak też testujących i obiektowych. Podczas testowania pakietu MA70 będzie wykorzystywany przetwornik C/A (A5, A6, A7) oraz detektor okienkowy (A8).

3.2.3. Rejestrowanie stanu linii magistrali USRP.

Proces ten jest realizowany przy pomocy bram zatrząskowych E1, E2, E3, E4, E6, E7, E8. Umożliwia on skontrolowanie prawidłowości stanu linii magistrali USRP w czasie przepływu informacji po tej magistrali.

3.2.4. Dekoder adresów.

Dekoder adresów (B1, B9, C1, C4) umożliwia wypracowanie sygnałów CSX dla poszczególnych urządzeń pakietu AS2, które komunikują się z pakietem MM86 USD.

4. Badania urządzenia serwisowo-diagnostycznego.

=====

6

4.1. Warunki wykonywania badan.

=====

Badania funkcjonalne zostaly przeprowadzone przy wykorzystaniu wykonanego w ramach tematu RP-58.2 testera pakietow USRP. Dzieki temu mozna bylo zasymulowac magistrale systemowa USRP oraz wymuszac przebiegi sygnalow niezbedne do przeprowadzenia badan USD. Do tego celu zostal wykorzystany programowalny system uruchomieniowy testera. Jednoczesnie bylo mozliwe sterowanie USD od strony magistrali rezydentnej przy pomocy programu przesylnego z komputera do pakietu MMB6 USD. Z tego powodu najprostszym sposobem przeprowadzenia badan bylo przygotowanie programow testujacych dla wybranych podzespolow USD, przetransmitowanie ich do pamieci RAM pakietu MMB6 USD, a nastepnie obserwowanie skutkow wymuszen i przeprowadzenie oceny poprawnosci dzialania badanego podzespolu.

Badania przeprowadzono zgodnie z programami przedstawionymi w pkt 4.2 i 4.3.

4.2. Program badan podczas uruchamiania pakietu AS1.

=====

1. Zaprogramowanie pamieci PROM.
2. Sprawdzenie dekodera adresow.
3. Sprawdzenie poprawnosci programowania ukkladu sterujacego.
4. Sprawdzenia poprawnosci detekcji stanu linii.
5. Sprawdzenie poprawnosci selekcji sygnalu linii.
6. Sprawdzenie poprawnosci selekcji sygnalu zegara.
7. Sprawdzenie poprawnosci dzialania analizatora sygnatur.

4.2.1. Zaprogramowanie pamieci PROM.

Pamieci PROM pakietu (A1,A2,A4,B4,D6) zostaly zaprogramowane tak, aby zachowac zgodnosc adresow urzadzen WE/WY pakietu z wartosciami podanymi w zbiorze AS.H (zalacznik). Tablice zawierajace dane pamieci PROM, wedlug ktorych programowano te pamieci zawarto w dokumentacji szkicowej.

Nie zaprogramowano obwodow A4 i A6, gdzy zawartosc ich decyduje o postaci wielomianu charakterystycznego analizatora sygnatur i bedzie dobrana w czasie dalszych prac naukowo-badawczych.

4.2.2. Sprawdzenie dekodera adresow.

Sprawdzenie dekodera adresow polega na zbadaniu stanow wyjsc obwodow A1,A2,A4 po uruchomieniu programu:

```

/* BAD.AS1 */
# include <as.h>
main()
{
    while(1)
    {
        outportw(AS1B1,CTRAS1B1);
        outportw(AS1B2,CTRAS1B2);
    }
}

```

7

```

outportw(AS1B3,CTRAS1B3);

outportw(AS1B3PA,0xaa);
outportw(AS1B3PA,0x55);
outportw(AS1B3PB,0xaa);
outportw(AS1B3PB,0x55);
outportw(AS1B3PC,0xaa);
outportw(AS1B3PC,0x55);

outportw(AS1B1PA,0xaa);
outportw(AS1B1PA,0x55);
outportw(AS1B1PB,0xaa);
outportw(AS1B1PB,0x55);
outportw(AS1B1PC,0xaa);
outportw(AS1B1PC,0x55);

outportw(AS1B2PC,0xaa);
outportw(AS1B2PC,0x55);

inportw(AS1B2PA);
inportw(AS1B2PB);
}
}

```

Wynik badania jest pozytywny, jesli na wyjsciach dekodera adresow pojawiaja sie sygnaly CSX oraz rownoczesnie pojawia sie sygnal XACK/.

4.2.3. Sprawdzenie poprawnosci programowania ukkladu sterujacego.

Sprawdzenie poprawnosci dzialania ukkladu sterujacego przeprowadza sie poprzez uruchomienie programu:

```

/* SPR.C */

# include <as.h>
main()
{
  unsigned long adr=0xff00; /* podawac 0xadressH */
  unsigned int dat = 0xf; /* podawac liczbe 0xdanaH */
  int ster = STER_IOWR; /* podawac: STER_xxxx */
  int select = SEL_ADR7; /* podawac: SEL_xxxx */
  int clk = CLK_IOWR;
  int stst = STST_ADR;
  int bprn = NOTBPRN;
  int clr = NOTCLRAS;
  int reset = NOTRESET;

  outportw(AS1B1,CTRAS1B1);
  outportw(AS1B2,CTRAS1B2);
  outportw(AS1B3,CTRAS1B3);

  /* selektor lini: robota */

  outportw(AS1B3PA, (~select));

  /* dekodер stanu magistrali robota */

  outportw(AS1B3PB, (((~adr)&0xf000) >>16)&0xf)
    | ((ster<<4)&0xf0));
  outportw(AS1B1PA, (((~adr)&0xff00) >>8)&0xff);
  outportw(AS1B1PC, (~adr)&0xff);
  outportw(AS1B3PC, (((~dat)&0xff00) >>8)&0xff);
  outportw(AS1B1PB, (~dat)&0x00ff);

  /* dekodер zegara dla analizatora sygnatur */

```

8


```

    outportw(AS1B2PC, (~(clk&stst&bprn&clr&reset)));
}

```

Wynik sprawdzenia jest pozytywny, jeśli stany wyjść bram AS1B1 i AS1B3 są zgodne z wartościami adr i dat zadeklarowanymi w programie.

4.2.4. Sprawdzenie poprawności detekcji stanu linii.

Sprawdzenie poprawności działania detektora stanu linii przeprowadza się poprzez uruchomienie programu wg pkt. 4.2.3. oraz podanie wybranej instrukcji sterującej tj.: outport lub inport lub mread lub mwrite przy pomocy programu uruchomieniowego testera.

Wynik sprawdzania jest pozytywny, jeśli sygnał st/st pojawia się przy zaprogramowanym stanie magistrali testera.

4.2.5. Sprawdzenie poprawności selekcji sygnału linii.

Sprawdzenie poprawności działania selektora stanu linii przeprowadza się poprzez uruchomienie programu wg pkt. 4.2.3. oraz podanie wybranej instrukcji sterującej tj.: outport lub inport lub mread lub mwrite przy pomocy programu uruchomieniowego testera.

Wynik sprawdzania jest pozytywny, jeśli sygnał podawany na wejście analizatora sygnatur jest wybranym programowo sygnałem magistrali testera.

4.2.6. Sprawdzenie poprawności selekcji sygnału zegara.

Sprawdzenie poprawności działania selektora sygnału zegara przeprowadza się poprzez uruchomienie programu wg pkt. 4.2.3. oraz podanie wybranej instrukcji sterującej tj.: outport lub inport lub mread lub mwrite przy pomocy programu uruchomieniowego testera.

Wynik sprawdzenia jest pozytywny, jeśli sygnał podawany na wejście zegarowe analizatora sygnatur jest programowo wybranym sygnałem magistrali testera.

4.2.7. Sprawdzenie poprawności działania analizatora sygnatur.

Sprawdzenie poprawności działania analizatora sygnatur przeprowadza się poprzez uruchomienie programu wg pkt. 4.2.3.- przy czym należy wybrać sygnał clk = CLK_CCLKR - oraz podanie instrukcji sterującej outport przy pomocy programu uruchomieniowego testera.

Wynik sprawdzenia jest pozytywny, jeśli na wszystkich wyjściach analizatora sygnatur pojawiają się sygnały będące powtórzeniem sygnału I/DWC testera.

4.3. Program badań podczas uruchamiania pakietu AS2.

1. Zaprogramowanie pamięci PROM.
2. Sprawdzenie dekodera adresów.
3. Sprawdzenie poprawności sterowania bram sygnałowych.

- 3.1. Sprawdzenie poprawności sterowania bram sygnałowych łączących USD z USRP.
- 3.2. Sprawdzenie poprawności sterowania bram sygnałowych łączących USD z pakietem MA70.
- 4. Sprawdzenie poprawności działania przetwornika C/A.
- 5. Sprawdzenie poprawności działania rejestrów zatrzaśkowych.

4.3.1. Zaprogramowanie pamięci PROM.

Pamięci PROM pakietu (B1,B9,C1,C4) zostały zaprogramowane tak, aby zachować zgodność adresów urządzeń WE/WY pakietu z wartościami podanymi w zbiorze AS.H (załącznik). Tablice zawierające dane pamięci PROM, według których programowano te pamięci, zawarto w dokumentacji szkicowej.

4.3.2. Sprawdzenie dekodera adresów.

Sprawdzenie dekodera adresów polega na zbadaniu stanów wyjść obwodów B1,B9,C1 po uruchomieniu programu SPR.C. Wynik badania jest pozytywny, jeśli na wyjściach dekodera adresów pojawiają się sygnały CSx oraz równocześnie nie pojawia się sygnał XACK/.

4.3.3. Sprawdzenie poprawności sterowania bram sygnałowych.

4.3.3.1. Sprawdzenie poprawności sterowania bram sygnałowych łączących USD z USRP.

Sprawdzenie bram adresowych B2,B3,B6, danych B4,B7 oraz sterowania D1 polega na podaniu do nich sygnału OE/ a następnie zbadaniu drożności tych bram. Program umożliwiający przeprowadzenie tej próby ma następującą postać:

```
/* USRP.C */  
  
# include <as.h>  
main()  
{  
    outportw(AS2C3,0x1);  
    while(1)  
    {  
        mwritew(0xaaaaa,0xaaaa);  
        mwritew(0x55555,0x5555);  
        mreadw(0x0);  
    }  
}
```

Wynik sprawdzenia jest pozytywny jeśli wymienione bramy przekazują sygnały do magistrali USRP.

4.3.3.2. Sprawdzenie poprawności sterowania bram sygnałowych łączących USD z pakietem MA70.

Sprawdzenie bram adresowych A2,A3, danych B4,B7 oraz sterowania A1 polega na zbadaniu drożności tych bram. Program umożliwiający przeprowadzenie tej próby ma następującą postać:

```
/* MA70.C */
```

```
# include <as.h>
main()
{
    outportw(AS2C3,0x1);      /* podanie HOLD/  */
    while(1)
    {
        outportw(0xf000,0x0);
        inportw(0xf005);
        mwritew(0x82000,0x0);
        mwritew(0x82000,0xff);
        mreadw(0x80000);
    }
}
```

Wynik sprawdzenia jest pozytywny, jeśli wymienione bramy przekazują sygnały do złącz przeznaczonych do połączenia pakietu AS2 z magistralą pakietu MA70.

4.3.4. Sprawdzenie poprawności działania przetwornika C/A.

Sprawdzenie przetwornika C/A polega na podawaniu różnych wartości 12 bitowego sygnału cyfrowego na wejście przetwornika i pomiar napięcia wyjściowego. Sprawdzenie to jest realizowane przy pomocy programu:

```
/* C/A.C */

# include <as.h>
main()
{
    int dat1 = 0;
    int dat2 = 0;
    while(1)
    {
        for(dat1=0; dat1<=0xf; dat1++)
            for(dat2=0; dat2<=0xff; dat2++)
            {
                outportw(AS2PB, dat1);
                outportw(AS2PC, dat2);
                getch();
            }
    }
}
```

Wynik sprawdzania jest pozytywny, jeśli wartości napięć na wyjściu przetwornika zmieniają się zgodnie z sygnałem sterującym tj. od -10V przy sygnale 0x0 przez 0V przy sygnale 0x800 do +10V przy sygnale 0xff.

4.3.5. Sprawdzenie poprawności działania rejestrów

zatrzaskowych.

Sprawdzenie rejestrów zatrzaskowych polega na odczycie stanu rejestrów po uprzednim wysłaniu instrukcji sterującej przy pomocy testera. W tym celu program uruchomieniowy testera realizuje prace krokowa. Odczyt stanu rejestrów jest realizowany przy pomocy programu MONITOR pakietu MMB6 USD następująco:

```
MMB6>iwfdcB <CR>
MMB6>iwfddO <CR>
MMB6>iwfbcb <CR>
```

MM86>iwfdd8 <CR>

Wynik sprawdzenia jest pozytywny, jeśli odczytane wartości rejestrów są zgodne z wartościami wysłanymi instrukcją sterującą przez tester.

4.4. Wykonanie badań.

=====

Badania przeprowadzono zgodnie z programami przedstawionymi w pkt. 4.2 oraz 4.3. Jednakże ze względu na specyfikę postępowania podczas uruchamiania nowego urządzenia, były one poprzedzone czynnościami wstępnymi takimi jak: oględziny, sprawdzenie zgodności typów zastosowanych elementów z przewidzianymi do zamontowania, sprawdzenie ścieżek zasilających itp. Czynności te były powtarzane wielokrotnie w tych przypadkach, w których wyniki badań nie były pozytywne. Po wielokrotnych próbach, usunięciu usterek na pakietach otrzymano wyniki pozytywne, co stanowi zakończenie badań funkcjonalnych urządzenia koniecznych do wykonania w zadaniu 4.1 tematu RP-58.3.

5. Wnioski.

=====

Praca wykonana w zadaniu 4.1 tematu RP-58.3 umożliwia przejście do realizacji kolejnego zadania, którym jest opracowanie dokumentacji technicznej stanowiącej podstawę do wykonania prototypu USD. Stąd wynika, że w czasie wykonywania kolejnych etapów pracy mogą być wprowadzone uzupełnienia lub usprawnienia opracowanego USD. Ponadto - zgodnie z planem pracy przedstawionym w założeniach techniczno-ekonomicznych (spr.nr rej6056) - zostaną przeprowadzone prace naukowo-badawcze:

1. Badanie możliwości i dróg uzyskania założonych funkcji USD, ze szczególnym uwzględnieniem analizy działania i konstrukcji analizatora sygnatur,
2. Opracowanie testów oraz oprogramowania realizującego te testy w USD.

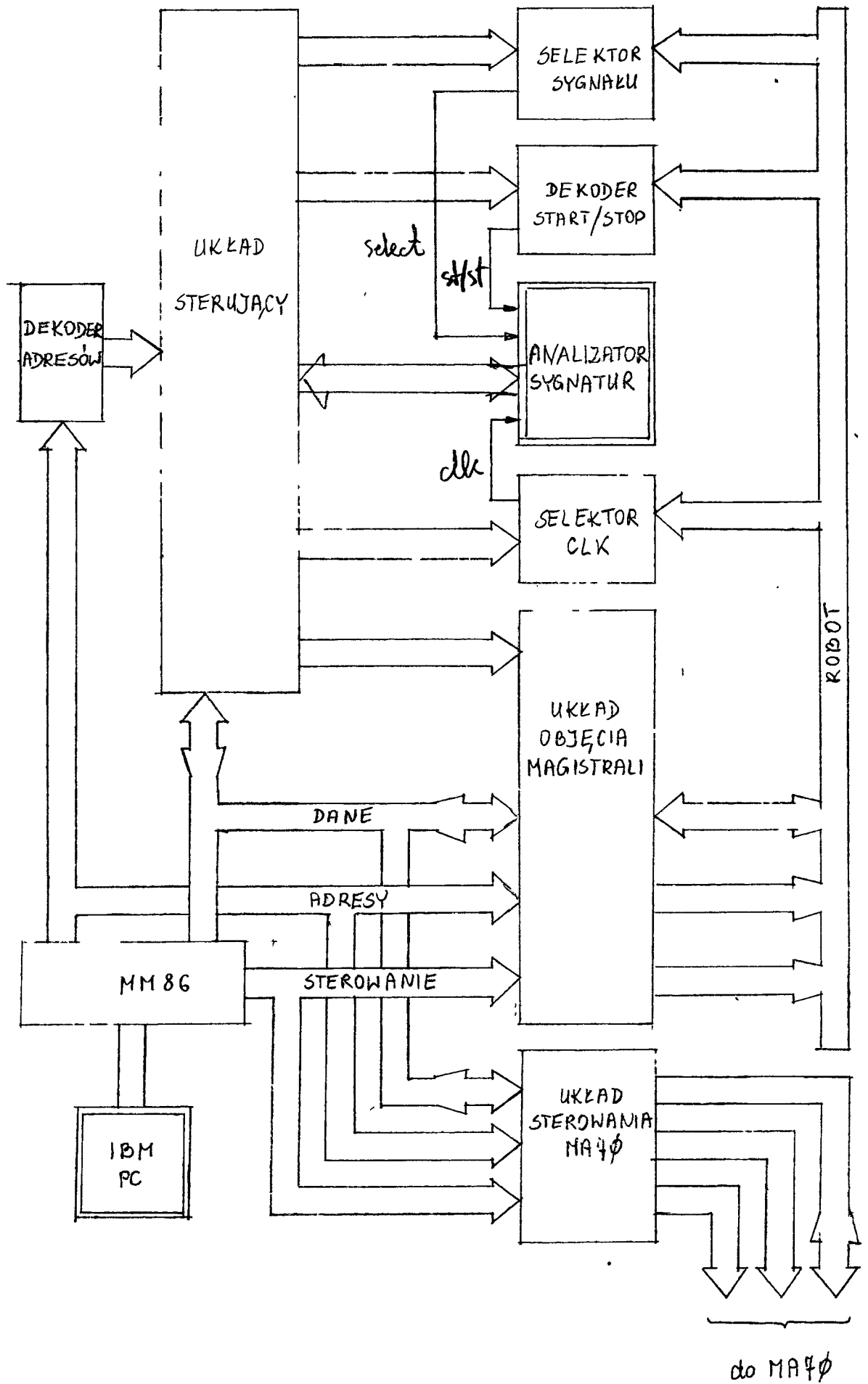
Niezależnie od tego zostanie przeprowadzona praca naukowo-badawcza, której celem jest:

- opracowanie metody wymiany informacji pomiędzy USD a systemem MS-DOS w komputerze w celu składowania, pobierania oraz dalszej analizy programowej danych o badanym przez USD systemie mikroprocesorowym.

6. Literatura.

=====

- [1] Sapięcha K.: Testowanie i diagnostyka systemów cyfrowych. PWN, Warszawa 1987.
- [2] Hedtke R.: Systemy mikroprocesorowe. Niezawodność, testowanie, tolerancja błędów. WNT, Warszawa 1987.
- [3] Kubis M.A.: Analiza sygnatur. Elektryzacja. WKL, Warszawa 1984.
- [4] Klimowicz J.: Przegląd metod testowania urządzeń cyfrowych zawierających układy wielkiej skali integracji. Techniki komputerowe. Biuletyn informacyjny IMM 3/85.

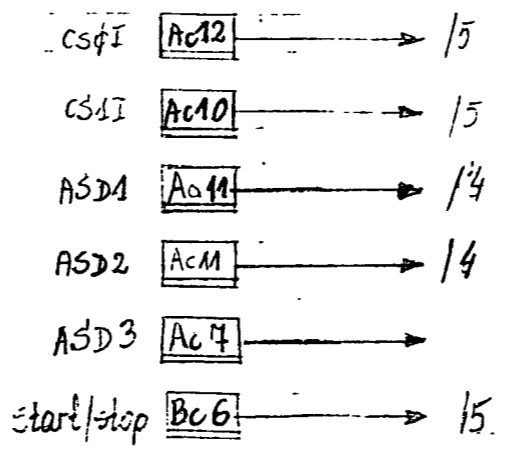
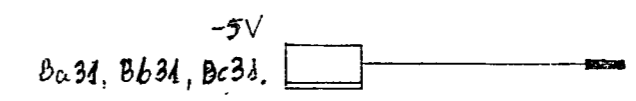
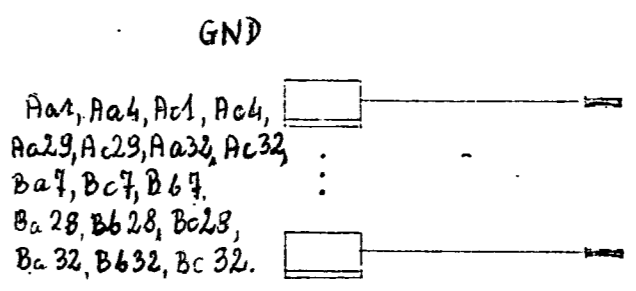
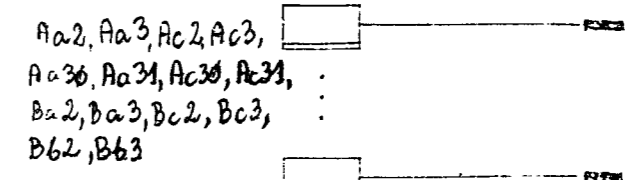
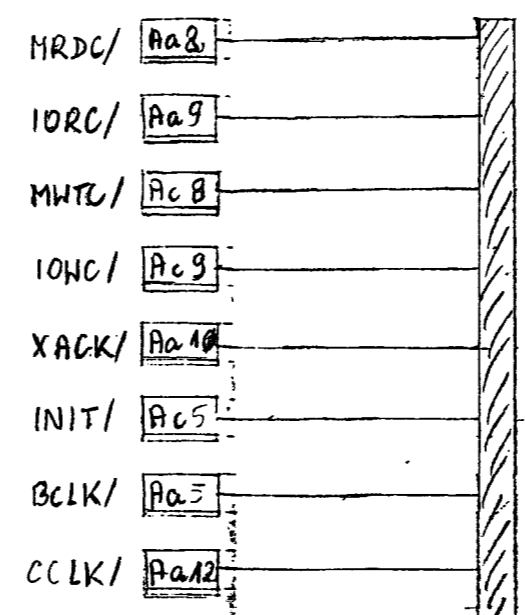
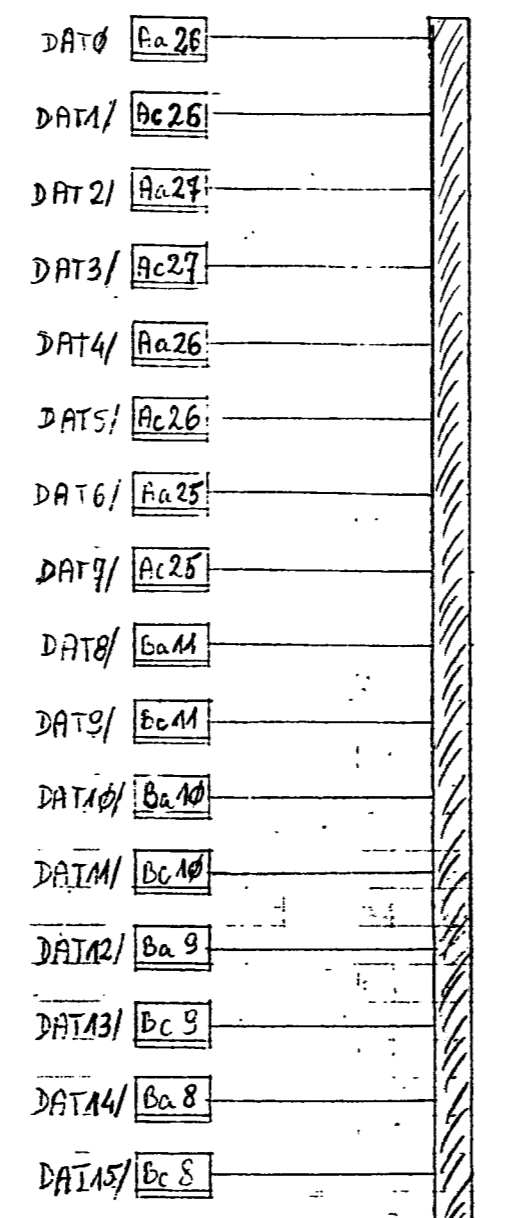
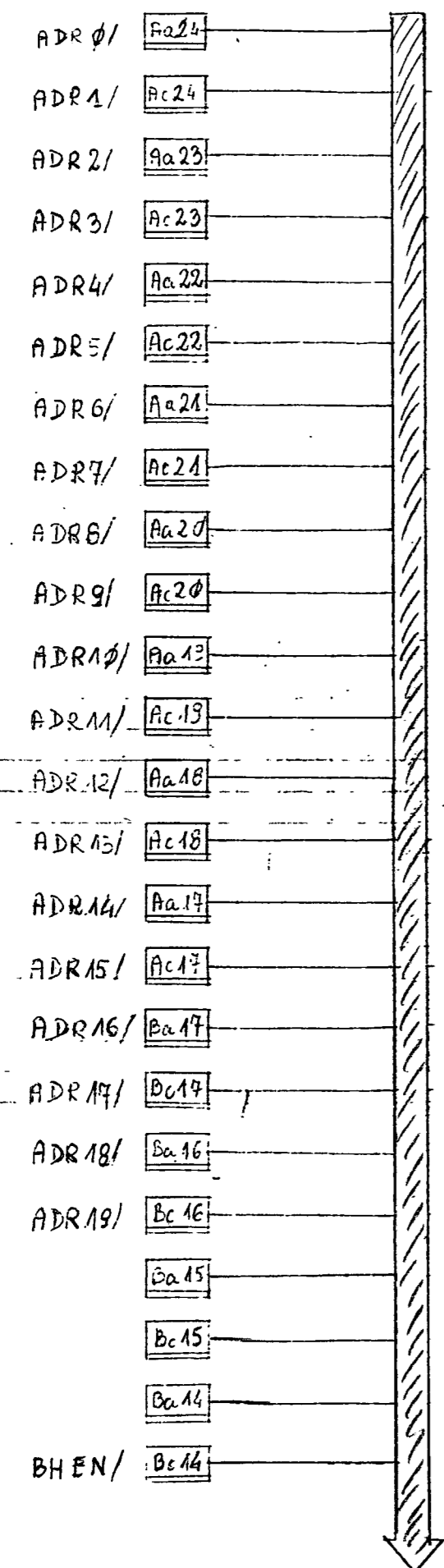


Rys. 1 Schemat blokowy urządzenia serwisowo-diagnostycznego.

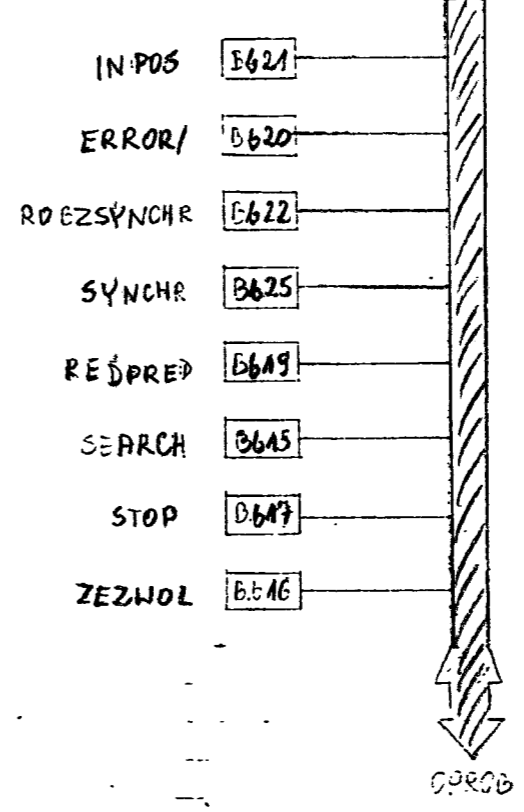
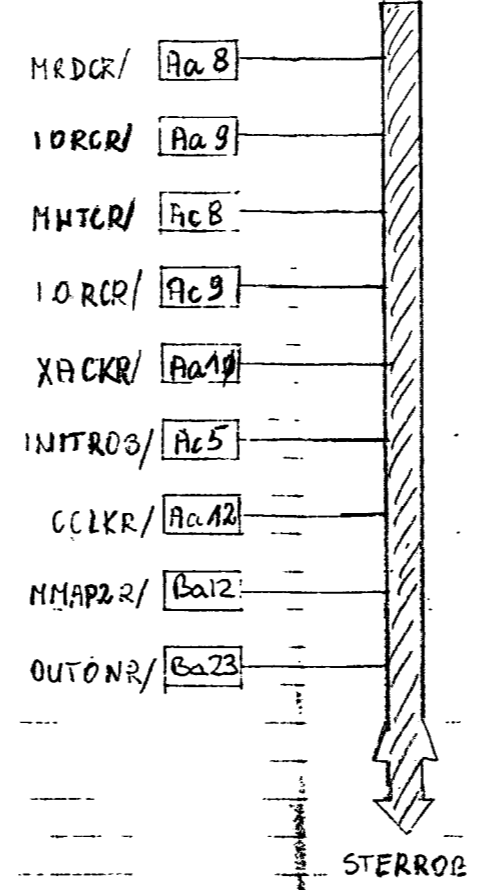
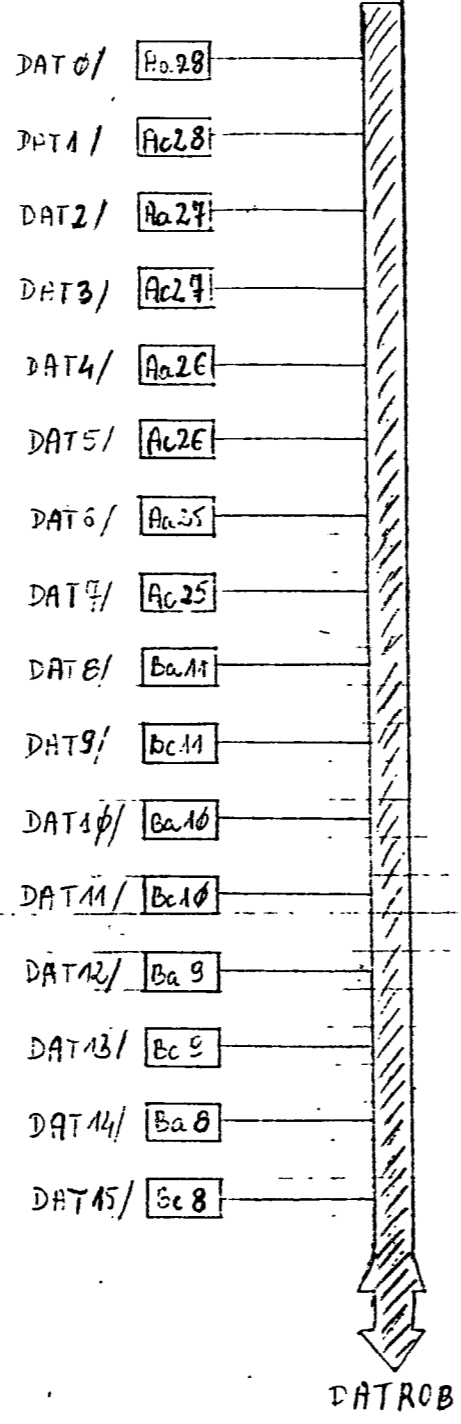
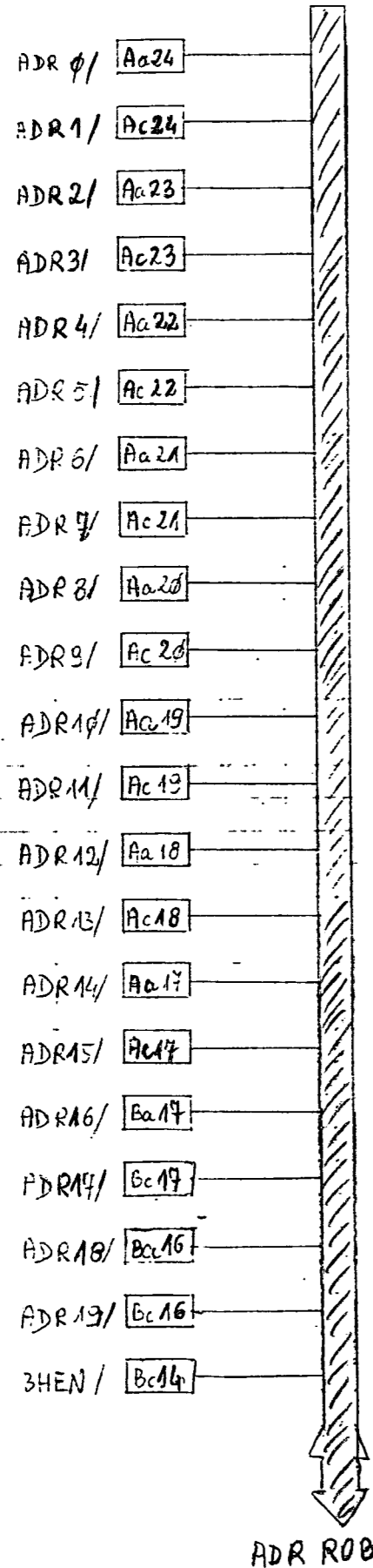
10 11 12 13 14 15
a b c d e f

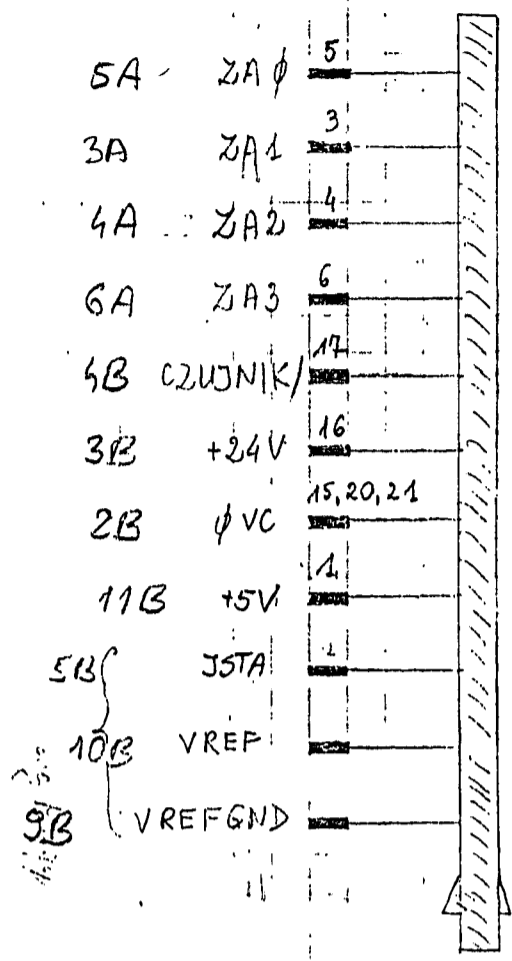
A52

+5V

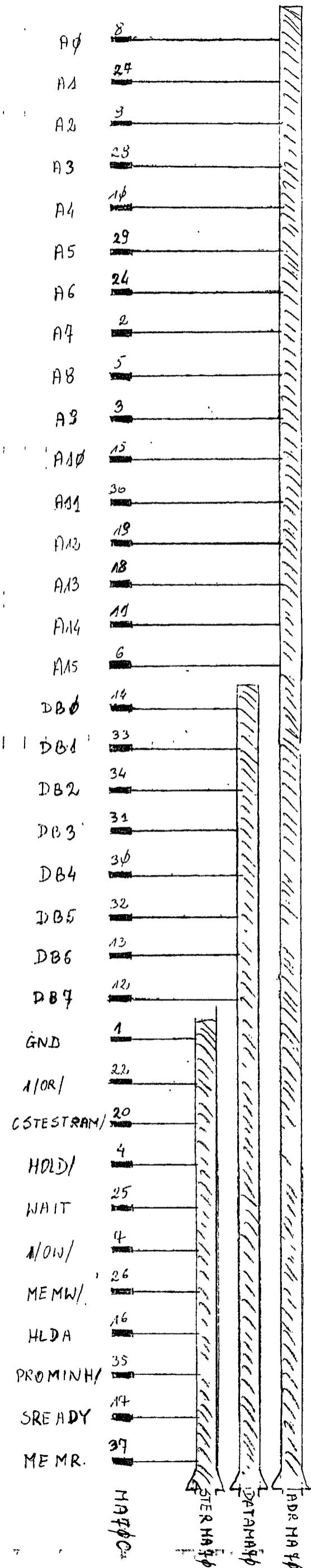


1/1 14



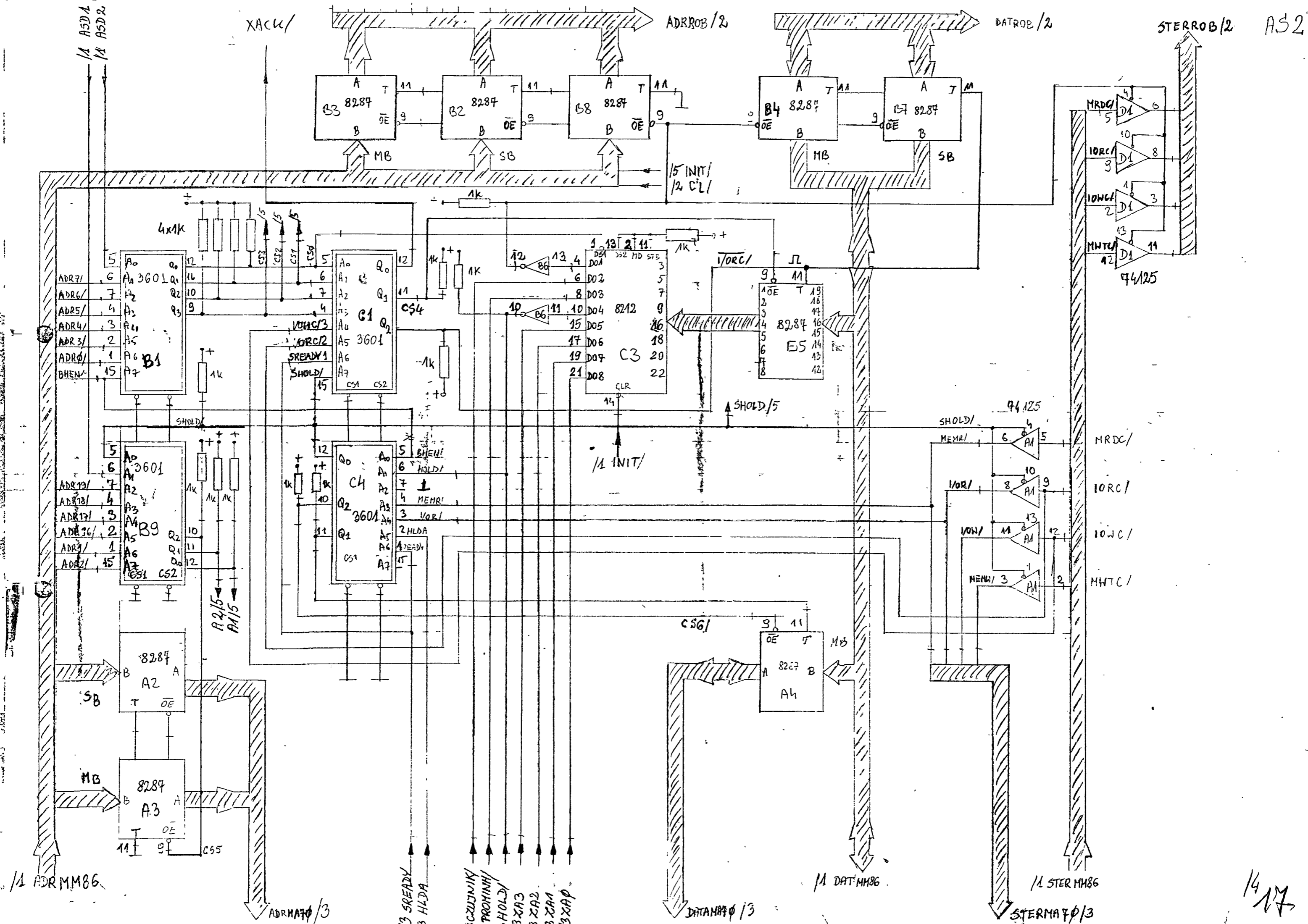


TESTNA
D



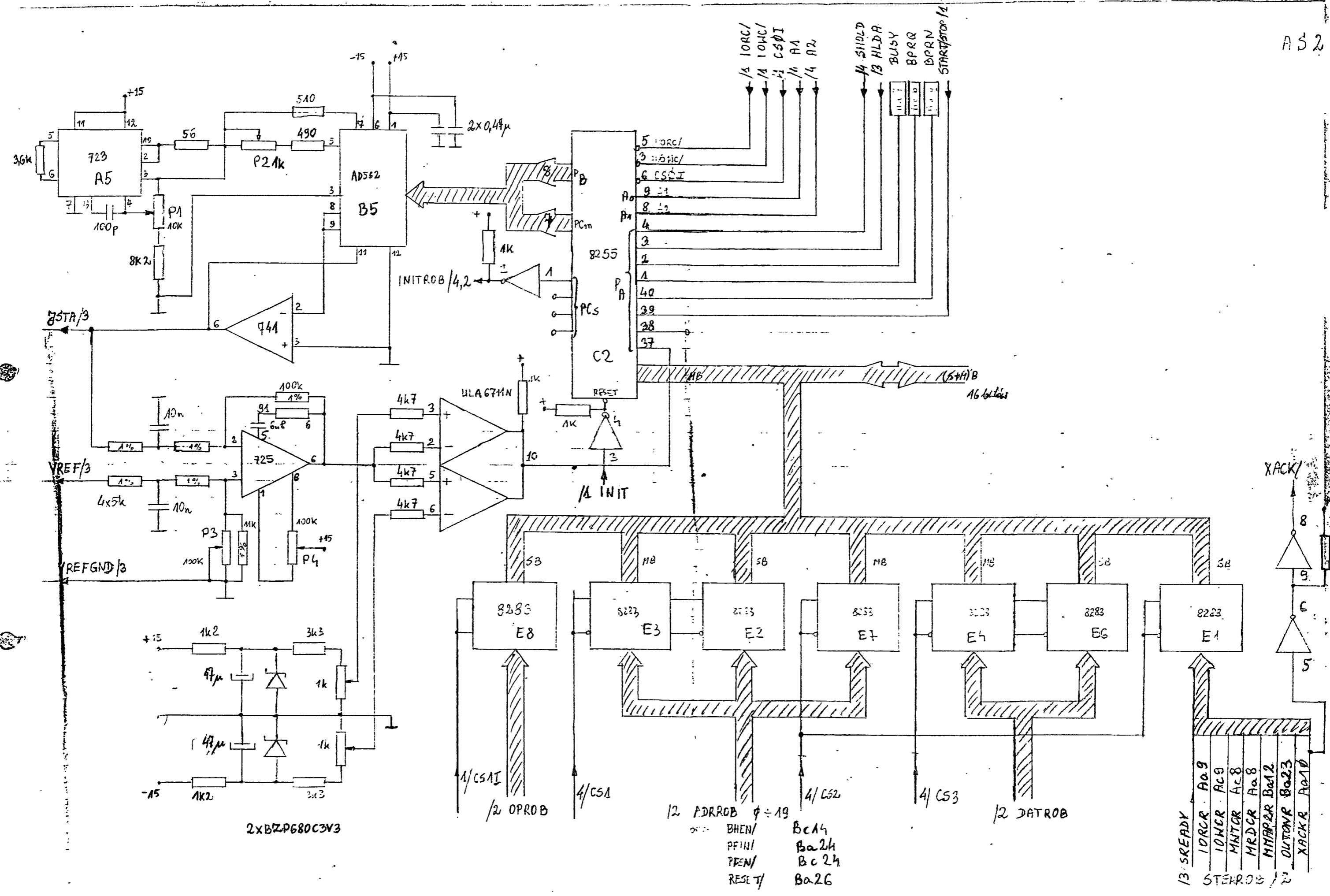
13.16

A.5.2



A52

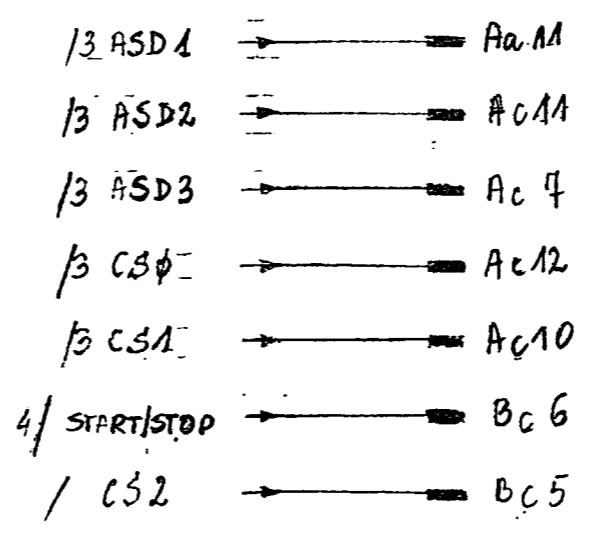
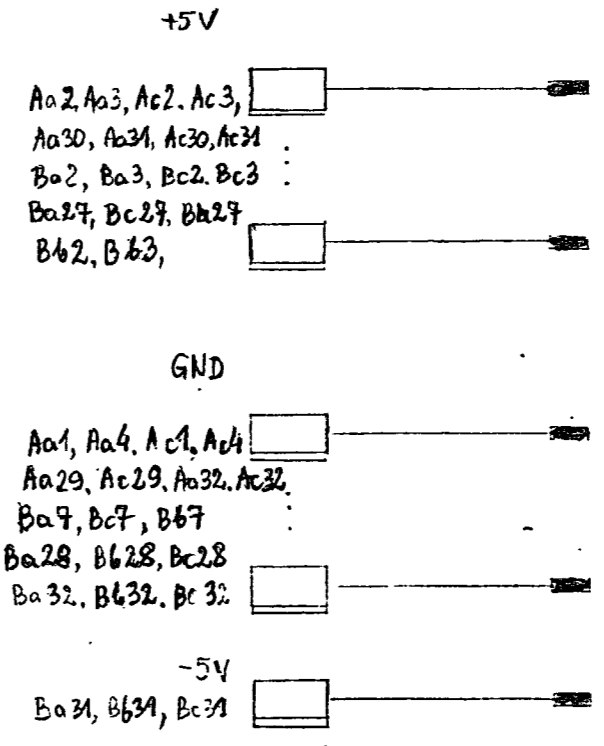
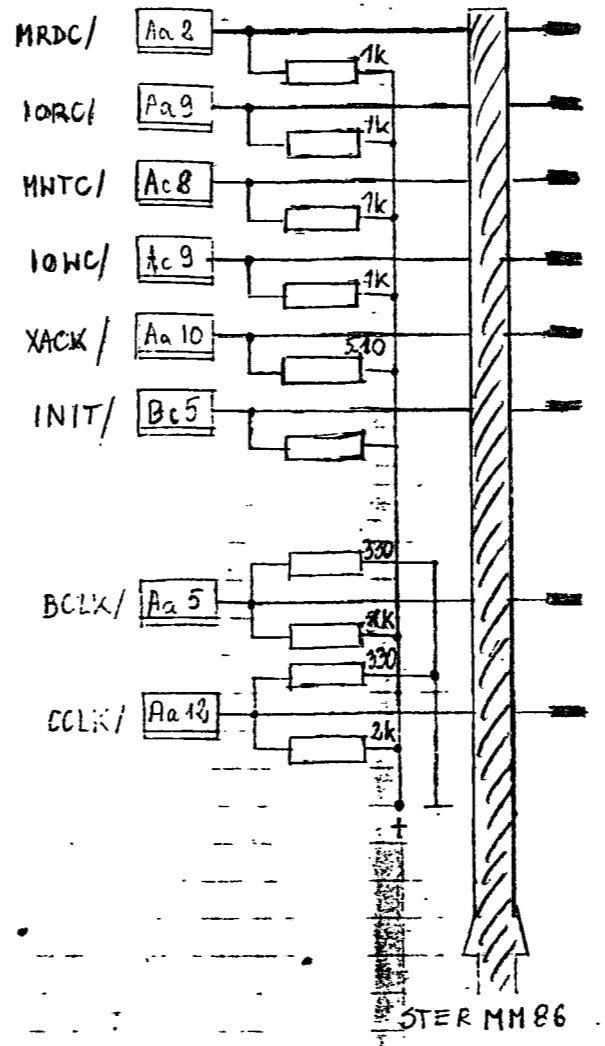
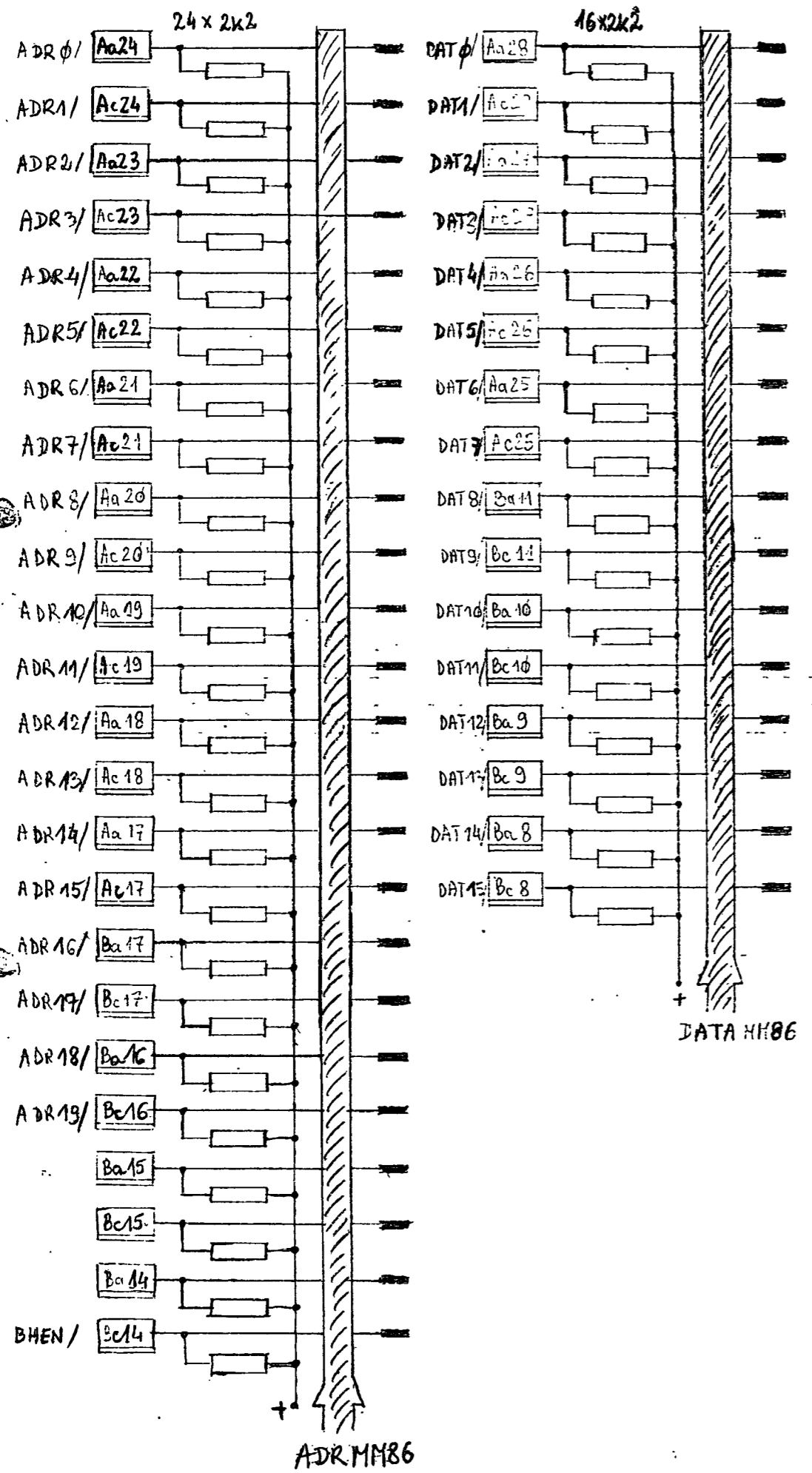
14 17

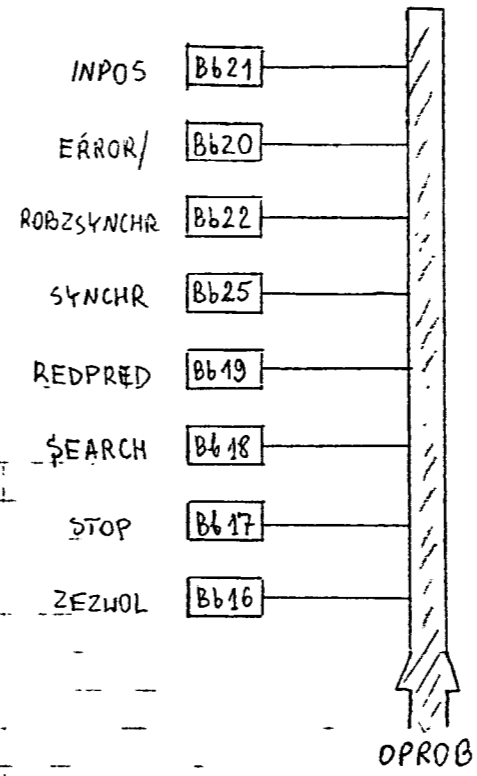
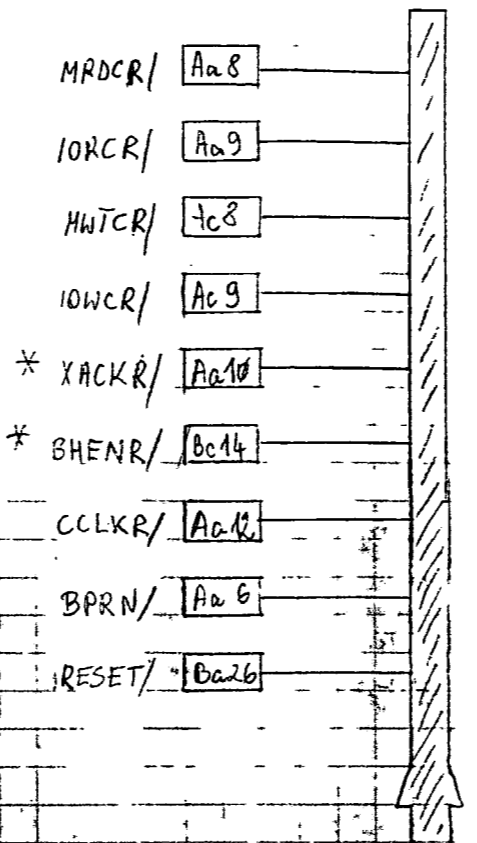
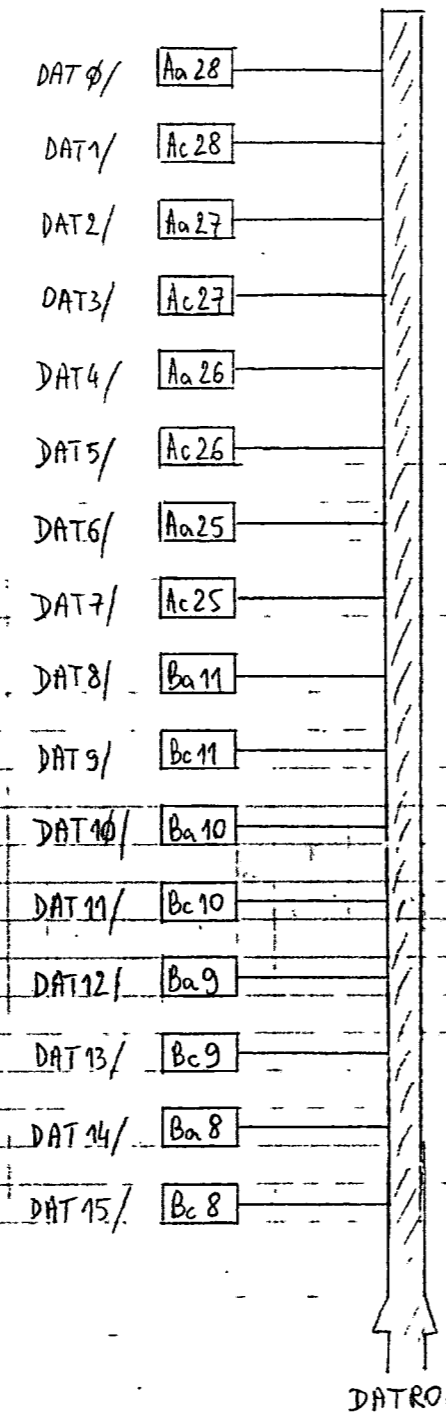
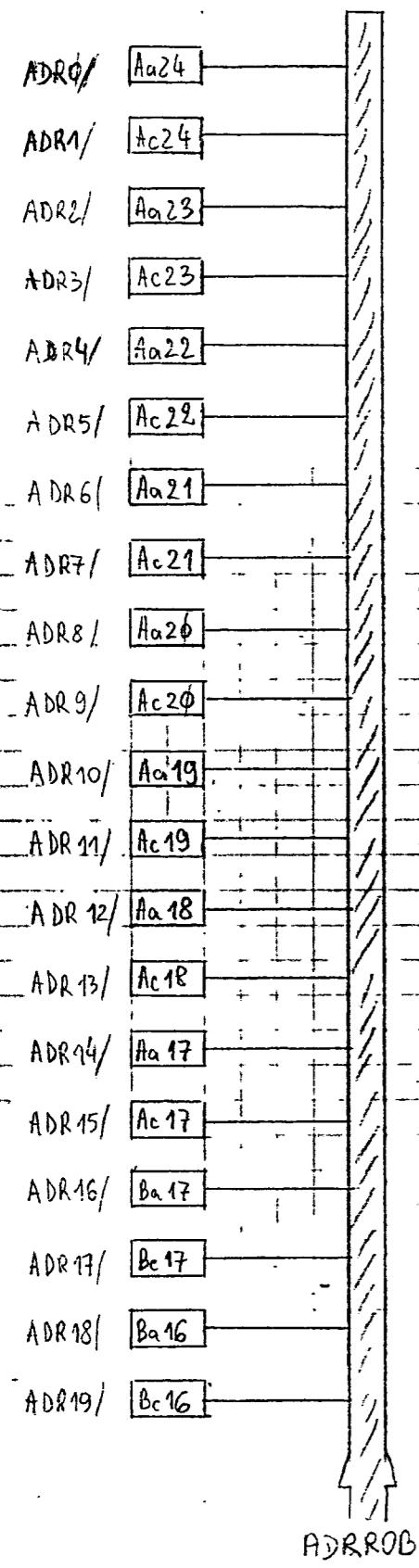


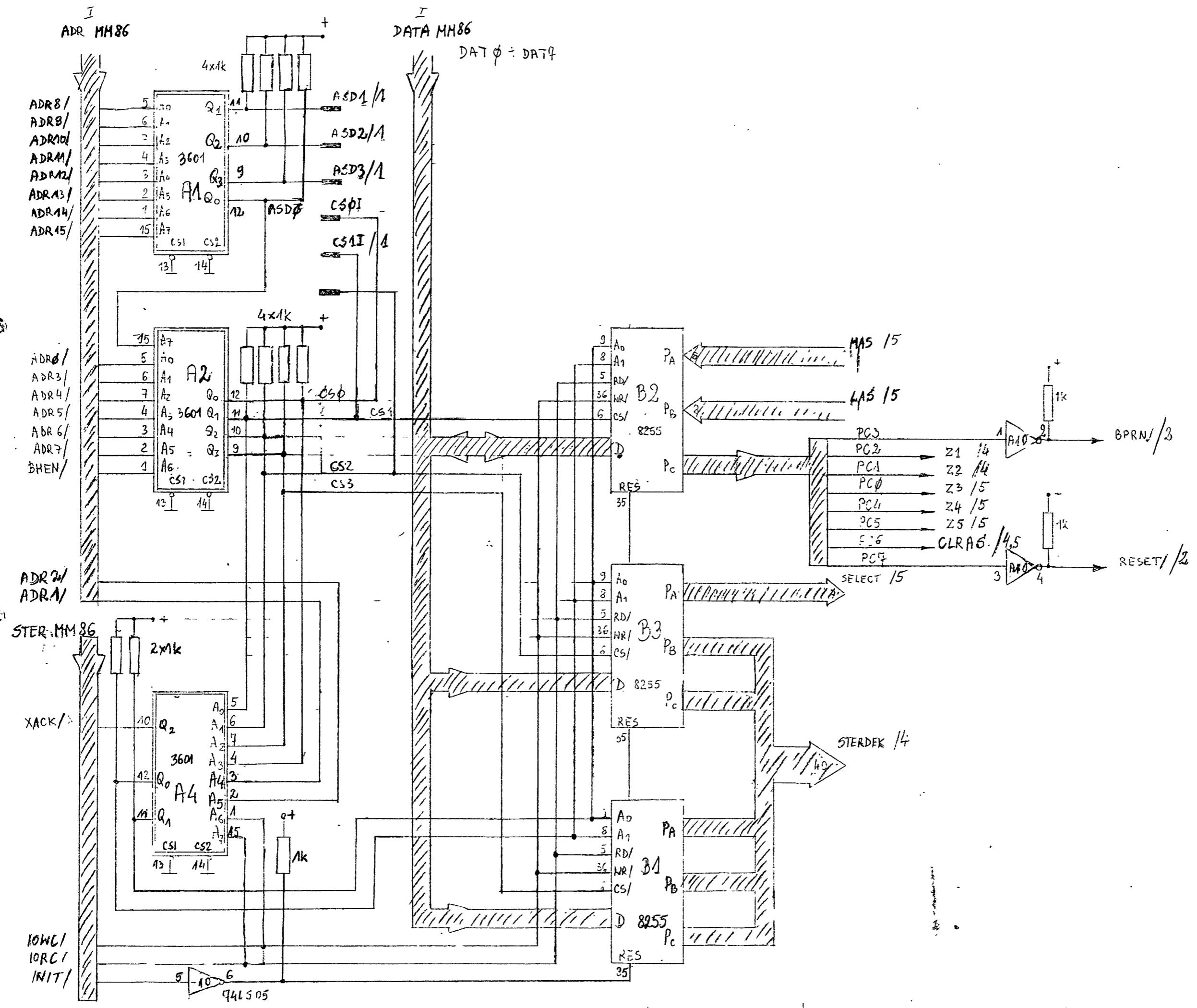
2XBZP680C3V3

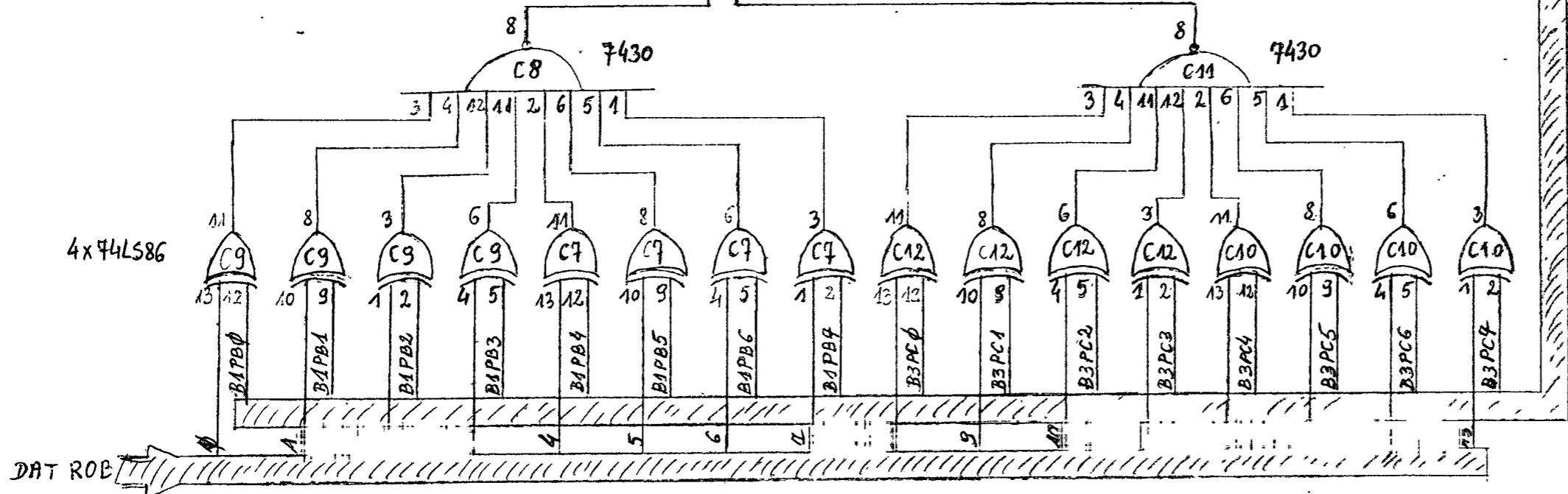
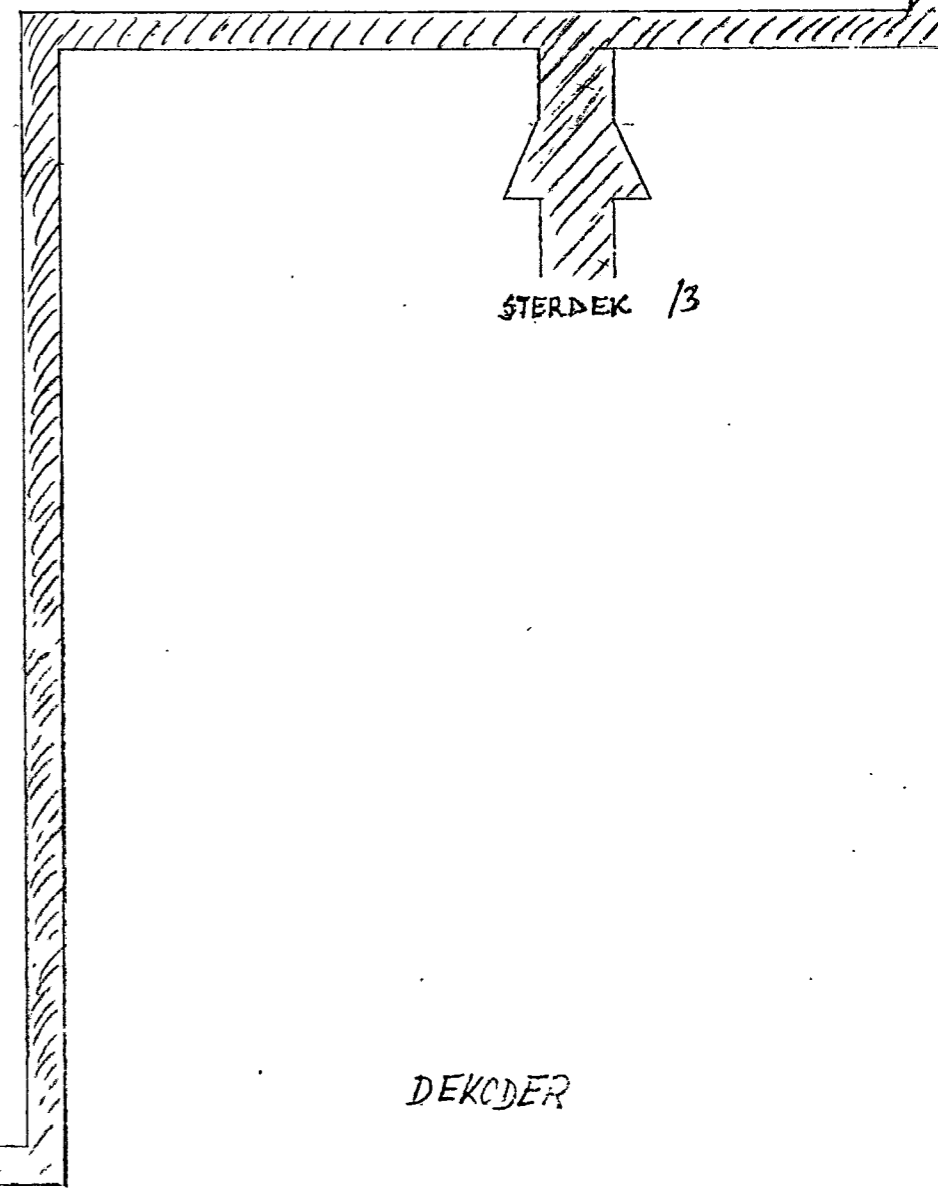
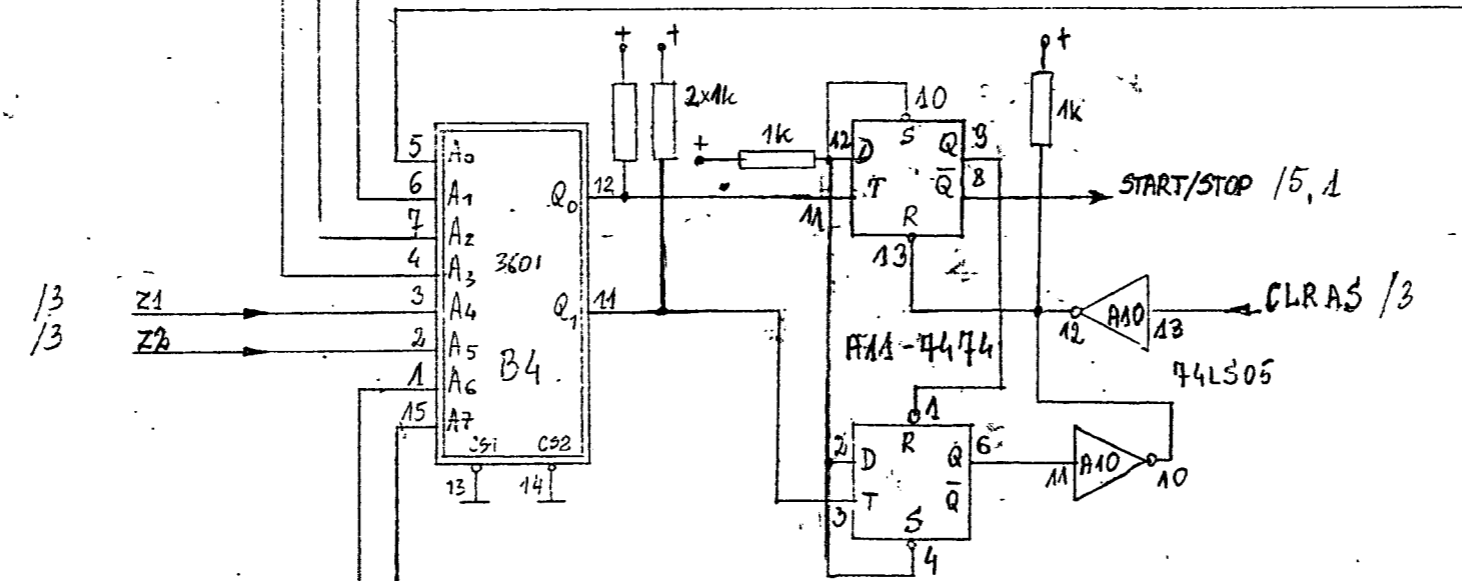
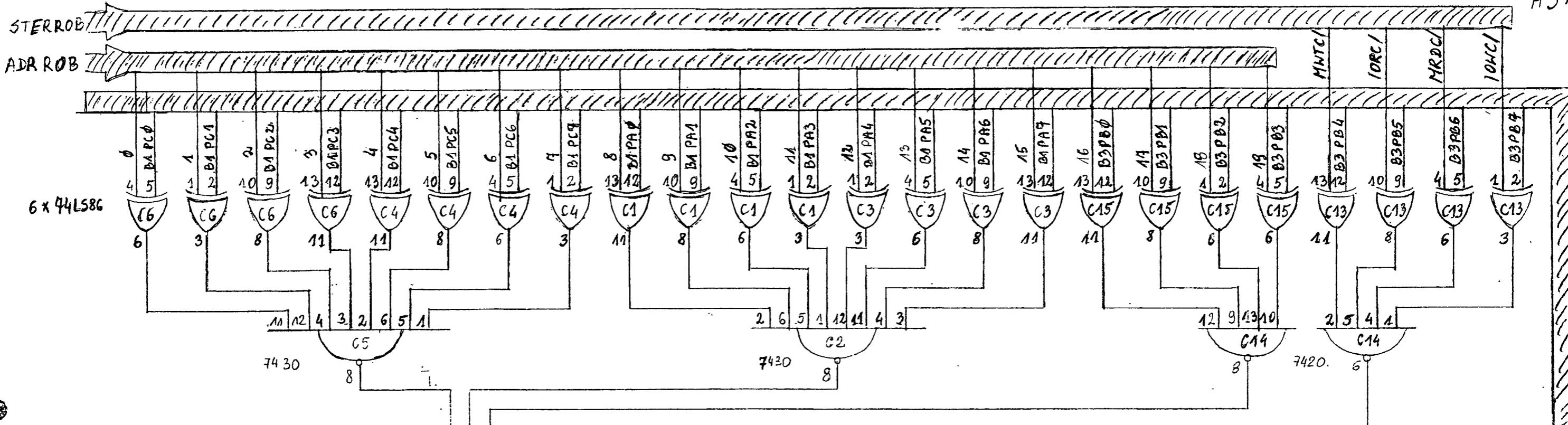
1/2 PDR0B $\phi = 19$
 BHEN/ Bc14
 PFIN/ Ba24
 PFEN/ Bc24
 RESET/ Ba26

1/2 DAT0B
 1/2 SREADY
 IORCR Aa9
 IONCR Ac9
 MNTGR Ac8
 MRDCR Aa8
 MMRP2R Ba12
 OUTONR Ba23
 XACKR Aa10









DEKDER

TYTUŁ				Paleta adresowa A1, wyjątkowo: A5, A6, A7, A8, A9, A10, A11, A12, A13, A14, A15																			
A3	A2	A1	A0	A4	A5	A6	A7	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
0	0	1	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	1	1	1	1
0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	0	1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	0	0	1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	0	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	0	1	1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ASD0 = 30/ = f(ADR9/ + ADR15/) = 0xEP
 ASD1 = 31/ = 0x7
 ASD2 = 32/ = 0xFD
 ASD3 = 33/ = 0xFE

- A0 - ADR8/
- A1 - ADR9/
- A2 - ADR10/
- A3 - ADR11/
- A4 - ADR12/
- A5 - ADR13/
- A6 - ADR14/
- A7 - ADR15/

TYTUL					AB	15N0	12, 11, 10, 9	007, 062, 1017, 057										
WYJSCIA:					A4	0	1	0	1	0	1	0	1	0	1	0	1	0
					A5	0	0	1	1	0	1	1	0	0	1	0	0	1
03	02	01	00		A6	0	0	0	0	1	1	1	1	0	0	0	0	1
					A7	0	0	0	0	0	0	0	0	1	1	1	1	1
A3	A2	A1	A0	AE	0	1	2	3	4	5	6	7	8	9	A	B	C	D
0	0	0	0	0	F	F	F	F	F	F	F	F	F	F	F	F	F	F
0	0	0	1	1	F	F	F	F	F	F	F	F	F	F	F	F	F	F
0	0	1	0	2	F	F	F	F	F	F	F	F	F	F	F	F	F	F
0	0	1	1	3	F	F	F	F	F	F	F	F	F	F	F	F	F	F
0	1	0	0	4	F	F	F	F	F	F	F	F	F	F	F	F	F	F
0	1	0	1	5	F	F	F	F	F	F	F	F	F	F	F	F	F	F
0	1	1	0	6	F	F	F	F	F	F	F	F	F	F	F	F	F	F
0	1	1	1	7	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	0	0	0	8	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	0	0	1	9	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	0	1	0	0	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	0	1	1	1	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	1	0	0	2	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	1	0	1	3	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	1	1	0	4	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	1	1	1	5	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	1	1	0	6	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	1	1	1	7	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	1	1	0	8	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	1	1	1	9	F	F	F	F	F	F	F	F	F	F	F	F	F	F

030 / - 0x (FB) 00:0x (FB) 0x
 0E1 / - 0x (FB) 00:0x (FB) 0E
 007 / - 0x (FB) 00:0x (FB) 06
 0E7 / - 0x (FB) 08:0x (FB) 0E

- A0 - ADR0/
- A1 - ADR1/
- A2 - ADR2/
- A3 - ADR3/
- A4 - ADR4/
- A5 - ADR5/
- A6 - ADR6/
- A7 - ADR7/ E 0, 0, 0, 0

TXTUL	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10	11	12	13	14	15
WVJSDIA	04	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
	05	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
Q3 Q2 Q1 Q0	06	0	0	0	0	1	1	1	1	0	0	1	1	1	1	1	1	1
	07	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
A7 A6 A5 A4	e	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

$$Q0/ = \overline{ADR2/} = ADR2$$

$$Q1/ = \overline{ADR1/} = ADR1$$

$$Q2/ = \overline{Q0/ \oplus Q1/ \oplus Q3/} = \overline{ADR2/ \oplus ADR1/ \oplus Q3/}$$

$$= \overline{ADR2/ \oplus ADR1/ \oplus Q3/}$$

- A0 = CS /
- A1 = CS2 /
- A2 = CS3 /
- A3 = CS0 /
- A4 = ADR1 /
- A5 = ADR2 /
- A6 = 1 / QWC /
- A7 = 1 / QPC /

TYTUŁ				Pakiet A21, -hwoc R ⁴ A													sc. a no, no, ST, ST/, C, ST				
WYJSCIA:				A4	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1
				A5	0	0	1	1	0	0	1	0	0	1	0	0	1	0	0	1	
BT B2 C. B0				A6	0	0	0	0	1	1	1	1	0	0	0	1	1	1	1	1	
				A7	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	
A3	A2	A1	A0	hwoc	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0	0	0	0	0	2	2	2	7	1	1	2	1	1	1	2	1	1	1	2	1	
0	0	0	1	1	2	3	2	1	1	2	1	1	1	1	3	1	1	1	2	1	
0	0	1	0	0	2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	0	1	1	3	2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	1	0	0	4	2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	1	0	1	5	2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	1	1	0	6	2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	1	1	1	7	3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
1	0	0	0	8	2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
1	0	0	1	9	2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
1	0	1	0	A	2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
1	0	1	1	B	2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
1	1	0	0	C	2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
1	1	0	1	D	2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
1	1	1	0	E	2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
1	1	1	1	F	2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	

$$Q0' = (z1+z2' + ADRMB. AD SE. ADRSSB) * (z1 - z2' + ADRMB/-ADRSE./ADRSEP./DATMB/ + DATSB/)*$$

$$* (z1/z2' + ADRMB/+ADRSE./ ADRSSB/+DATMB/ - DATSB/ STER)$$

$$Q1' = \overline{Q0'}$$

- A0 = STER/
 - A1 = ADRSS2/
 - A2 = ADRER/
 - A3 = ADRMB/
 - A4 = Z1
 - A5 = Z2
 - A6 = DATMB/
 - A7 = DATSB/
- QC ST/ST start
- Q1 = negacja QC - stop

TYTUŁ				Pakiet A01, obwód D0, wyjscia Q0-Q7, A0-A7																
WYJSCIA:				A4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
				A5	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
Q3	Q2	Q1	Q0	A6	0	0	0	0	1	1	1	0	0	0	0	1	1	1	1	
				A7	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
A7	A6	A5	A4	hex	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	1	3	3	0	0	3	3	6	6	0	0	3	3	6	6	0	0
0	0	1	0	2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	1	5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	1	0	6	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	1	1	7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	8	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	9	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	A	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	B	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	C	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	D	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	0	E	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	F	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

$$Q0 = (1/DR0 + Z3+Z4+Z5) * (1/DWF + Z2/+Z4+Z5) *$$

$$(1/DRR * DWR + Z3+Z4/+Z5) * (MRR + Z3+Z4/+Z5) *$$

$$MWR + Z3+Z4+Z5) * (MWR * MWR + Z3/+Z4+Z5) *$$

$$(DRR * DWR + Z3/+Z4+Z5) *$$

$$(DRR * DWR * MRR * MWR + Z3/+Z4/+Z5)$$

A0 = 1/DR0
A1 = 1/DWF
A2 = MRR
A3 = MWR
A4 = DR0
A5 = Z2
A6 = Z3
A7 = Z5

TYTUL				Pakiet ASD, obw. Bl. wyjscia: CB3/, CB2/, CB1/, CB0/																
WYJSCIA:				A4	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	
				A5	0	0	1	1	0	0	1	0	0	1	1	0	0	1	1	
CB3	CB2	CB1	CB0	A6	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	
				A7	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
A3	A2	A1	A0	Hex	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	0	0	0	0	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
0	0	0	1	1	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
0	0	1	0	2	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
0	0	1	1	3	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
0	1	0	0	4	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
0	1	0	1	5	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
0	1	1	0	6	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
0	1	1	1	7	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	0	0	0	8	F	F	F	F	7	D	9	C	F	F	F	F	F	F	F	F
1	0	0	1	9	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	0	1	0	A	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	0	1	1	B	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	1	0	0	C	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	1	0	1	D	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	1	1	0	E	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
1	1	1	1	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
				CB0/ = 0x(FD)C0 : 0x(FD)C6 CB1/ = 0x(FD)C8 : 0x(FD)CE CB2/ = 0x(FD)D0 : 0x(FD)D6 CB3/ = 0x(FD)D8 : 0x(FD)DE																
				A0 - ASD7/ = 0xFDXX A1 - ADR7/ A2 - ADR6/ A3 - ADR5/ A4 - ADR4/ A5 - ADR3/ A6 - ADR0/ A7 - BIEN/																

TYTUL				Pakiet A02, wyjscie: na CSF, A2, A1																
WYJSCIE:				A4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
				A5	0	0	1	1	0	0	1	1	0	0	1	0	0	1	1	0
Q3	Q2	Q1	Q0	A6	0	0	0	0	1	1	1	0	0	0	0	1	1	1	1	
				A7	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	

A3	A2	A1	A0	hex	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	0	0	0	0	7	7	7	7	7	6	6	6	5	5	5	5	4	4	4	4
0	0	0	1	1	7	7	7	7	6	6	6	6	5	5	5	5	4	4	4	4
0	0	1	0	2	7	7	7	7	6	6	6	6	5	5	5	5	4	4	4	4
0	0	1	1	3	7	7	7	7	6	6	6	6	5	5	5	5	4	4	4	4
0	1	0	0	4	7	7	7	7	6	6	6	6	5	5	5	5	4	4	4	4
0	1	0	1	5	7	7	7	7	6	6	6	6	5	5	5	5	4	4	4	4
0	1	1	0	6	7	7	7	7	6	6	6	6	5	5	5	5	4	4	4	4
0	1	1	1	7	7	7	7	7	6	6	6	6	5	5	5	5	4	4	4	4
1	0	0	0	8	7	7	7	3	6	6	6	2	5	5	5	1	4	4	4	0
1	0	0	1	9	7	7	7	7	6	6	6	6	5	5	5	5	4	4	4	4
1	0	1	0	A	7	7	7	3	6	6	6	2	5	5	5	1	4	4	4	0
1	0	1	1	B	7	7	7	7	6	6	6	6	5	5	5	5	4	4	4	4
1	1	0	0	C	7	7	7	3	6	6	6	2	5	5	5	1	4	4	4	0
1	1	0	1	D	7	7	7	7	6	6	6	6	5	5	5	5	4	4	4	4
1	1	1	0	E	7	7	7	7	6	6	6	6	5	5	5	5	4	4	4	4
1	1	1	1	F	7	7	7	7	6	6	6	6	5	5	5	5	4	4	4	4

CSF/ -SHOLD/4 (+ADR19/+ADR18/+ADR17/+ADR16/+ASD1) X

(ADR19/+ADR18/+ADR17/+ADR16/)

CSF/ - 0-0FOXX * 0. BXXX (prty SHOLD =0)

A1 - ADR1//

A2 - ADR2//

- A0 - SHOLD'
- A1 - ASD1' ≡ CAFOXX
- A2 - ADR19/
- A3 - ADR18/
- A4 - ADR17/
- A5 - ADR16/
- A6 - ADR1/
- A7 - ADR2/

TYTUL					Pakiet AS2, nbwod Ci, w/wscicicnc, IORC, CS4												XACK/			
WYJSCIA:					A'	0	1	0	1	0	1	0	1	0	1	0	1	0	1	
					A5	0	0	1	1	1	0	1	0	0	1	1	0	0	1	
Q3 Q2 Q1 Q0					A6	0	0	0	0	1	1	1	1	0	0	0	0	1	1	
					A7	0	0	0	0	0	0	0	1	1	1	1	1	1	1	
A3	A2	A1	A0	TEXT	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	0	0	0	0	7	7	3	3	7	7	7	7	7	7	3	3	7	7	3	3
0	0	0	1	1	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3
0	0	1	0	0	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3
0	0	1	1	3	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3
0	1	0	0	4	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3
0	1	0	1	5	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3
0	1	1	0	6	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3
0	1	1	1	7	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3
1	0	0	0	8	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3
1	0	0	1	9	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3
1	0	1	0	A	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3
1	0	1	1	B	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3
1	1	0	0	C	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3
1	1	0	1	D	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3
1	1	1	0	E	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3
1	1	1	1	F	7	7	3	3	7	7	3	3	7	7	3	3	7	7	3	3

$$XACK/ = [(CS0/*CS1/*CS2/*CS3/) + (I/DRC/*I/DWC/$$

$$+ SHOLD/*I/SHOLD SREADY/)$$

$$CS4/ = CS0/*CS1/*CS2/*CS3/ + I/DRC/*I/DWC/$$

$$I/DRC/ = I/DWC/ - 1 \quad (\text{regacja na magistrali})$$

- A0 - CS0/
- A1 - CS1/
- A2 - CS2/
- A3 - CS3/
- A4 - I/DWC/
- A5 - I/DRC/
- A6 - SREADY
- A7 - SHOLD/

TYTUŁ		Faktet 432 obwod C ⁴ , wyjścia: CS, CS ² , T, SHLD, T ²																			
WYJSCIA:		A4	0	1	0	1	0	1	0	1	0	1	0	1	0	1					
		A5	0	0	1	1	0	0	1	1	0	0	1	1	0	0					
A3	A2	A1	A0	A6	0	0	0	0	1	1	1	0	0	0	1	1	1				
		A7	0	0	0	0	0	0	0	0	0	1	1	1	1	1					
A3	A2	A1	A0	hex	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0	0	0	0	0	7	7	4	6	7	7	4	6	7	7	7	7	7	7	7	7	
0	0	0	1	1	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	
0	0	1	0	2	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	
0	0	1	1	3	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	
0	1	0	0	4	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	
0	1	0	1	5	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	
0	1	1	0	6	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	
0	1	1	1	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	
1	0	0	0	8	7	7	6	4	7	7	2	0	7	7	7	7	7	7	7	7	
1	0	0	1	9	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	
1	0	1	0	A	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	
1	0	1	1	B	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	
1	1	0	0	C	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	
1	1	0	1	D	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	
1	1	1	0	E	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	
1	1	1	1	F	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	
UWAGI:																					
$SHLD/\overline{=} HOLD/\overline{+} HLDA$																					
$T = \overline{MEMR/\overline{+} I/DR/\overline{+}}$																					
$CS/\overline{=} HOLD/\overline{+} HLDA/\overline{+} SREADY/\overline{+}$																					
$MEMR/\overline{=} I/DR/\overline{+} 0$																					
A0 - GND=0 A1 - HOLD/ A2 - GND=0 A3 - MEMR/ A4 - I/DR/ A5 - HLDA A6 - SREADY A7 - GND=0																					


```

/* ZBIOR <AS.h> */

# define AS1B1PA      0xfbde
# define AS1B1PB      0xfbdc
# define AS1B1PC      0xfbda
# define AS1B1        0xfbdb

# define AS1B2PA      0xfbce
# define AS1B2PB      0xfbcc
# define AS1B2PC      0xfbca
# define AS1B2        0xfbcb

# define AS1B3PA      0xfbdb
# define AS1B3PB      0xfbdb
# define AS1B3PC      0xfbdb
# define AS1B3        0xfbdb

# define AS2C2PA      0xabc0
# define AS2C2PB      0xabc2
# define AS2C2PC      0xabc4
# define AS2C2        0xabc6

# define AS2C3WY      0xfdc0
# define AS2E2E3      0xfdc8
# define AS2E1E7      0xfdd0
# define AS2E4E6      0xfddb
# define AS2E8        AS1B2

# define CTRAS1B1     0x7f
# define CTRAS1B2     0x6d
# define CTRAS1B3     0x7f
# define CTRAS2C2     0x6f

# define SEL_DAT0     0xe8
# define SEL_DAT1     0xc8
# define SEL_DAT2     0xe0
# define SEL_DAT3     0xc0
# define SEL_DAT4     0xa8
# define SEL_DAT5     0x88
# define SEL_DAT6     0xa0
# define SEL_DAT7     0x80
# define SEL_DAT8     0x84
# define SEL_DAT9     0xa4
# define SEL_DAT10    0x8c
# define SEL_DAT11    0xac

```

```

# define SEL_DAT12      0xc4
# define SEL_DAT13      0xe4
# define SEL_DAT14      0xcc
# define SEL_DAT15      0xec

# define SEL_IQWR        0x20
# define SEL_IORR        0x8
# define SEL_MWTR        0x2B
# define SEL_MRDR        0x0

# define SEL_ADRO        0x6a
# define SEL_ADR1        0x4a
# define SEL_ADR2        0x62
# define SEL_ADR3        0x42
# define SEL_ADR4        0x2a
# define SEL_ADR5        0xa
# define SEL_ADR6        0x22
# define SEL_ADR7        0x2
# define SEL_ADR8        0x6
# define SEL_ADR9        0x26
# define SEL_ADR10       0xe
# define SEL_ADR11       0x2e
# define SEL_ADR12       0x46
# define SEL_ADR13       0x66
# define SEL_ADR14       0x4e
# define SEL_ADR15       0x6e
# define SEL_ADR16       0x40
# define SEL_ADR17       0x60
# define SEL_ADR18       0x4B
# define SEL_ADR19       0x6B

# define SEL_ZEZWOL      0x6c
# define SEL_STOP        0x4c
# define SEL_SYNCHR      0x64
# define SEL_RDZSYNCHR   0x44
# define SEL_INPOS       0x2c
# define SEL_ERROR       0xc
# define SEL_SEARCH      0x24
# define SEL_REDPRED     0x4

# define STER_IQWR       0x7
# define STER_IORR       0xd
# define STER_MRDR       0xb
# define STER_MWTR       0xe

# define CLK_IORR        0xc0
# define CLK_IQWR        0xcf
# define CLK_IOWRR       0xde
# define CLK_MRR         0xdf
# define CLK_MWR         0xee
# define CLK_MWRR        0xef
# define CLK_IOMR        0xfe
# define CLK_CCLKR       0xff

# define STST_DAT        0xf9
# define STST_ADR        0xfd
# define STST_DADR       0xfb
# define STST_DADRST     0xff

# define CLRAS           0xff
# define NOTCLRAS        0xbf
# define BPRN            0xff
# define NOTBPRN         0xf7
# define RESET           0xff
# define NOTRESET        0x7f

```