

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW
MERA-PIAP
Al. Jerozolimskie 202 02-222 Warszawa Telefon 23-70-81

OSRODEK AUTOMATYKI KOMPLEKSOWEJ I SYSTEMÓW CYFROWYCH

Pracownia Sprzętu Cyfrowego OAK-31

Główny wykonawca mgr inż. Stanisław Szwałlis

Wykonawcy mgr inż. Stanisław Szwałlis

Konsultant mgr inż. Ryszard Tyrcha

Nr zlecenia 9457

Opracowanie adaptera Wspólnej Szyny
i handlerów RSX-11 dla systemu

MIR-PROWAY

Etap 1 Weryfikacja założeń MI05,
analiza wariantów rozwiązań
i wstępny projekt logiczny

Zleceniodawca praca własna Instytutu

Prace rozpoczęto dnia 03.84r.

zakończono dnia 30.04.1984

Kierownik Pracowni p.o.Z-cy Dyrektora
d/s Automatyki

Kierownik Ośrodka

mgr inż. S. Szwałlis

mgr inż. J. Hawryluk

dr inż. T. Gałązka

Praca zawiera:

Rozdzielnik - ilość egz:

stron 20

Egz. 1 BOINTE

rysunków 9 + 10

Egz. 2 OAK

fotografii

Egz. 3 OAK-31

tabel

Egz. 4

tablic

Egz. 5

załączników 1

Egz. 6

Nr rejestr. 5217

Analiza deskryptorowa. URZADZENIA AUTOMATYCZNEJ REGULACJI I STEROWANIA:
KSAP + MIR PROWAY + MINIKOMPUTER + ADAPTER INTERFEJSU +
PROJEKT LOGICZNY

Analiza dokumentacyjna. Projekt logiczny adaptera interfejsu Wspólnej Szyny. Adapter MI05 służy do równoległego sprzężenia mini-komputerów klasy SM EMC z magistralą kasety MIR-PROWAY. Praca zawiera schematy logiczne adaptera, komentarze, rysunki, przebiegi czasowe. Jest to wstępny projekt rozwiązań adaptera MI05.

Tytuły poprzednich sprawozdań

62-5a teoria i projekt decki.

regul. i sterow.

UKD

MAP-252/03-0000

SPIS TREŚCI

1. Wstęp
2. Komentarze
 - 2.1. Typy przekazów informacji
 - 2.2. Adresowanie adaptera
 - 2.3. Rejestry wewnętrzne adaptera
 - 2.4. Typy rozkazów
 - 2.5. Układ przerwania i time-out
 - 2.6. Układ obejmowania magistrali kasety
 - 2.7. Układ alarmu zasilania
 - 2.8. Przebiegi czasowe
 - 2.9. Połączenia krosowe
 - 2.10. Ocena możliwości realizacji jednopakietowej adaptera

Załącznik 1 - Zatwierdzone założenia adaptera MI05

SPIS RYSUNKÓW

1. Możliwości przemieszczania segmentów 1KB /4MB/
2. Możliwości przemieszczania segmentów 1KB /256KB/
3. Opis rejestru sterowania i stanu CSR
4. Opis rejestru przerwania INTRG
5. Sekwencja przebiegów czasowych operacji czytania danych
6. Sekwencja przebiegów czasowych operacji pisania danych
7. Sekwencja przebiegów czasowych operacji czytania rejestru wew.
8. Sekwencja przebiegów czasowych operacji pisania do rej. wew.
9. Sekwencja przebiegów czasowych sygnałów alarmu zasilania

SPIS SCHEMATÓW

- 5217/0 Schemat blokowy adaptera MI05
- 5217/1 Sygnały danych
- 5217/2 Układ generacji sygnałów rozkazowych i dekodera adr. wew.
- 5217/3 Układ przerwania
- 5217/4 Układ obejmowania magistrali
- 5217/5 Odbiorniki i nadajniki sygnałów adresowych
- 5217/6 Rejestr CSR
- 5217/7 Układy alarmów, inicjacji i potwierdzeń
- 5217/8 Rejestr INTRG
- 5217/9 Układ dekodera i transformacji adresów

1. Wstęp

Niniejsza praca zawiera projekt logiczny adaptera interfejsu Wspólna Szyna /UNIBUS/ typu MIØ5, który służy do równoległego sprzężenia minikomputerów klasy SM EMC /PDP-11/ z magistralą kasety MIR-PROWAY.

Założenia adaptera MIØ5 zawarte w pracy nr rej. 4972 zostały zatwierdzone - z nieznacznymi uzupełnieniami - na posiedzeniu Rady Technicznej systemu MIR-PROWAY w dniu 20.04.1983r./Załącznik 1/.

Przedstawiany projekt logiczny stanowi weryfikację realizacyjną założeń technicznych adaptera MIØ5 i potwierdza możliwość ich spełnienia przez rozwiązanie jednopaketowe.

Tematem etapu 1 zlecenia 9457 był wstępny projekt logiczny adaptera, można jednak stwierdzić, że przedstawiany projekt nie ma luk, jest propozycją zamkniętą i może być podstawą do opracowania obwodu drukowanego pakietu adaptera MIØ5.

Opisy dokumentacyjne adaptera będą opracowane na etapie modelu. Uzupełnieniem projektu logicznego są komentarze omawiające przyjęty sposób realizacji określonych wymagań założeń technicznych MIØ5, rysunki przebiegów czasowych ułatwiające zrozumienie zasady działania adaptera w oparciu o schematy logiczne, oraz rysunki opisujące rejestry adaptera dostępne od strony Wspólnej Szyny.

Załączono również szczegółowy schemat blokowy adaptera MIØ5, który służyć może za przewodnik po arkuszach schematów logicznych.

2. Komentarze

2.1. Typy przekazów informacji

Zasady wymiany informacji na magistrali Wspólna Szyna wymagają by urządzenia SLAVE podczas operacji odczytu /DATI/ podawały w odpowiedzi zawsze informację 16-bitową, niezależnie od stanu najmłodszego bitu adresu A \emptyset L. Z tego względu bit ten jest ziloczynowany na swoim odbiorniku z sygnałem C1L co sprawia, że jest on dla operacji odczytu przekazywany na magistralę kasyety zawsze jako logiczne "0" /adres parzysty/.

Z tego samego względu sygnał BHEN/ jest wydawany przez adapter dla każdej operacji odczytu i dla operacji pisania za wyjątkiem pisania bajtowego /DATOB/ do adresu parzystego.

Inaczej mówiąc, adapter realizuje typy przekazów wg projektu BN na interfejs wielodostępnej magistrali kasyety w sposób następujący:

- typ 1 - dla obu kierunków przepływu informacji,
- typ 2 - dla operacji pisania bajtowego do adresu nieparzystego,
- typ 3 - dla operacji pisania bajtowego do adresu parzystego,
- typ 4 - nie jest realizowany.

Można to prześledzić na arkuszach 2 i 5 schematów logicznych adaptera.

2.2. Adresowanie adaptera

Od strony Wspólnej Szyny adapter może odbierać 22 sygnały adresu. Rozszerzenie w stosunku do założeń jest podyktowane potrzebą zabezpieczenia możliwości współpracy adaptera z nowszymi modelami minikomputerów SM EMC o przestrzeni adresowej 4MB. Między innymi model taki jest opracowywany przez Zakłady ERA .

Zawarty na arkuszu 9 układ dekodażu i transformacji adresów jest zrealizowany z użyciem 3-ch bipolarnych pamięci PROM 512 x 4 o wyjściu TS /TM 622 lub odpowiednik/. Układ ten odbiera sygnały adresu od A1 \emptyset w górę i umożliwia przetwarzanie adresów segmentów przestrzeni adresowej o wielkości 1 KB. Dowolny /z ograniczeniem wynikającym jedynie z kombinacji 111 bitów 21:19/ segment przestrzeni adresowej Wspólnej Szyny może być przemieszczony w dowolne

miejsce w przestrzeni adresowej magistrali kasety. Sposób przemieszczenia musi być wcześniej określony i zaprogramowany /przepalony/ w pamięciach PROM. Późniejsze zmiany sposobu przemapowywania adresów polegają na wymianie pamięci umieszczanych w podstawkach.

Aczkolwiek założenia techniczne adaptera ściśle określają obszar adresowania adaptera MIØ5 ograniczając go do 4KB z obszaru $760000_8 \dots 767776_8$ tym niemniej proponowany układ ograniczeń w tym zakresie nie nakłada. Jest to bardzo istotne gdyż nowe ustalenia odnośnie wielkości obszarów buforów transmisyjnych znacznie wykraczają poza wcześniej przyjęte dla MIØ5 granice.

Proponowany układ transformacji adresów przemieszcza segmenty 1KB w przestrzeni adresowej kasety 1MB gdyż adapter wydaje sygnały ADRØ/ ,, , ADR19/.

Sygnał ACTIVE/ jest wytwarzany dla rozpoznanych przez adapter adresów Wspólnej Szyny, które mają być przetworzone na adresy magistrali kasety. Sygnał ten uaktywnia adapter.

Sygnał ADEC/ wytwarzany jest dla segmentu zawierającego adresy rejestrów wewnętrznych adaptera. Sygnał ten uaktywnia dekodery adresów CSR i INTRG przedstawiony na arkuszu 2. Realizacja dekodera na elemencie PROM. Sygnał ADWEW/ zapobiega zajmowaniu magistrali kasety w przypadku gdy operacja dotyczy rejestru wewnętrznego adaptera /arkusz 4/, a także służy do wytwarzania sygnałów potwierdzeń SSYN dla tych operacji /arkusz 7/.

Przepływ sygnałów adresowych w adapterze można prześledzić na schemacie blokowym 5217/Ø. Adapter nie odbiera sygnałów adresowych od strony magistrali kasety.

* Układ umożliwi adresowanie do 512 segmentów po 1KB

2.3. Rejestry wewnętrzne adaptera

Od strony Wspólnej Szyny mogą być adresowane dwa rejestry:

- rejestr sterowania i stanu CSR,
- rejestr przerw INTRG.

Opis rejestrów CSR i INTRG zawierają rysunki 3 i 4, zaś realizację przedstawiają arkusze 6 i 8. Rejestry nie są dostępne od strony magistrali kasety.

Oba rejestry będą adresowane dwoma kolejnymi adresami/parzystymi/ z grupy adresów I/O Page Wspólnej Szyny. Konkretne adresy będą wybrane na etapie opracowywania handlerów adaptera.

2.4. Typy rozkazów

Układ generacji sygnałów rozkazowych wydawanych na magistralę kasety przez adapter przedstawia arkusz 2. Układ wypracowuje te sygnały w oparciu o sygnał rozkazowy Wspólnej Szyny C1L i bit IO/MEM rejestru CSR. Sygnał C1L decyduje o wyborze pomiędzy operacją czytania i pisania natomiast bit CSR ϕ 1 określa czy przypisany tej operacji będzie sygnał odwołania się do pamięci /MRDC lub MWTC/ czy sygnał odwołania się do urządzeń wejścia/wyjścia /IORC lub IOWC/.

2.5. Układ przerw i time-out

Priorytetowy układ przerw adaptera jest przedstawiony na arkuszu 3. Każdy z 8-miu sygnałów wejściowych układu może być indywidualnie maskowany odpowiednim bitem rejestru INTRG. Rejestr zatraskowy 8282 zapobiega przekłamaniom w momencie podawania adresu wektora poprzez odcięcie wejść na czas operacji zgłaszania przerwania.

Z uwagi na poważne konsekwencje braku odpowiedzi w systemie zarządzanym przez system operacyjny RSX-11M /crash systemu/ wprowadzono w adapterze MI ϕ 5 układ śledzący czyczas operacji nie przekracza zadanego czasu granicznego. Układ wykrywający przekroczenie zawarty jest na arkuszu 7. Z punktu widzenia pracy procesora Wspólnej Szyny nie jest istotnym czy przekroczenie nastąpiło w wyniku opóźnienia w uzyskaniu przez adapter dostępu do magistrali kasety, czy w wyniku rzeczywistego braku adresata w kasecie MIR-PROWAY. Sprzętowa pułapka procesora Wspólnej Szyny, ustawiona w większości modeli na ok. 20 μ s, wykrywa każde przekroczenie i generuje przerwa

nie systemowe z wektorem 4.

Pułapka w adapterze będzie ustawiona na ok. 15µs i każda dłuższa operacja adaptera będzie przerwana przez wysłanie przez pułapkę sygnału SSYN, zapalenie bitu TIME-OUT w rejestrze CSR oraz zgłoszenie przerwania. Przerwanie to ma wyższy priorytet niż sygnały przerwania zewnętrznych, co oznacza, że jeśli równocześnie będzie występował niezamaskowany sygnał zewnętrzny to podany będzie na Wspólną Szynę wektor przerwania TIME-OUT.

Należy pamiętać, że ogólna blokada przerwania realizowana za pomocą bitu CSR06 dotyczy wszystkich przyczyn przerwania zgłaszanych przez adapter, a więc także przerwania TIME-OUT.

Adapter wydaje następujące wektory /wg malejącego priorytetu/:

- dla TIME-OUT	adres wektora	X34
- dla I7	adres wektora	X40
- " I6	" "	X44
- " I5	" "	X50
- " I4	" "	X54
- " I3	" "	X60
- " I2	" "	X64
- " I1	" "	X70
- " I0	" "	X74

Podane wyżej adresy mają zapis ósemkowy. Pozycja X może być krosem ustalona na 3,4,5, lub 6.

2.6. Układ obejmowania magistrali kasety

Przedstawiony na arkuszu 4 układ charakteryzuje się tym, że:

- nie żąda magistrali gdy operacja dotyczy rejestrów wewnętrznych adaptera, Umożliwia to przydział tym rejestrom adresów w ramach segmentu 1KB wykorzystywanego w kasecie np. dla pakietów obiektowych.
- przy trwałym objęciu magistrali /za pośrednictwem bitu LOCK/ wytwarza sygnał bramkowania rozkazu BCOM/ indywidualnie dla każdej operacji.
- po operacji DATIP utrzymuje zajętość magistrali kasety aż do zaniku sygnału BBSY Wspólnej Szyny.

2.7. Układ alarmu zasilania

Wszystkie urządzenia pracujące na Wspólnej Szynie muszą być zasilane aby minikomputer mógł poprawnie pracować. Wynika to z właściwości elektrycznych nadajników i odbiorników Wspólnej Szyny. Dlatego każdy zanik zasilania powinien być sygnalizowany za pośrednictwem sygnałów AC LO i DC LO Wspólnej Szyny, które uruchamiają programowe procedury w minikomputerze przewidziane na wypadek awarii zasilania.

Z powyższego względu, a także z uwagi na to, że przerwania od AC LO ^{mają} wyższy priorytet od jakiegokolwiek przerwania zewnętrznego, adapter winien zgłaszać alarmy od zasilania za pośrednictwem sygnałów ACLO i DCLO Wspólnej Szyny.

Adapter MI05 może być jedynie pośrednikiem w przekazywaniu sygnałów alarmowych z magistrali kasety na Wspólną Szynę. Odpowiedni układ zawiera arkusz 7. Układ ten nie jest jednak w stanie spełnić wymogów czasowych obowiązujących na Wspólnej Szynie odnośnie odstępu pomiędzy pojawieniem się ACLO i DCLO.

Norma BN przewiduje t_{MPRO} pomiędzy 2ms i 2,5ms natomiast dla Wspólnej Szyny t_{ACDC} winno być większe niż 5ms; /patrz rys. 9/. Dlatego konieczne będą określone adaptacje w układach zasilania kasety umożliwiające zwiększenie t_{MPRO} do 5ms.

2.8. Przebiegi czasowe

Na rysunkach 5+9 przedstawiono sekwencje przebiegów czasowych dla podstawowych operacji adaptera MI05 ułatwiające prześledzenie jego działania na schematach logicznych.

2.9. Połączenia krosowe na pakiecie adaptera MI05

Na pakiecie adaptera przewidywane są następujące połączenia krosowe:

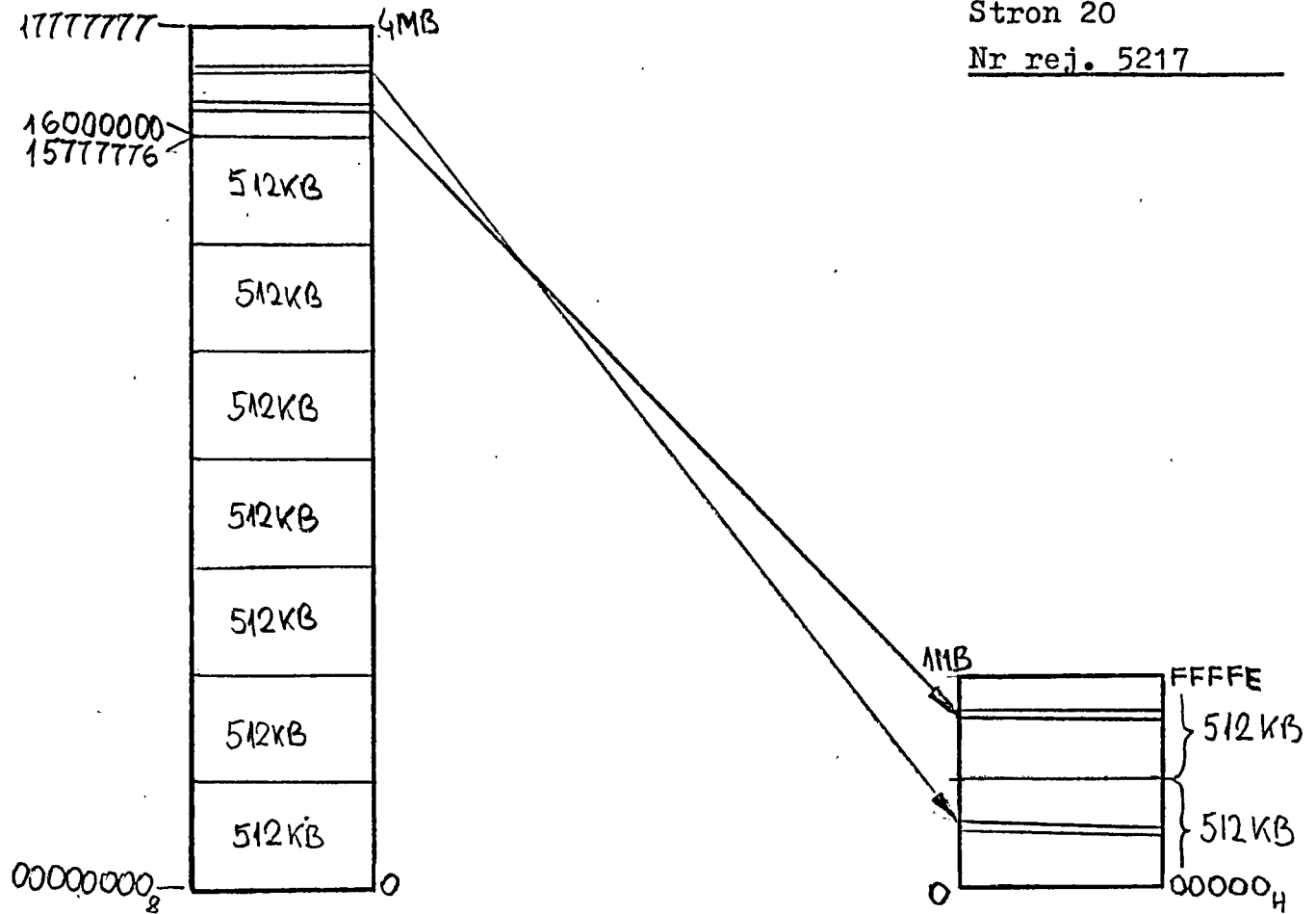
- dla dołączania linii przerwań $\overline{INT0}-\overline{INT7}$ do wejść układu przerwań. Kros ten będzie również umożliwiał podanie sygnału FLAG /CSR0/ na jedną z linii \overline{INT} lub na linię AUX0; /arkusz 3/;
- dla dołączania sygnału żądania Wspólnej Szyny BRXL /arkusz 3/ do wybranego poziomu żądań BR4L - BR7L /arkusz 7/;

- dla dołączania wejścia i wyjścia sygnału przydziału Wspólnej Szyny /BGINH i BGOUTH - ark. 3/do odpowiedniego, dla wybranego poziomu BR, poziomu BG;
- dla połączeń sygnałów $\overline{\text{INIT}}$ i $\overline{\text{RESET}}$ /arkusz 7/;
- dla połączeń sygnałów zegarowych $\overline{\text{BCLK}}$ i $\overline{\text{CCLK}}$ /arkusz 4/;
- dla ustalenia bitów 6-8 adresu wektora przerwania /arkusz 1/.

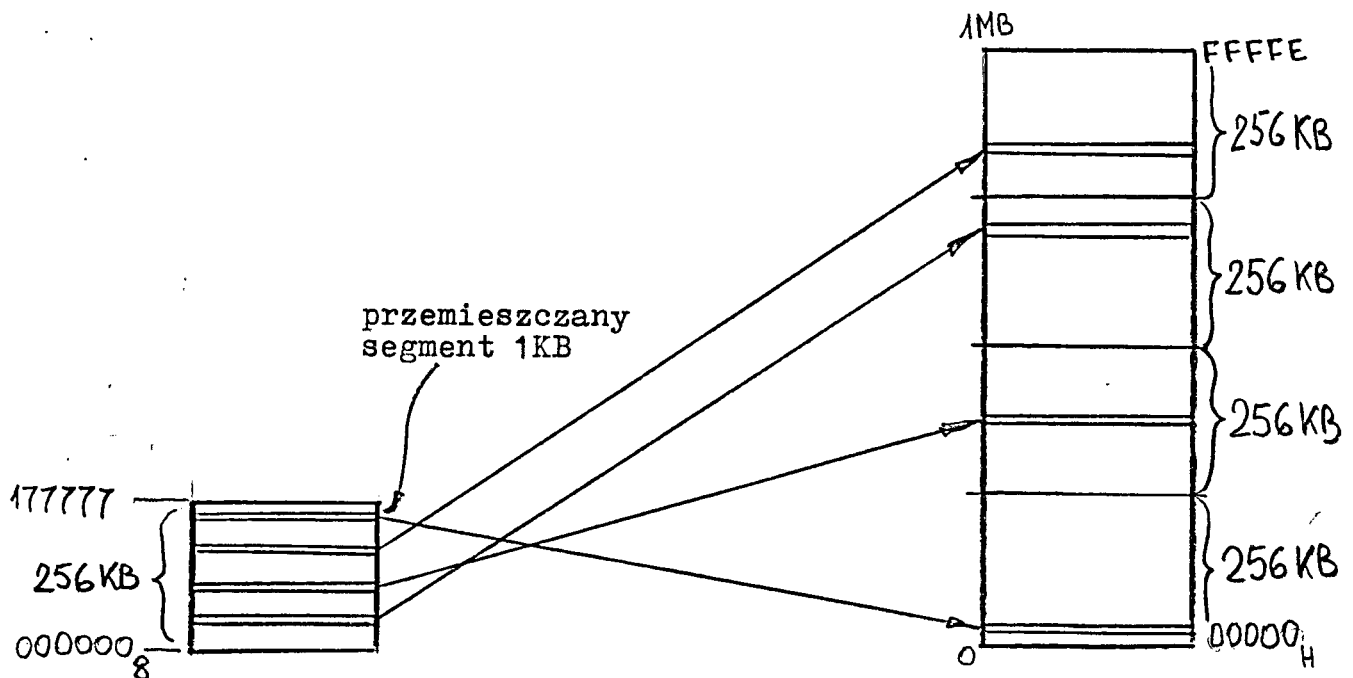
2.10. Ocena możliwości realizacji jednopakietowej adaptera

Przedstawiony projekt logiczny adaptera MIØ5 wymaga do realizacji 72 układów scalonych /14 i 16-nóżkowych, jeden 20-nóżkowy/, kwarcu, ok. 140 rezystorów i ok. 20 kondensatorów. W przypadku użycia do obsługi Wspólnej Szyny elementów zawierających w jednej obudowie 4 zespoły nadajnik-odbiornik istnieje możliwość zmniejszenia liczby niezbędnych układów scalonych.

W oparciu o powyższe wyliczenia można stwierdzić, że adapter zrealizowany wg przedstawionego projektu będzie urządzeniem jednopakietowym.



Rys. 1 Możliwości przemieszczania segmentów 1KB z przestrzeni adresowej 4MB Wspólnej Szyny /górze 512KB/ w całą przestrzeń adresową 1MB magistrali kasyety.



Rys. 2 Możliwości przemieszczania segmentów 1KB z całej przestrzeni adresowej 256KB Wspólnej Szyny w ramach całej przestrzeni adresowej 1MB magistrali kasyety.

TYLKO ODCZYT	15	INTRQ	ŻĄDANIE PRZERWANIA Bit jest sumą logiczną wszystkich niezamaskowanych sygnałów przerwań zewnętrznych oraz bitu TIME OUT
TYLKO ODCZYT	14	PFSN	STATUS ZASILANIA Bit śledzi aktualny stan sygnału $\overline{\text{PFSN}}$ z magistrali kasety
	13		
	12		
	11		
	10		
	09		
	08		
ZAPIS ODCZYT	07	TIME OUT \emptyset	PRZEKROCZENIE CZASU-OPERACJI Bit sygnalizuje fakt przekroczenia dopuszczalnego czasu operacji na magistrali kas.
ZAPIS ODCZYT	06	INTENB \emptyset	ZEZWOLENIE PRZERWAŃ Stan "1" pozwala na zgłoszenie przerwania gdy bit INTRQ uzyska stan "1"
	05		
	04		
	03		
ZAPIS ODCZYT	02	LOCK \emptyset	TRWAŁE OBJĘCIE MAGISTRALI KASETY Bit umożliwia programowe sterowanie trwałym objęciem magistrali kasety
ZAPIS ODCZYT	01	IO/MEM \emptyset	TYP ROZKAZU Stan "0"-adapter wydaje tylko MRDC i MWTC Stan "1"-adapter wydaje tylko IORC i IOWC
ZAPIS ODCZYT	00	FLAG \emptyset	WSKAŹNIK WYJŚCIOWY Bit może być dołączony do linii $\overline{\text{AUX0}}$ lub do wybranych linii $\overline{\text{INT0}}$ - $\overline{\text{INT7}}$

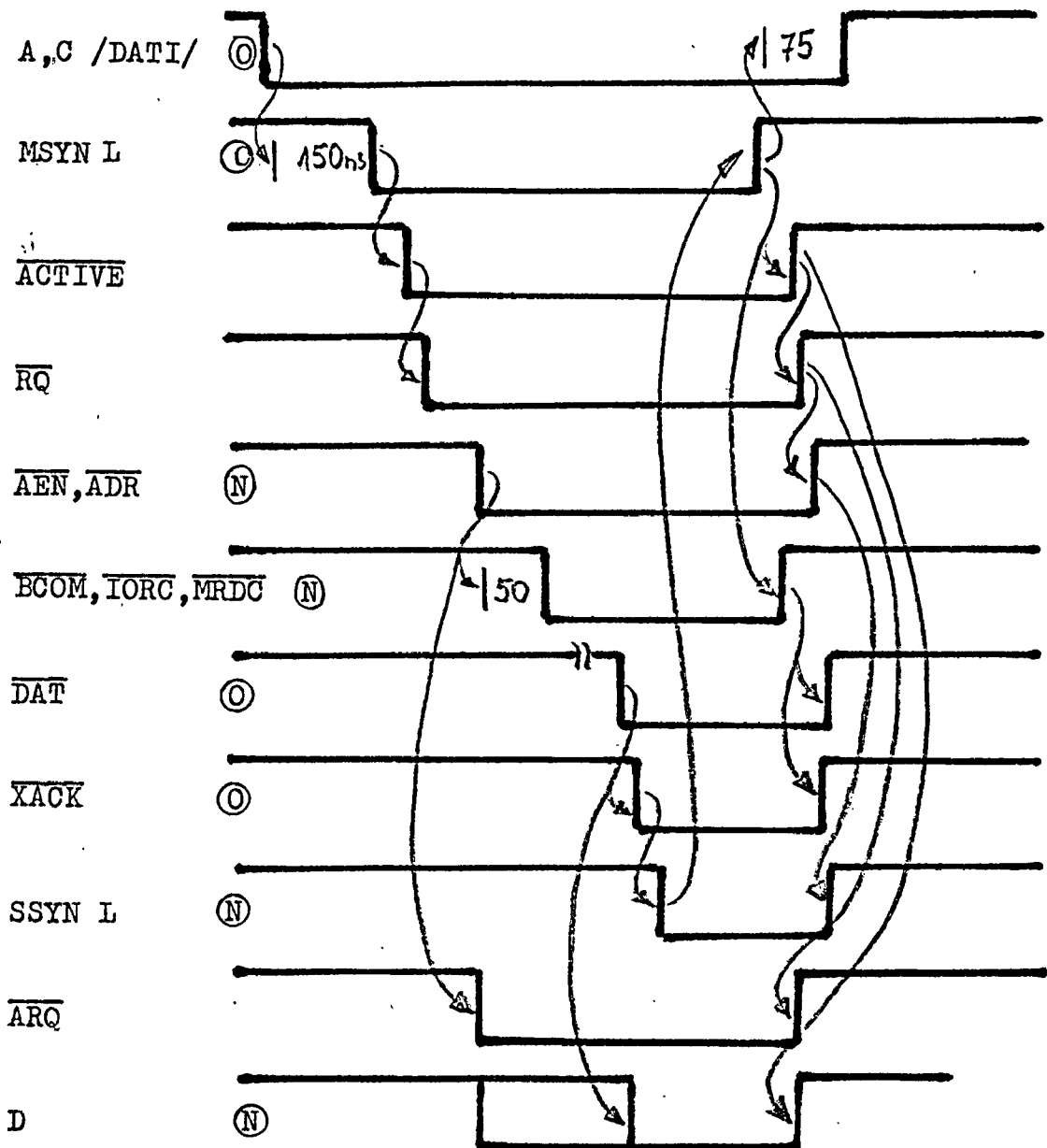
Rys. 3 Opis rejestru sterowania i stanu /CSR/ adaptera MI05 /w prawym rogu podano stan bitu po sygnale INIT Wspólnej Szyny/.

	15	I7
	14	I6
	13	I5
	12	I4
TYLKO ODCZYT	11	I3
	10	I2
	09	I1
	08	I0
	07	M7
	06	M6
	05	M5
ZAPIS ODCZYT	04	M4
	03	M3
	02	M2
	01	M1
	00	M0

Stany wejść sygnałów przerywających wprowadzanych do układu przerwań adaptera Są to stany przed maską przerwań. Do wejść tych mogą być dołączane dowolne sygnały zgłaszania przerwań /aktywny poziom dolny/przy czym wejście I7 ma najwyższy priorytet. Kros: umożliwia łatwe dołączanie sygnałów $\overline{INT0}$ - $\overline{INT7}$ i $\overline{AUX0}$.

MASKA PRZERWAŃ - numeracja bitów odpowiada numeracji wejść układu przerwań I0 - I7. Stan "0" określonego bitu maski zakazuje przerwań wywoływanych przez sygnał podany na odpowiadające mu wejście I0 - I7. Sygnał INIT Wspólnej Szyny zeruje wszystkie bity maski.

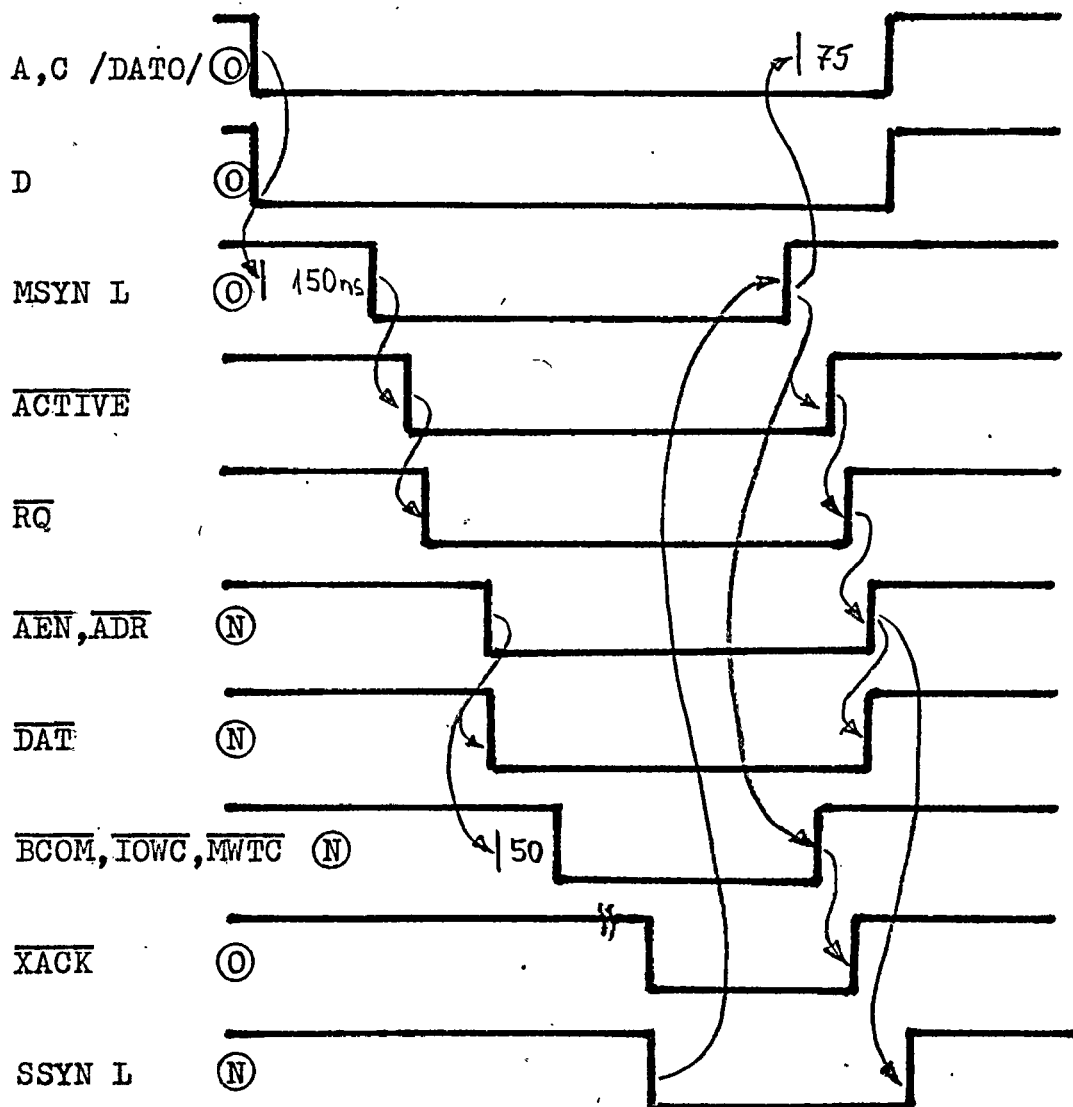
Rys.4 Opis rejestru przerwań /INTRG/ adaptera MI05



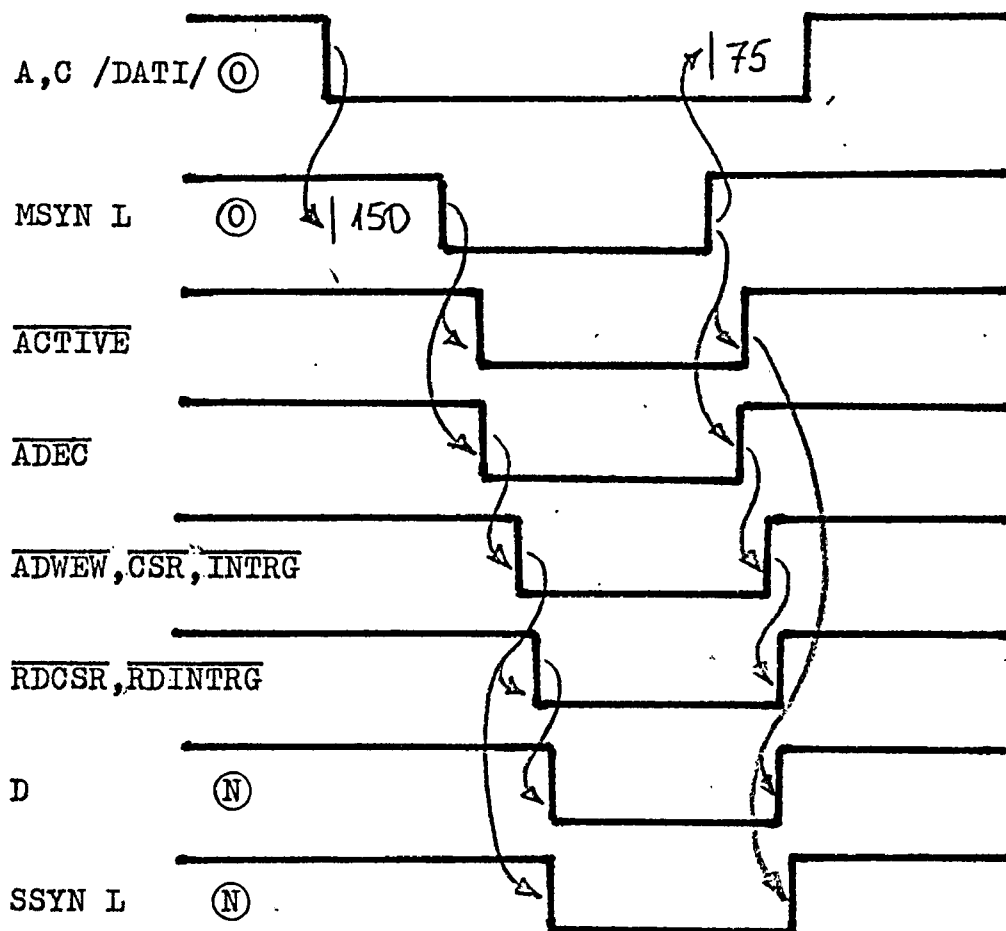
Rys. 5 Sekwencja przebiegów czasowych operacji czytania danych.

- ⊙ - sygnał odbierany przez adapter
- Ⓝ - sygnał nadawany przez adapter

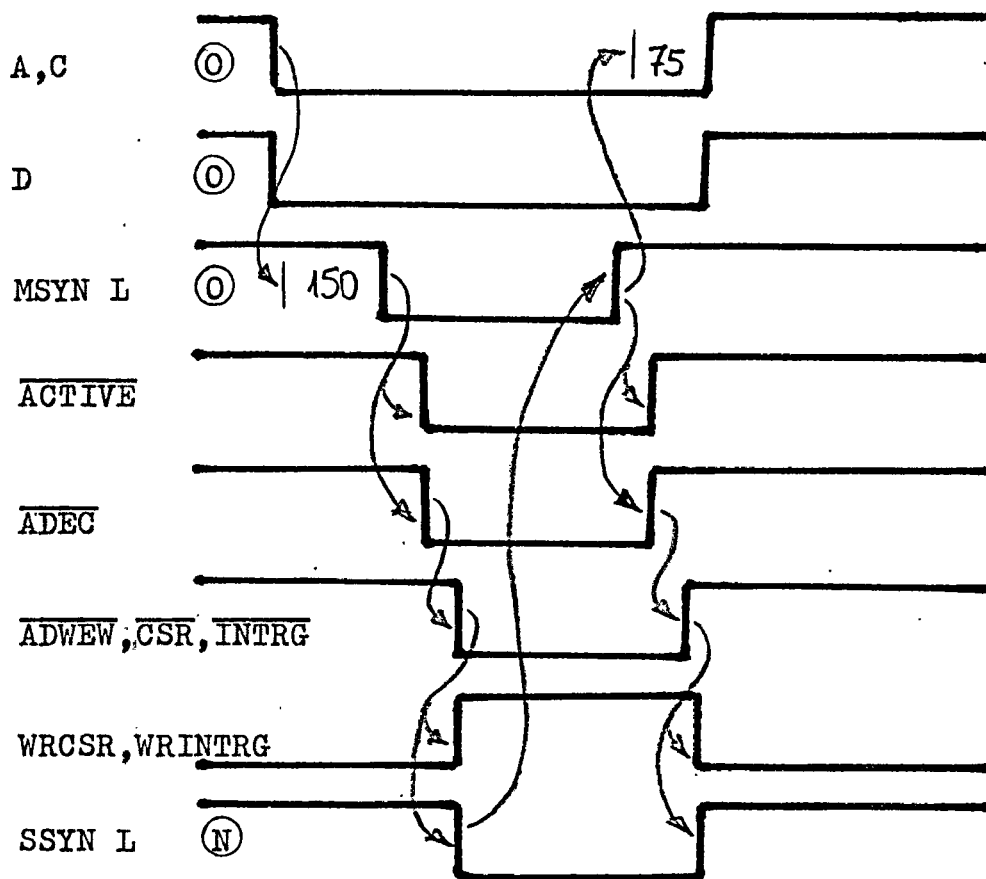
14



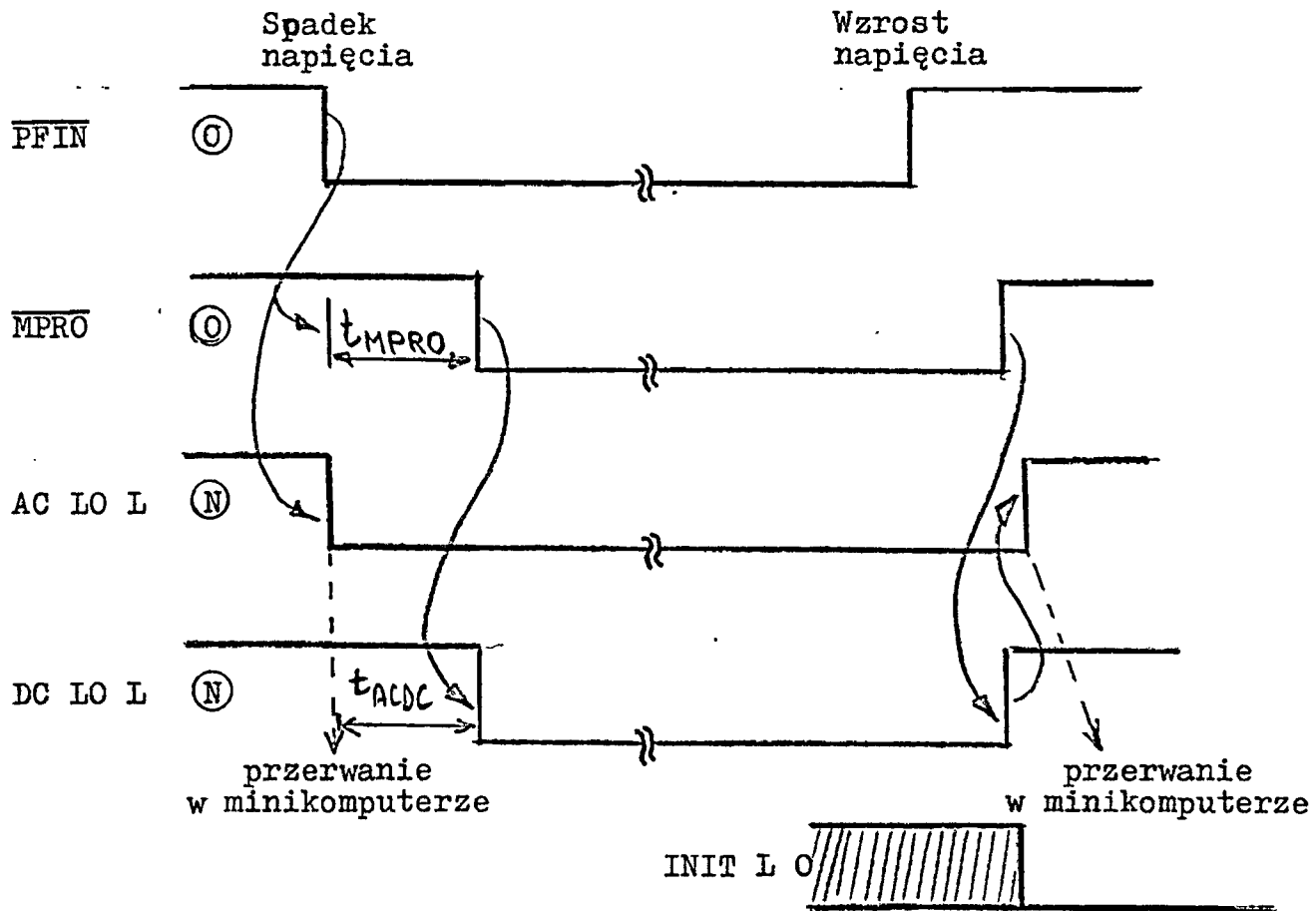
Rys. 6 Sekwencja przebiegów czasowych operacji pisania danych



Rys. 7 Sekwencja przebiegów czasowych operacji czytania rejestru wewnętrznego adaptera



Rys.8 Sekwencja przebiegów czasowych operacji pisania danych do rejestru wewnętrznego adaptera



Rys. 9 Sekwencja przebiegów czasowych sygnałów alarmu zasilania

Załącznik 1

Założenia techniczne pakietu adaptera interfejsu "Wspólna Szyna" MIØ5 zatwierdzone przez Radę Techniczną systemu MIR-PROWAY w dniu 20.04.1983r /punkt 6.4.1. założeń systemu MIR-PROWAY nr rej. 4972 z uwzględnieniem poprawek wprowadzonych przez RT/

1. Funkcja

Pakiet adaptera interfejsu "Wspólna Szyna" /UNIBUS/ będzie służył do równoległego sprzężenia nadrzędnego minikomputera z magistralą kasety MIR-PROWAY. Pakiet adaptera będzie umożliwiał pełną obsługę urządzeń stacji systemu MIR-PROWAY przez program minikomputera bez konieczności użycia innej jednostki centralnej w kasecie stacji. Za pośrednictwem urządzeń transmisyjnych stacji sprzężenie pozwalać będzie na wymianę informacji pomiędzy minikomputerem i innymi stacjami.

2. Charakterystyka

- 2.1. Konstrukcja jednopaketowa, umieszczona w kasecie MIR-PROWAY.
- 2.2. Dołączenie do magistrali "Wspólna Szyna" za pomocą specjalnego kabla.
- 2.3. Przekaz adresów i danych 16-bitowych lub 8-bitowych równoległy, bez użycia rejestrów pośredniczących.
- 2.4. Pakiet adaptera na magistrali kasety jest pakietem aktywnym o wysokim priorytecie dostępu do magistrali.
- 2.5. Pakiet adaptera realizuje na magistrali kasety przekazy typów 1,2,3 wg projektu BN na interfejs wielodostępnej magistrali kasety.
- 2.6. Pakiet adaptera zapewnia bezpośrednie adresowanie przez minikomputer wybranych obszarów adresowania na magistrali kasety. Od strony minikomputera pakiet jest adresowany w części obszaru $160000_8 \dots 167776_8$ /pojemności 4KB/

2.7. W pakiecie powyższy obszar powinien być, za pomocą dekodерów grupowych i transformacji bitów adresu, rozdzielony i poprzęsowany na oddzielne obszary bezpośredniego adresowania /do czterech podobszarów/ przeznaczonych zależnie od potrzeb dla:

- a. pamięci danych pakietu kontrolera komunikacyjnego /bufory transmisji po magistrali MIR-PROWAY/
- b. pakietu pamięci danych /bufory danych stacji/
- c. innych pakietów stacji.

Rozważy się możliwości wprowadzenia programowego rozszerzania obszaru adresowania po stronie magistrali kasety /np. przez wprowadzenie mechanizmów stronicowania/ lub przez przydział dodatkowego obszaru od strony minikomputera /kosztem zmniejszenia obszaru adresowania jego pamięci operacyjnej/.

2.8. Pakiet adaptera generuje przerwanie na magistralę "Wspólna Szyna" inicjowane sygnałami INT \emptyset /...INT7/ a także rozkazem magistrali kasety oraz zanikiem zasilania.

2.9. Pakiet generuje przerwanie na jedną z linii przerwań magistrali kasety, inicjowane rozkazem z minikomputera.

3. Budowa

Adapter interfejsu "Wspólna Szyna" powinien składać się z pakietu MI \emptyset 5 i specjalnego kabla zakończonego płytką kablową typu SM-258 stanowiącą wtyk do złącza magistrali "Wspólna Szyna".

Pakiet adaptera MI \emptyset 5 powinien zawierać:

- 3.1.- terminatory linii interfejsu "Wspólna Szyna",
- 3.2 - nadajniki i odbiorniki linii interfejsu "Wspólna Szyna",
- 3.3 - dekodery podobszarów adresowych z krosami i układy transformacji adresów,
- 3.4 - rejestry stanu pakietu właściwe dla obu magistral,
- 3.5 - układy generacji, odczytu i zerowania przerwań w obu kierunkach,
- 3.6 - układ określenia priorytetu na magistrali kasety i obejmowania sterowania magistrali,
- 3.7 - układ sterowania sprzężenia z magistralą "Wspólna Szyna",
- 3.8 - nadajniki i odbiorniki linii magistrali kasety.

4. Interfejsy

4.1. Dołączenie do magistrali kasyty złączami A,B wykorzystującymi linie:

adresu	ADR \emptyset / ADR15/,
danych	DAT \emptyset / DAT15/,
protokołu przekazu danych	MRDC/, MWTC/, IORC/, IOWC/, XACK/,
obejmowania magistrali	BUSY/, BPRN/, BPRO/, BCLK/,
przerwań	INT \emptyset / INT7/,
zerowania	INIT/,
kontroli zasilania	PFIN/, MPRO/,
zasilania	GND, +5V.

4.2. Dołączenie do kabla interfejsu "Wspólna Szyna" złączami D,E, 37-stykowymi, przenoszącymi linie:

adresu	A $\emptyset\emptyset$ A17,
danych	D $\emptyset\emptyset$ D15,
sterujące	MSYN, SSYN, C \emptyset , C1, INIT,
przerwań	BR4 ... BR7, BG4 ... BG7, SACK, INTR, BBSY,
kontroli zasilania	ACL, DCL,
zasilania	GND.

5. Działanie

Pakiet MI \emptyset 5 dokonuje przekazów danych 16 i 8-bitowych w obu kierunkach, wykonywanych wyłącznie przez minikomputer nadrzędny. Minikomputer adresuje bezpośrednio swoimi adresami pamięci buforowe w kontrolerze komunikacyjnym, pakiecie pamięci danych i ewentualnie w innych pakietach.

Przy współpracy z kontrolerem komunikacyjnym powinny być przekazywane bloki danych gotowe do nadania do innych stacji, lub odebrane z innych stacji. Przy współpracy z pakietami pamięci danych powinny być przekazywane bloki danych przygotowane przez pakiet jednostki centralnej, lub przeznaczone dla tego pakietu.

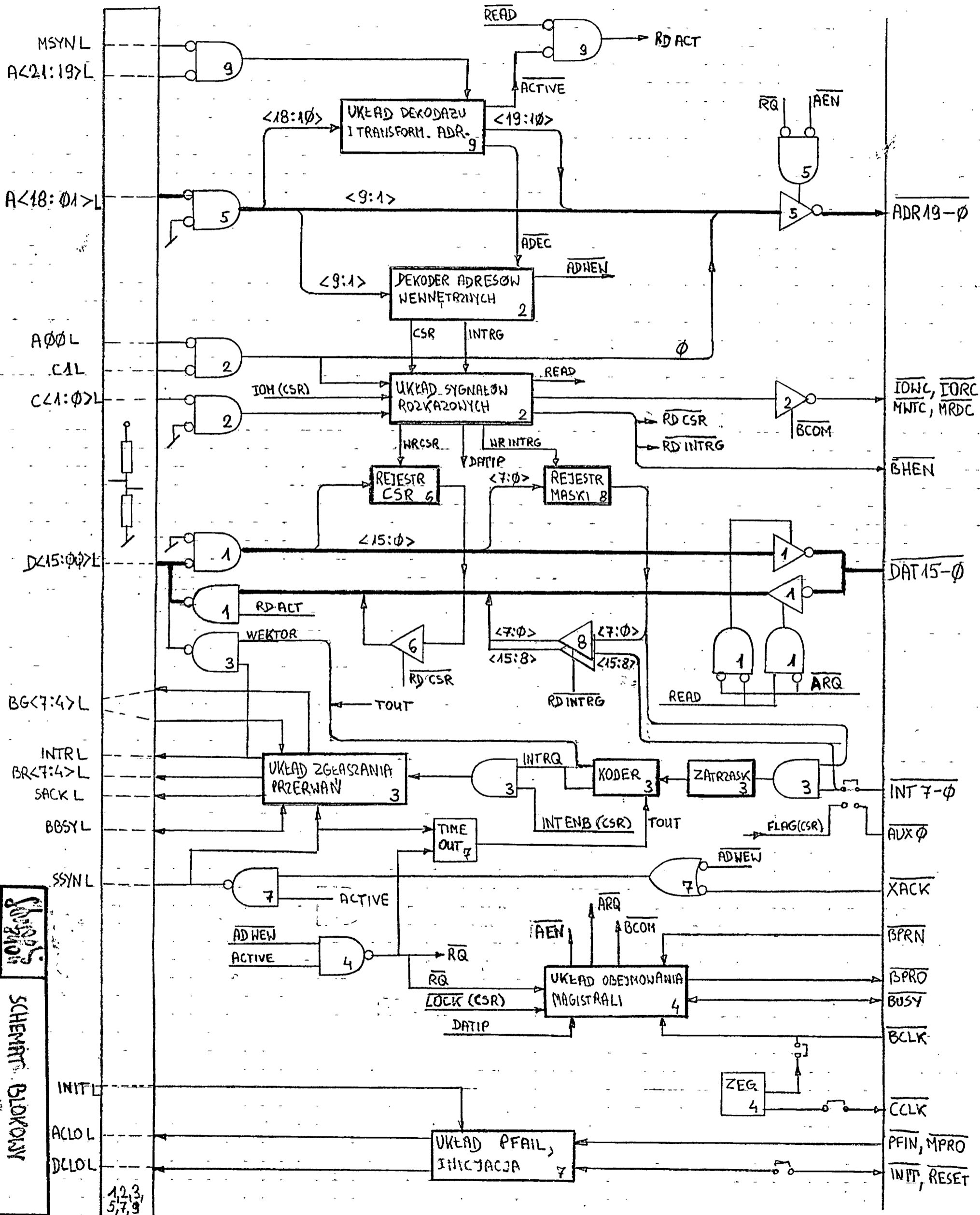
Przy współpracy z innymi pakietami mogą być przekazywane zarówno bloki danych jak i pojedyncze słowa.

W celu poinformowania o dokonaniu przekazu danych lub w celu zgłoszenia żądania przekazu danych pakiet pośredniczy w przekazywaniu

sygnałów przerwań pomiędzy minikomputerem a pakietami aktywnymi kasety oraz może przyjmować przerwania od pozostałych pakietów.

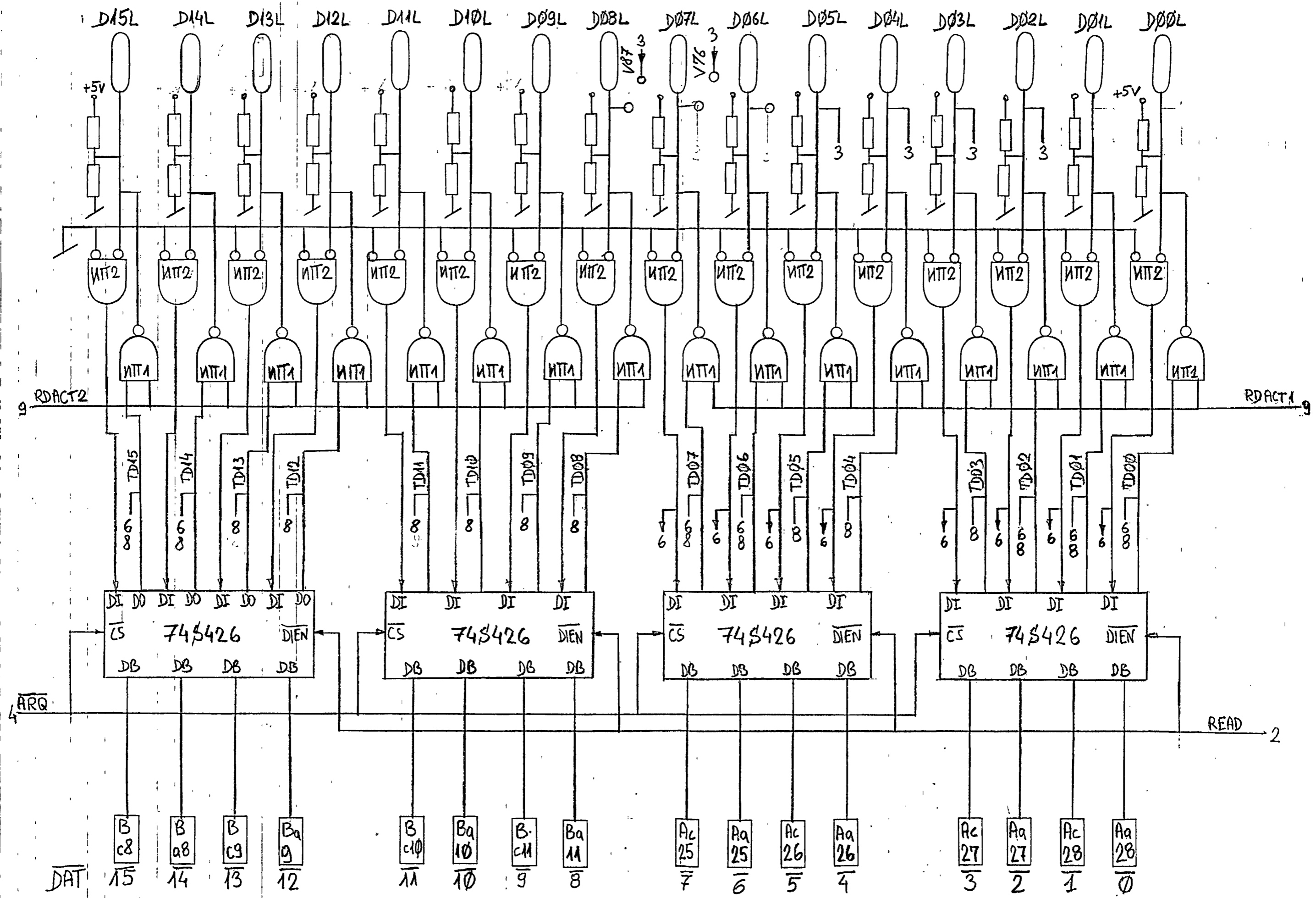
Rejestry stanu umożliwiają odczyt w obu kierunkach stanu pakietu i stanu urządzenia sprzęganego, czyli minikomputera lub stacji MIR-PROWAY.

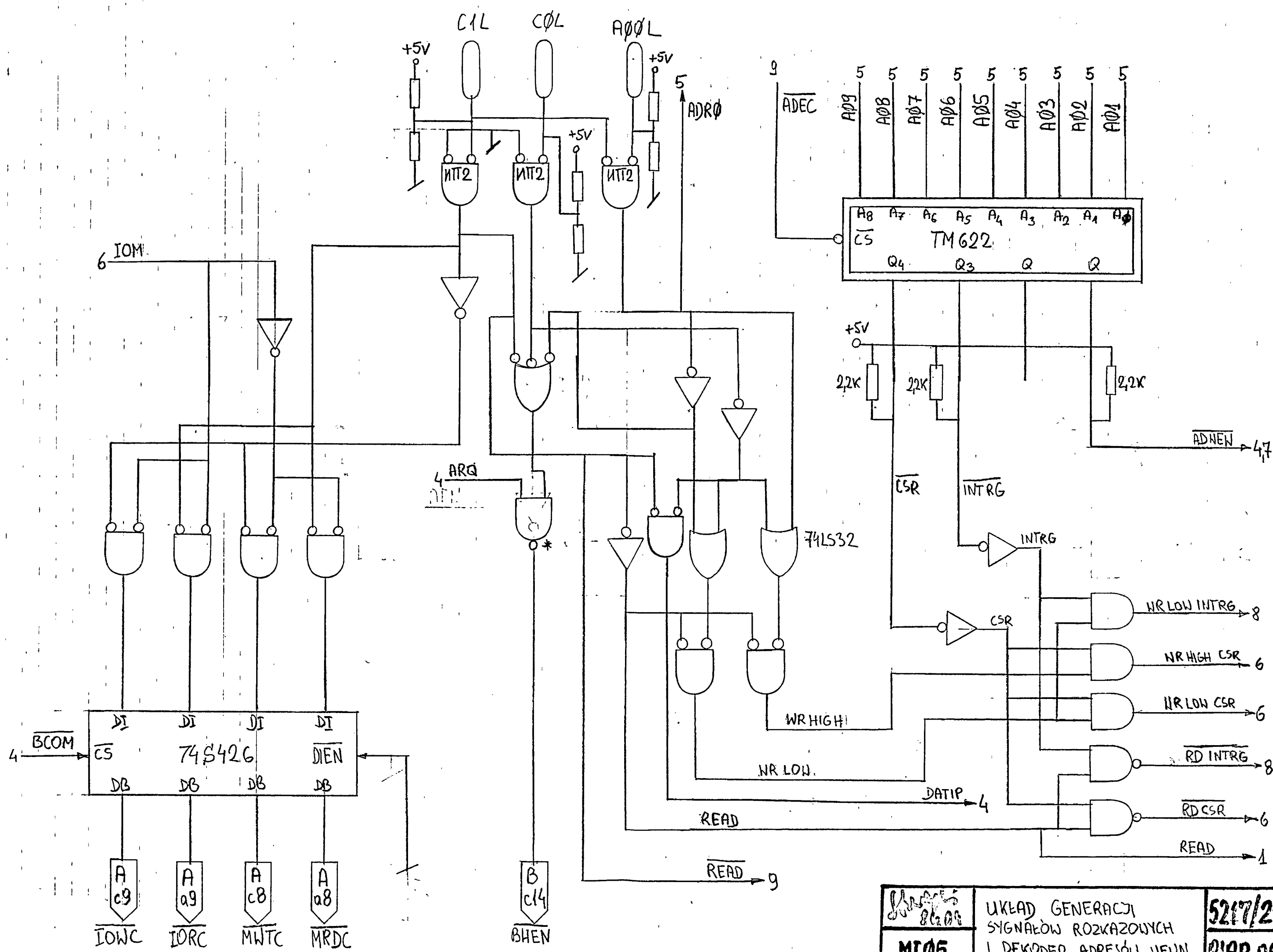
TERMINATOR
WSPÓLNEJ SZYNY



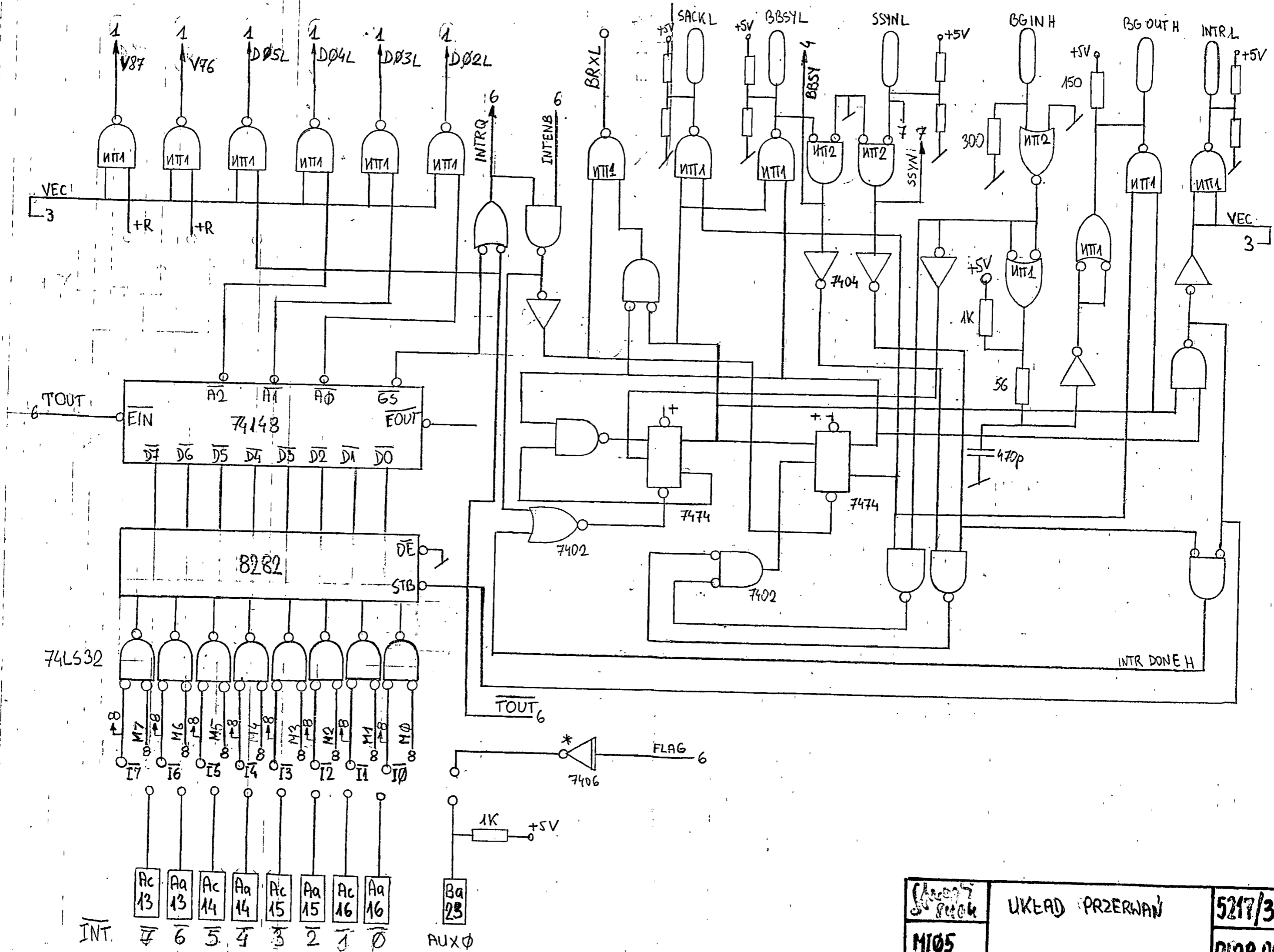
MIOS
SCHEMAT BLOKOWY
ADAPTERA MIOS
5217/0
PAR-0A1

UWAGA:
CYFRY W PRAWYM DOLNYM ROGU WSKAZUJĄ
NUMER ARKUSZA SCHEMATY IDEOWEGO

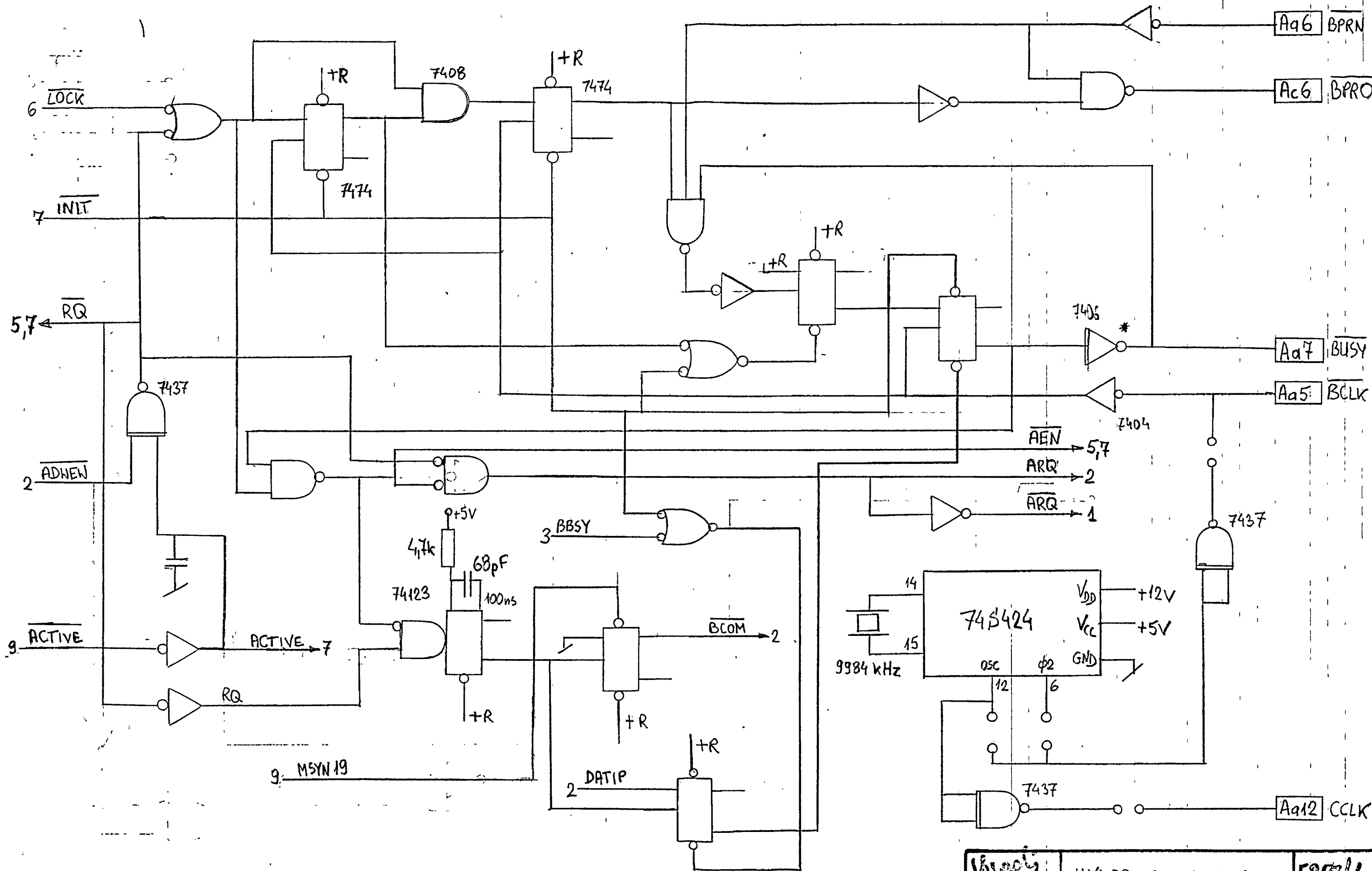




<p>MI05</p>	<p>UKŁAD GENERACJI SYGNAŁÓW ROZKAZOWYCH I DEKODER ADRESÓW NENN.</p>	<p>5217/2 PIAP-0A</p>
-------------	---	---------------------------



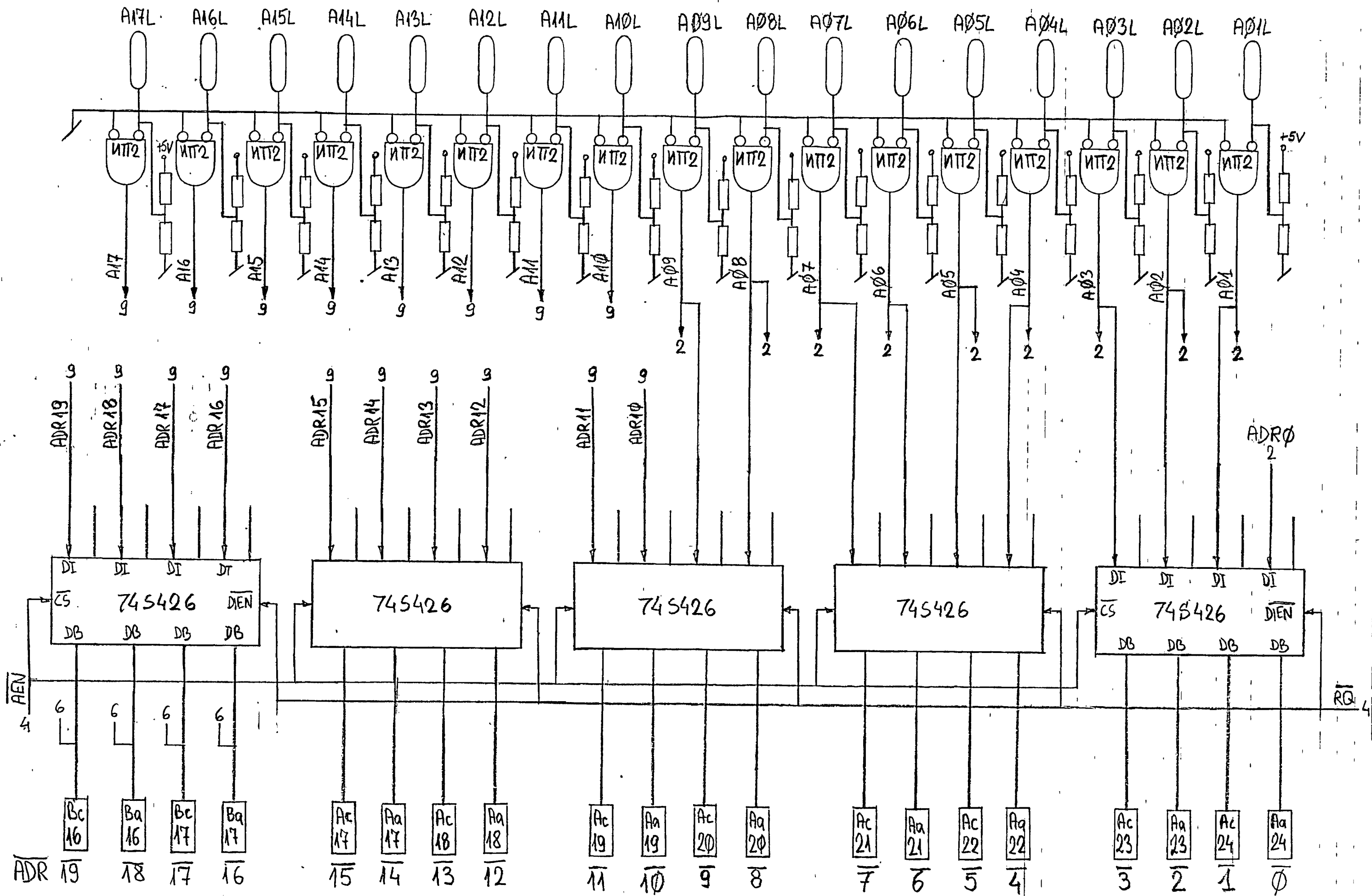
MIOS	UKŁAD PRZERWANÍ	5217/3
		PIAP-0A



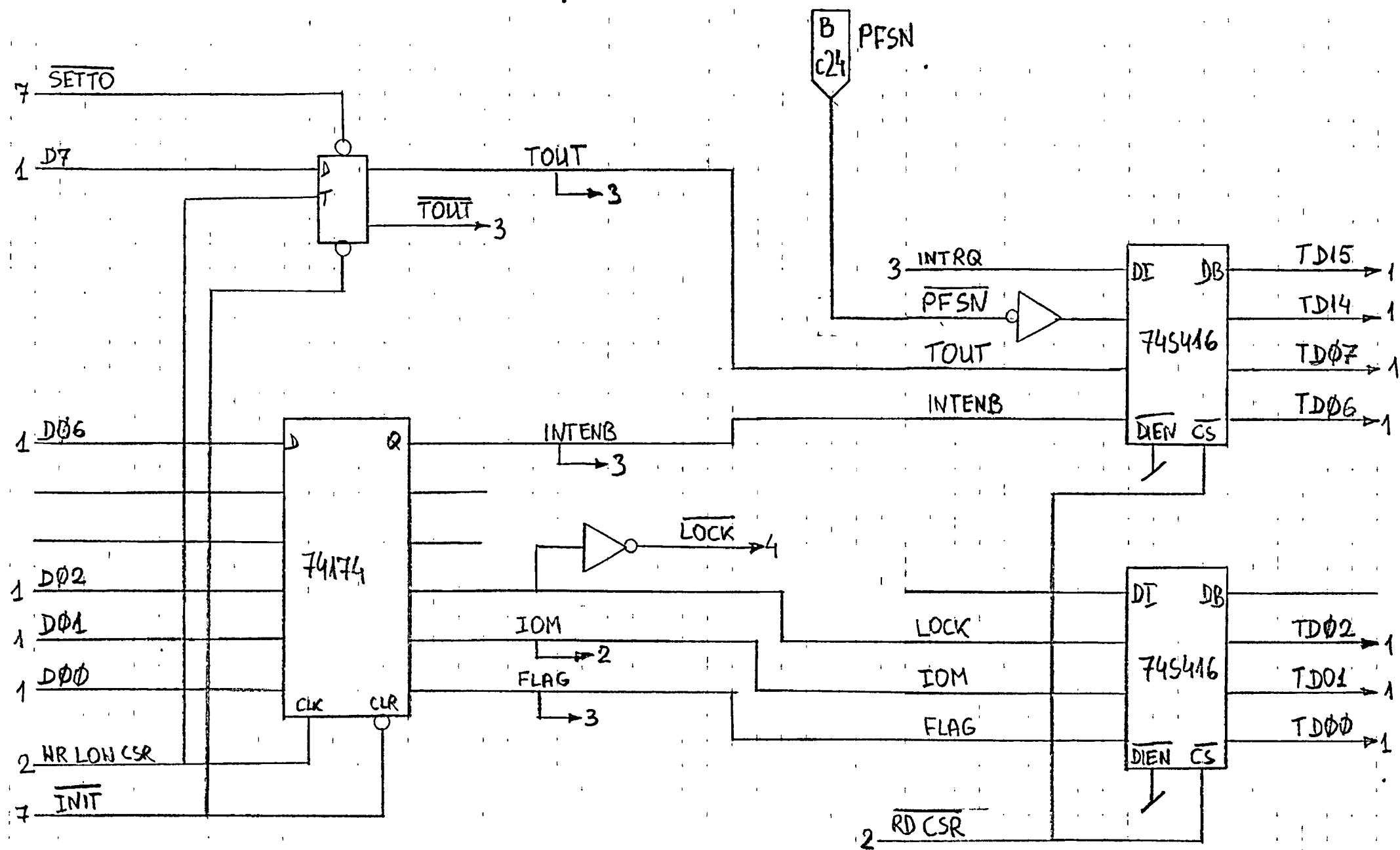
MI05

UKŁAD OBECMOWANIA
MAGISTRALI

5277/4
DIAP-031



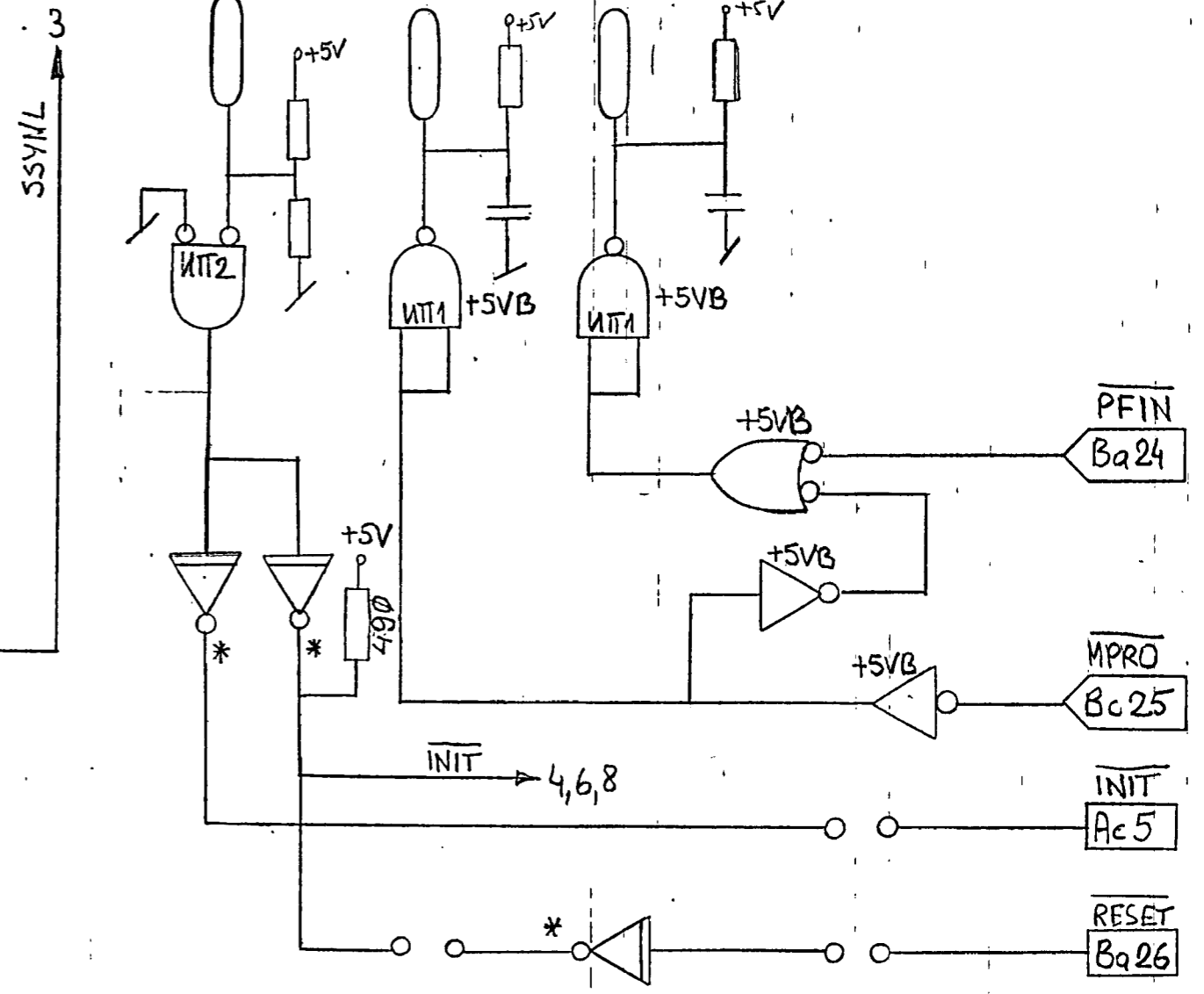
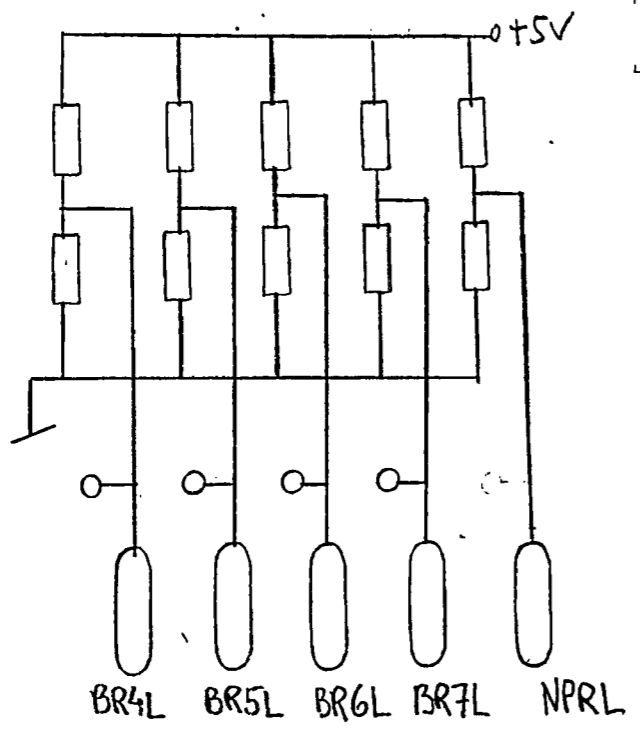
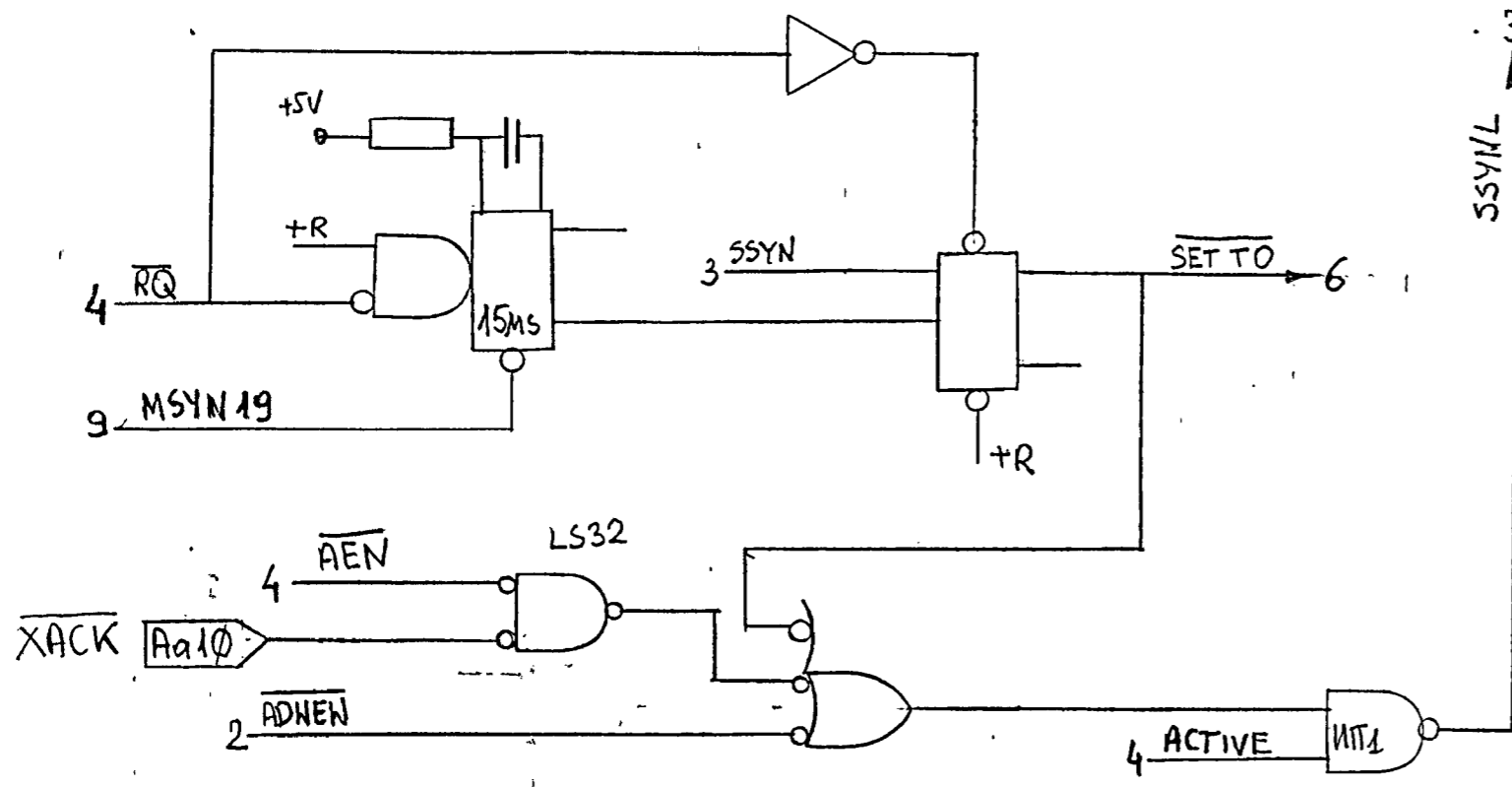
 IIT	ODBIORNIKI I NADAJNIKI SYGNAŁÓW ADRESOWYCH	5217/5
	MIŁOŚ	PIAP-DAI

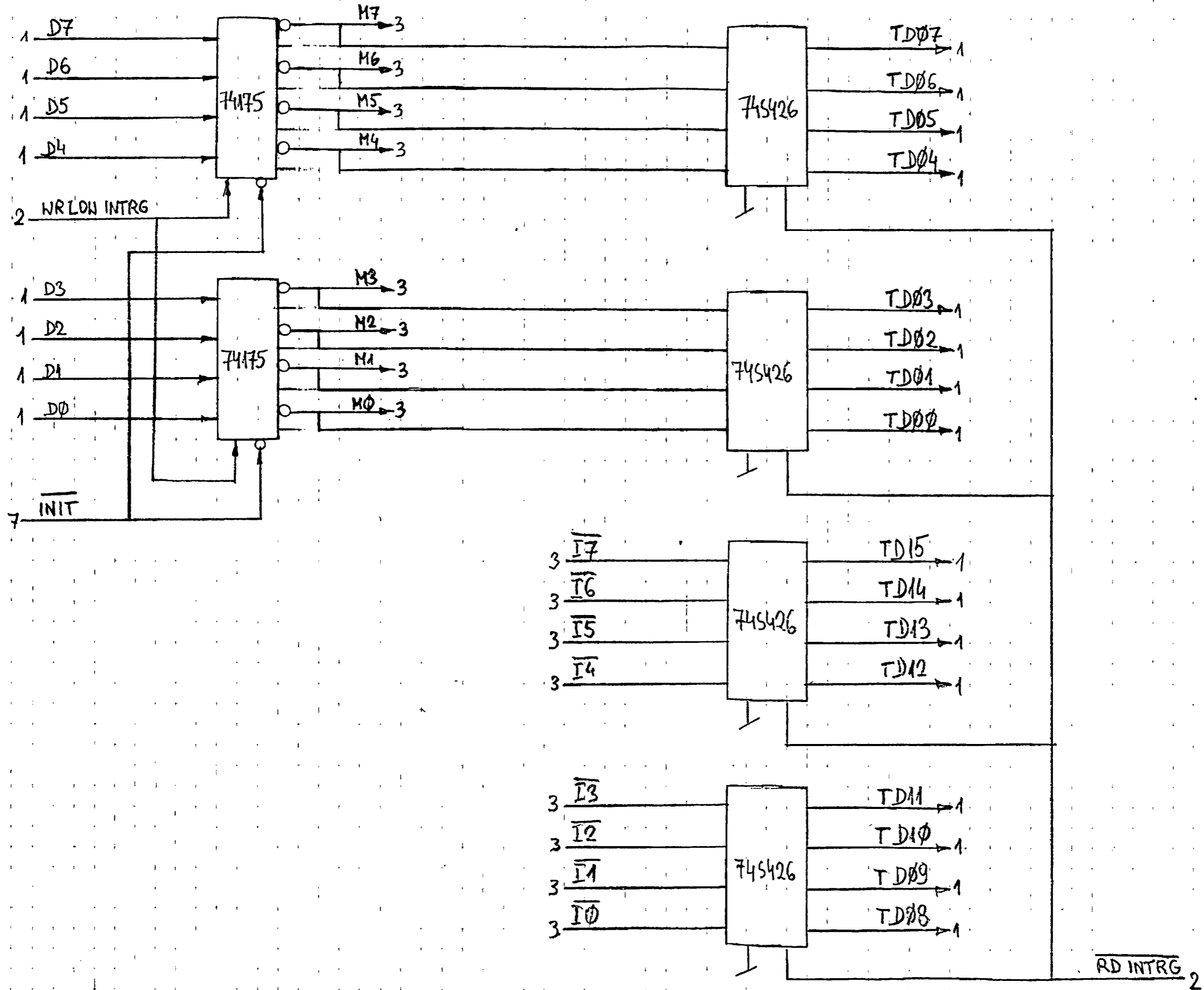


5217/6
MI05

REJESTR CSR

5217/6
PIAP-0A





8404	REJESTR INTRG	5217/8
MI05		PIAP-0A

