

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW
MERA-PIAP
Al. Jerozolimskie 202 02-222 Warszawa Telefon 23-70-81

440 Ośrodek Automatyki Elektrycznej

Zespół Budowy Cyfrowych Urządzeń Systemowych

BE 10

POUFNE

Główny wykonawca

Wykonawcy K. Czarnomski

Konsultant

Nr zlecenia

Badania nad implementacją
protokołu komunikacyjnego
systemu Inteldigit 6 PROWAY

Zleceniodawca

Pracę rozpoczęto dnia

zakńczono dnia 85.01.28

Praca zawiera:

Rozdzielnik - ilość egz:

stron

Egz. 1 BOINTE

rysunków

Egz. 2 OAE - 83

fotografii

Egz. 3

tabel

Egz. 4

tablic

Egz. 5

załączników

Egz. 6

Nr rejestr. 5572

Analiza deskryptorowa

Analiza dokumentacyjna

Tytuły poprzednich sprawozdań

681.3.02 Systemy sterowania
681.32: 621.377-181.48 Mikroprocesor

UKD

PIAP-252/83-6000

2

- Remote Station Recovery /RSR/: stacja inicjująca wysyła do określonej stacji przeznaczenia ramkę z kodem rozkazu Recovery. W stacji przeznaczenia odebranie takiego rozkazu powoduje wysłanie przez kontroler komunikacyjny do warstwy użytkownika sygnału sprzętowego w celu wykonania takich funkcji jak: reset, bootstrap programu itp. Sygnał taki jest wysyłany niezależnie od stanu użytkownika. Stacja odbierająca wysyła również odpowiedź do stacji inicjującej informującą o odebraniu i wykonaniu rozkazu. Stacja inicjująca ponawia transakcję w wypadku nie odebrania odpowiedzi.

Magistrala, po jakiej są przesyłane przesyłki pomiędzy stacjami systemu jest jednekanalowa i może transmitować w danym momencie tylko jedną przesyłkę. Aby uniknąć sytuacji, w której nadaje więcej niż jedna stacja jednocześnie, protokół PROWAY'a musi zapewnić wyłączność nadawania dla jednej stacji. W tym celu zostaje wprowadzona tzw. "pałeczka" /^{ot}token/. Pałeczka jest przekazywana ze stacji do stacji, w danym czasie ma ją tylko jedna stacja. Wymienione wyżej transakcje /SDA, GSD, RDR, RSR/, może inicjować stacja mająca pałeczkę, każda z pozostałych nasłuchuje i odpowiada, jeżeli zostanie do niej sterowana transakcja SDA, RDR lub RSR.

Pałeczka jest przesyłana ze stacji do stacji zgodnie ze wzrostem wartości adresów. Stacja o adresie niższym przekazuje ją stacji o adresie wyższym itd, aż do stacji o najwyższym adresie, skąd pałeczka jest przesyłana do stacji o adresie najniższym, itd.

Ileść stacji biorących udział w przekazywaniu pałeczki /nazywanych dalej aktywnymi/ nie jest określona z góry i może być zmienna w czasie. Każda ze stacji utrzymuje listę stacji aktywnych /tzw. Live List/ i nieustannie ją weryfikuje i modyfikuje.

Dana stacja określa inną stację w swojej liście jako aktywną, jeżeli w trakcie nasłuchu ramek w linii, pomiędzy wysłaniem przez siebie pałeczki w obieg a otrzymaniem jej z powrotem, odbierając co najmniej jedną ramkę, zawierającą przesyłaną pałeczkę, wysłaną z tej stacji.

Przezeń adresowa pomiędzy adresem danej stacji a następnym w cyklu obiegu pałeczki adresem stacji aktywnej określona jest jako jej szczelina.

Każda stacja będąca w posiadaniu pałeczki, sprawdza adresy ze swojej szczeliny, czy pod jednym z nich nie pojawiła się stacja oczekująca na pałeczkę, kandydująca do stanu aktywnego. W czasie każdego ^{ok}resu posiadania pałeczki stacja sprawdza jeden adres ze swojej szczeliny. Realizowane jest to przez wysłanie ramki z pałeczką na ten adres. Jeżeli następnie w linii pojawi się ramka o tym adresie źródłowym oznacza to, że pałeczka została podjęta. W przeciwnym razie stacja sprawdzająca wysyła pałeczkę do stacji aktywnej o adresie następnym za swoim. Jeżeli ta stacja nie podejmie pałeczki, jest ona przesyłana do kolejnej stacji aktywnej itd.

Przedstawiony w dużym skrócie protokół PROWAY_a umożliwia komunikację pomiędzy stacjami systemu i rozłożony przestrzennie nadzór nad linią bez wyróżniania stacji uprzywilejowanej. Pozwala również na płynne zmiany ilości i adresów stacji biorących udział w wymianie informacji, co jest szczególnie istotne np. w systemie zainstalowanym w fabryce, której różne wydziały pracują w różnych godzinach. Część stacji można wyłączyć, a system sam się do zmian dostosuje i będzie sprawnie działał dalej. Cechy ^{te} zostały osiągnięte kosztem znacznego skomplikowania protokołu. Nie jest możliwe zrealizowanie go przy użyciu kontrolera komunikacyjnego zbudowanego na układach TTL. Konieczne jest zastosowanie mikroprocesora wykonującego złożone operacje protokołu.

W pierwszych założeniach na pakiet kontrolera komunikacyjnego przyjęto, że będzie się on składał z dwóch części: jednostki procesora i jednostki sprzęgającej. Jednostka procesora zawiera mikroprocesor oraz pamięci i wykonuje protokoły magistrali i sieciowy. Jednostka sprzęgająca zawiera nadajnik-odbiorcę transmisji szeregową USART oraz układy korekcji kodowej i wykonuje protokół sprzężenia. W toku dalszych, trwających do dziś, badań podział ten nie uległ zmianie, poza tą jedną, że protokół sieciowy nie będzie realizowany przez procesor pakietu kontrolera komunikacyjnego lecz przez odrębny pakiet w kasie stacji.

Wprowadzone zmiany w sposobie współpracy kontrolera komunikacyjnego z pamięcią stacji. Według pierwszych ustaleń kontroler komunikacyjny miał być pakietem biernym, nie obejmującym sterowania magistrali i nie mającym dostępu do zasobów stacji.

Bufery danych nadawanych i odbieranych znajdowałyby się w pamięci kontrolera dostępnej z jednej strony dla procesora kontrolera, z drugiej - dla jednostki centralnej stacji. W wyniku analiz zdecydowano przenieść te bufery do pamięci użytkownika stacji. Przeniesienie to jest zgodne ze standardem PROWAY, w myśl którego kanał transmisji PROWAY jest transparentny dla bloków informacji. Nadawanie i odbieranie informacji wprost z/do pamięci użytkownika oszczędza czas, który inaczej byłby konieczny na przepisywanie między buferem w kontrolerze, a buferem użytkownika. Przeniesienie buferów danych powoduje, że pakiet kontrolera staje się pakietem aktywnym /w sensie obejmowania sterowania magistrali/, w celu dostępu do pakietów pamięci. Pakiet kontrolera musi zatem posiadać pełny układ interfejsu magistrali kasety.

W miarę otrzymywania kolejnych projektów norm z IEC ^{aktu} realizowane terminologię - m.inm. jednostka procesora została określona jako kontroler magistrali, a jednostka sprzęgająca jako układ sprzęgający.

Podstawowe zmiany związane są z rosnącymi w kolejnych wersjach projektów norm PROWAY wymaganiami czasowymi. Zwiększa się zakładane szybkości transmisji i zmniejsza się dopuszczalny czas przerwy pomiędzy ramkami w linii. Zmusza to do wybrania szybszych elementów i stosowania oszczędnych czasowo rozwiązań.

Pierwsze dokumenty z IEC [1,2] pozwalały na przyjęcie małej szybkości transmisji. Zgodnie z tym przyjęto ją równą 30 kbit/s przy dopuszczalnym czasie przerwy między ramkami wynoszącym 100 µsek. Jako procesor kontrolera magistrali wybrano polski odpowiednik mikroprocesora 8080.

- MCY 7880. W układzie sprzęgającym konwersja równoległa-szeregowa i szeregowo-równoległa miała być realizowana przez nadajnik-odbiernik transmisji szeregowej USART.

- MCY 7851. Mikroprocesor kontrolera magistrali miał pracować w reżimie przerwanym, otrzymując przerwanie z procesora użytkownika /jednostki centralnej stacji/ sygnalizujące zlecenie wykonania obsługi PROWAY'a, oraz przerwanie z układu sprzęgającego żądające nadania lub odebrania bajtu ramki, a także informujące o wystąpieniu błędu transmisji. Operacje protokołu magistrali byłyby wykonywane pomiędzy obsługami przerwań, w trakcie odbioru lub nadawania, a także w czasie przerwy /ciszy/ w linii. Większość działań byłaby realizowana w czasie odbioru i nadawania ramek - czas transmisji najkrótszej, liczącej 6 bajtów.

ramki, wynosiłby 1,6msek, i byłby wielokrotnie dłuższy od ^{czasu} przerwy w linii. Krótki czas przerwy w linii mógłby wystarczyć na dokończenie operacji protokołu magistrali potrzebnych do zainicjowania transmisji przez kontroler stacji, które według protokołu, powinna rozpocząć nadawanie.

Zaletami takiego kontrolera miały być: zrealizowanie go przy użyciu dostępnej, krajowej bazy elementowej, prosta struktura jednoprocusorowa, łatwość oprogramowania, łatwość realizacji konstrukcyjnej, mała pracochłonność opracowania i pewność pomieszczenia kontrolera na jednej płycie drukowanej.

Jego wadą jest mała szybkość transmisji i w związku z tym długi okres dostępu do linii i mała przepustowość systemu. Omawiane rozwiązanie pakietu kontrolera komunikacyjnego jest przedstawione w pracy [3].

Rada techniczna systemu ^{INTELDIGIT} -PROWAY na posiedzeniu dnia 17.02.83r. uznała w dokumencie jako wstępne założenia techniczne oraz postanowiła, że szybkość transmisji zmienia się co najmniej do 100 kbit/sek.

Skutkiem tej decyzji układ nadajnika/odbiernika transmisji szeregowej MCY 7851 zostaje zastąpiony przez zespoły rejestrów nadawania i rejestrów odbioru, a bloki sterowania nadawaniem i odbieraniem muszą być uzupełnione o sterowanie tymi rejestrami. Dalsze badania i zmiany dotyczą kontrolera magistrali.

Właściwością przyjętej uprzednio jednoprocusorowej struktury kontrolera komunikacyjnego, w odróżnieniu od struktur wieloprocusorowych, jest konieczność dzielenia czasu procesora na realizację protokołu magistrali i na obsługę kanału transmisji. Program główny realizuje protokół magistrali, zaś momenty podjęcia obsługi kanału transmisji są wyznaczone przerwami generowanymi przez układy sterowania odbieraniem i nadawaniem odpowiednio po odebraniu lub nadaniu bajtu. Wówczas, z opóźnieniem mniejszym od czasu transmisji bajtu, procesor musi wykonać obsługę, to jest przyjąć lub wydać bajt, każda z tych czynności uzupełniona jest przekazem bajtu do lub z pamięci, inkrementacją adresu pamięci, analizą bajtów nagłówka ramki przy odbiorze, utworzeniu nagłówka ramki i zliczaniem nadanych bajtów przy nadawaniu oraz tworzonym i przyjmowaniem sygnałów kontrolnych i sterujących. Taka struktura nakłada silne ograniczenia na szybkość transmisji. Wynikają one ze znacznego czasu obsługi bajtu, na który składa się czas wykonania ^{prze}przerwania i czas bezpośredniej obsługi kanału transmisji. 7

Czas wykonania przerwań, będący sumą czasu operacji przerwania, zabezpieczenia rejestrów na stosie i powrotu z przerwania wynosi dla mikroprocesorów: typu MCY 7880 - 52 μ s, typu 8086 - 45 μ s. Czasy bezpośredniej obsługi kanału transmisji wynoszą odpowiednio 38 i 18 μ s, stąd łączne czasy obsługi bajtu - 90 i 63 μ s. Szybkość transmisji oszacowano przy założeniu, że czas procesora jest podzielony w połowie na obsługę kanału i w połowie na realizację protokołu magistrali.

W wyniku otrzymane szybkości równe: 44,5 kbit/s dla kontrolera komunikacyjnego z mikroprocesorem MCY 7880 i 63,5 kbit/s dla kontrolera z mikroprocesorem 8086. Jest to górne oszacowanie możliwych do uzyskania przepływności binarnych. Wynika stąd, że nie można spełnić wymagań na szybkość transmisji za pomocą struktury jednoprocessorowej przy użyciu dostępnych mikroprocesorów o sztywnej liście rozkazowej. Przyczyną jest długi czas wykonywania sekwencji ¹⁷²przerwania programowego. W obu typach rozpatrywanych mikroprocesorów jest on dłuższy od czasu bezpośredniej obsługi.

Wobec niemożliwości spełnienia wymagań przez strukturę jednoprocessorową wykorzystującą któryś z dostępnych mikroprocesorów, badaniami objęte struktury wieloprocessorowe. W kontrolerze o takiej strukturze układ sprzęgający dysponowałby własnym procesorem wykonującym program bezpośredniej obsługi kanału transmisji, a procesor kontrolera magistrali realizowałby jedynie protokół magistrali.

Ustalono sposób współpracy pomiędzy kontrolerem magistrali a procesorem układu sprzęgającego. W czasie odbioru układ sprzęgający wykonuje analizę nagłówka ramki odbieranej i ładuje go do bufora w dwudostępnej pamięci wewnętrznej kontrolera oraz, w zależności od wyników analizy, zapisuje /lub nie/ bajty informacyjne ramki do bufera w pamięci stacji. Układ sprzęgający kontroluje poprawność odbioru całości przesyłki. Kontroler magistrali jest informowany o odbiorze ramki przerwaniem, generowanym po odebraniu jej nagłówka przez układ sprzęgający. Po odebraniu przerwania kontroler realizuje protokół magistrali podejmując odpowiednie działania w zależności od treści nagłówka ramki odbieranej. Po zakończeniu odbioru ramki układ sprzęgający informuje kontrolera magistrali o jego poprawności lub zaistniałych błędach, w słowie stanu w pamięci kontrolera.

Kontroler magistrali inicjuje nadawanie ramki przez układ sprzegający zapisując zlecenie nadawania w dwudostępnym buferze, cyklicznie odczytywanym przez procesor układu sprzegającego w czasie ciszy w linii. Układ sprzegający sygnalizuje zakończenie nadawania w słowie stanu i przerwaniem do kontrolera magistrali.

Dzięki zastosowaniu dwóch procesorów możliwe jest jednoczesne wykonywanie dwóch zadań /programów/ obsługi kanału transmisji i protokołu magistrali.

Przyjętą metodę analizy układów wieloprocessorowych było badanie możliwości realizacji fragmentu protokołu PROWAY stawiającego największe wymagania czasowe. Wynik analizy krytycznego fragmentu protokołu pozwala oszacować możliwość jego realizacji w całości.

Określono krytyczny, ze względu na parametry czasowe, fragment protokołu magistrali. W wyniku analizy zaprezentowanej w [4], przeprowadzonej dla projektu protokołu przedstawionego w [5] przyjęto, że tym fragmentem jest przyjęcie i wysłanie pałeczki w wypadku gdy nie ma zlecenia od użytkownika na wykonanie transakcji typu SDA, RDR lub RSR oraz kiedy dana stacja ma szczytną /p.wyżej - opis protokołu PROWAY/ i zachodzi konieczność określenia adresu, na jaki ma być przesłana pałeczka.

Fragment ten powinien zostać wykonany w limitowanym czasie, tak by stacja wysłała pałeczkę przed upływem maksymalnego okresu ciszy w linii po zakończeniu odbioru przesyłki z pałeczką.

Na ten limit składa się czas transmisji części ramki odbieranej po wysłaniu przez układ sprzegający przerwania do kontrolera magistrali oraz dopuszczalny czas przerwy między przesyłkami w linii. Po ostatnim bajcie nagłówka w ramce następują jeszcze co najmniej 3 bajty, stąd dla przepływności binarnej wynoszącej 100 Kb/s limit czasu jest równy $3 \times 80 \mu s + 100 \mu s = 340 \mu s$.

Przy powyższych założeniach przeprowadzono analizę dla trzech wariantów sprzętowych kontrolera magistrali:

- opartego na mikroprocesorze 8080,
- opartego na dwuprocessorowym układzie 8080-8035,
- opartego na mikroprocesorze 8086.

Dla każdego z tych rozwiązań napisano program realizujący krytyczny fragment protokołu, obliczone teoretycznie czas jego wykonania i porównano go z przedstawionym wyżej limitem.

W pierwszym przypadku stwierdzone, że kontroler magistrali nie spełni stawianych przed nim wymagań czasowych /p.praca [4] /. Obliczony na podstawie danych katalogowych czas wykonania programu jest dłuższy o 59µs od limitu. Zwiększenie tego limitu poprzez wcześniejsze wysłanie bajtu synchronizacyjnego - przed zakończeniem przygotowania całej ramki, dające dodatkowe 80µs pozwala na zmieszczenie się w limicie czasu, jednak z brzożną małą rezerwą, równą 9µs, co stanowi ok. 2% całkowitego czasu wykonania programu. Uwzględniając dokładność metody analizy, należy przyjąć, że rezerwa ta jest zbyt mała, aby analizowany program mógł się w rzeczywistości wykonać w zadanym limicie czasu.

Aby wyczerpać badania wszystkich możliwości budowy kontrolera magistrali na układach produkcji krajowej wykonane analizę tego samego problemu dla konfiguracji złożonej z dwóch mikroprocesorów MCY 7880 jako procesora głównego i zapowiedzianego do produkcji w CEMI odpowiednika INTEL 8035 jako procesora pomocniczego. Wyniki pracy są przedstawione w sprawozdaniu [6]. Procesor pomocniczy 8035 miał obsługiwać i określać adresy, ^{na} jakie ma być w danym momencie przesłana pałeczka. Wszystkie pozostałe działania magistrali miał wykonywać mikroprocesor 8080. Taki podział zadań został dokonany dla umożliwienia współbieżnej pracy mikroprocesorów i dla maksymalnego ograniczenia ilości danych przekazywanych pomiędzy nimi. Ilość tych danych powinna być jak najmniejsza, aby uniknąć opóźnień związanych z korzystaniem ze wspólnej wewnętrznej pamięci oraz uniknąć sytuacji związanych z "wyścigiem" urządzeń i konieczności synchronizacji.

Na podstawie teoretycznego obliczenia ^{czasów} wykonania programów obu mikroprocesorów stwierdzone, że przy wykorzystaniu tego układu można zrealizować działania przewidziane w krytycznym fragmencie protokołu PROWAY przy przepływności binarnej 100 kb/s. Jednak wobec dużego obciążenia układu, teoretycznie, przy założeniach upraszczających, znacznie przekraczającego 50%, w praktycznej realizacji można się liczyć z pracą na granicy zdolności operacyjnej. Kontroler taki nie dawałby możliwości zwiększenia szybkości transmisji i skrócenia przerw w linii między transmisjami. Kontroler taki nie pomieściłby się na jednej płycie drukowanej standardu ^{INTEL DIGIT} -PROWAY.

W trzecim etapie badano realizację protokołu magistrali przez mikroprocesor 16-bitowy INTEL 8086, którego radziecki odpowiednik jest zapowiadany. Wyniki pracy przedstawiono w sprawozdaniu [7]. Podobnie jak w poprzednich badaniach opracowano program krytycznego fragmentu protokołu i określono czas jego realizacji. W odróżnieniu od poprzednich dwóch etapów, czas realizacji określono nie tylko przez obliczenie, ale również zmierzono na układzie modelowym. Wyniki badań podaje tabela 1.

Tabela.1 Wyniki badań kontrolera magistrali /8086/.

Przepływność binarna kbit/s	Czas realizacji protokołu magistrali w stosunku do czasu dysponowanego %
100	40
200	61
500	91

Wyniki te oznaczają, że przy wykorzystaniu w kontrolerze magistrali mikroprocesora 8086, protokół magistrali będzie wykonywany przy przepływności binarnej równej 200 kb/s. Wykonywanie protokołu magistrali dla przepływności 500 kb/s nie jest pewne, wymagane są badania na modelu i, ewentualnie, nie naruszające postanowień IEC zmiany protokołu w postaci nadawania na początku i końcu ramki więcej niż jednego bajtu synchronizacyjnego.

Opisane powyżej badania trzech realizacji kontrolera magistrali nie obejmowały analizy czasowej niższej hierarchicznie części kontrolera komunikacyjnego - układu sprzęgającego. Układ ten może być wyposażony w mikroprocesor typu 8080 lub 8086. Podobnie jak dla kontrolera magistrali, również do układu sprzęgającego zostały przeprowadzone badania obejmujące określenie maksymalnej przepływności binarnej dla obu mikroprocesorów. Znowu uwzględniono najgorszy przypadek, którym dla układu sprzęgającego jest kontrola lokalnej sprawności stacji. Układ sprzęgający musi wtedy pracować w trybie "duplex", czyli wykonywać zadania zarówno nadania, jak i odbioru przesyłek. Zostały opracowane na obu typy mikroprocesorów programy obsługi dla lokalnej kontroli sprawności stacji.

AM

Obliczono czas realizacji dla MCY 7880 oraz uruchomiono program i zmierzono czas dla mikroprocesora 8086. Czas obsługi bajtu i wynikające stąd wartości przepływności podano w tabl.2.

Tabl.2. Wyniki analizy dla kontroli sprawności stacji.

Mikroprocesor	Czas obsługi bajtu	Przepływność binarna
	μ s	kbit/s
MCY 7880	120	66,6
8086	35,2	227,2

Na podstawie badań obydwu części kontrolera komunikacyjnego o strukturze wieloprocessowej można zestawić wspólne wyniki analizy czasowej. Najbardziej przejrzystą postacią jest podanie możliwości zrealizowania zadań przez elementy kontrolera dla poszczególnych wartości przepływności binarnej.

Tabl.3. Ocena szybkości pracy kontrolera.

Przepływność binarna	Kontroler magistrali		Układ sprzęgający	
	MCY7880	8086	MCY 7880	8086
kbit/s				
100	-	+	-	+
200	-	+	-	+
500	-	?	-	-

Poza zastosowaniem struktury dwuprocessorowej, na dwóch układach typu 8086 możliwe jest rozwiązanie kontrolera komunikacyjnego z zastosowaniem struktury jednoprocessorowej, z procesorem składanym na układach serii 3000 lub 2900. W pracy [8] zestawiono cechy tych rozwiązań, jakie należy brać pod uwagę przy wyborze jednego z nich do realizacji. Wariant z wykorzystaniem procesora składanego umożliwia większą przepływność binarną magistrali - co najmniej 500kbit/s natomiast jego opracowanie jest znacznie trudniejsze i droższe.

12

Przeprowadzono prace wstępne nad strukturą i oprogramowaniem kontrolera komunikacyjnego z procesorem na układach 3000/p. praca [9]. Ponieważ kontroler taką ma strukturę jednoprocessorową, procesor musi realizować zarówno zadania bieżącej obsługi kanału transmisji, jak i protokół magistrali. Ze względu na zakładaną dużą przepływność binarną, przyjęto, że w czasie trwania transmisji procesor ma być zajęty wyłącznie jej bieżącą obsługą.

Wszystkie działania protokołu magistrali mają być wykonywane w czasie przerw między przesyłkami. Takie rozwiązanie pozwala uniknąć pracy w trybie przerwanym i dużych strat czasu na wykonanie przerwania - tj. na operacje przerwania, zabezpieczenie rejestrów na stosie i powrót z przerwaniami. Bierąc pod uwagę dużą szybkość działania układów serii 3000, założono, że czas przerwy między przesyłkami byłby wystarczający na wykonanie koniecznych działań protokołu PROWAY. Dla uzyskania krótkiego czasu wykonania programu realizującego protokół PROWAY przyjęto, że powinien on być napisany w całości na poziomie mikroinstrukcji. Uniemożliwiłoby to zastosowanie układu generacji następnego adresu serii 3000, 3001 Microprogram Control Unit. Konieczne byłoby zastąpienie go mechanizmem własnej konstrukcji na elementach TTL. To z kolei uniemożliwiłoby zastosowanie skośnego systemu mikroprogramowania /CROMIS/ do programowania kontrolera.

Otrzymane ostatnio nowe projekty IEC protokołu PROWAY [10] zmniejszyły czas dopuszczalnej przerwy między przesyłkami do 50µs z czego na programową realizację protokołu przewiduje się 24µs. Tak bardzo zastrzonych wymagań kontroler komunikacyjny na układach serii 3000 prawdopodobnie nie mógłby spełnić.

Przedstawione powyżej badania i analizy stanowią pierwszy rozpoznawczy etap prac nad implementacją protokołu komunikacyjnego. Prace te będą kontynuowane.

Literatura

1. IEC TC 65A/Secr./18 Draft-Process data highway /PROWAY/ for distributed process control systems. Geneva, March 1979
2. IEC TC 65A/Secr./28. Process data highway /PROWAY/ for distributed process control systems. Part.1 General description and functional requirements. Geneva, September 1980.
3. Opracowanie urządzeń mikroprocesorowych systemu MIR-PROWAY. Etap 13. Opracowanie założeń na mikrokomputer komunikacyjny. Założenia projektowe na pakiet M-220 kontrolera komunikacyjnego. PIAP 1982. Nr rej. 4830.
4. Analiza protokołów MIR-PROWAY pod kątem możliwości ich realizacji na dostępnej w kraju bazie elementowej. PIAP 1983. Nr rej. 8057.
5. IEC TC 65C/Secr./13. Draft-Process data highway /PROWAY/ for distributed process control systems. Part 3 /combined with Parts 4 and 5/: Specification for Highway Protocol Definition. Geneva, November 1982.
6. Analiza możliwości realizacji protokołów MIR-PROWAY na dwuprocesorowym układzie 8080-8035 oraz na procesorze 8086. Etap 1. Analiza możliwości realizacji protokołów MIR-PROWAY na dwuprocesorowym układzie 8080-8035. PIAP 1983. Nr rej. 5082.
7. Analiza możliwości realizacji protokołów MIR-PROWAY na dwuprocesorowym układzie 8080-8035 oraz na procesorze 8086. Etap 2. Analiza możliwości realizacji protokołów MIR-PROWAY na procesorze 8086. PIAP 1983. NR rej. 5181.
8. Opracowanie urządzeń systemu MIR-PROWAY. Założenia techniczne na pakiet MK-40 kontrolera komunikacyjnego. PIAP 1984. Nr rej. 5194.
9. Opracowanie urządzeń mikroprocesorowych systemu MIR-PROWAY. Etap IV. Opracowanie i uruchomienie oprogramowania podstawowego kontrolera komunikacyjnego /wersja do badań/. PIAP 1984, nr rej. 53
10. IEC TC 65C/Control Office/6. Process data highway /PROWAY/ for distributed process control systems. Part 3. Specification for Highway Unit Protocol. Geneva, June 1984.

14