

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW
MERA-PIAP
Al. Jerozolimskie 202 02-222 Warszawa Telefon 23-70-81

Ośrodek Badań Niezawodności i Jakości

442 Grupa Problemowa d/s Kompatybilności Elektromagnetycznej

Główny wykonawca

BE 10

Wykonawcy mgr inż. inż. Cz. Godzisz, M. Nawrot,
tech. tech. B. Drażus, K. Tekieli.

Konsultant mgr inż. S. Karaszewski

Nr zlecenia

5313

Protokoł z badań zakłócalności
elektromagnetycznej pamięci dyskowej
MERA 9450.

Zleceniodawca Fabryka Mierników i Komputerów "ERA", Warszawa,
ul. Łopuszańska 117/123

Pracę rozpoczęto dnia 86.01.07.

Kierownik Gr.Pr.

Cz. Godzisz
mgr inż. Cz. Godzisz

Z-ca Dyrektora
d/s. Pomiarów

J. Winiecki
doc.dr inż. J. Winiecki

zakończono dnia 86.03.17

Kierownik OBN

St. Budzyński
dr inż. St. Budzyński

Praca zawiera:

stron 20

rysunków 6

fotografii

tabel 7

tablic 1

załączników

Rozdzielnik - ilość egz:

Egz. 1 BOINTE

Egz. 2 FMiK ERA

Egz. 3 OBN

Egz. 4

Egz. 5

Egz. 6

Nr rejestr. 5577

UWAGA: Nie udostępniać do wglądu.

Analiza deskryptorowa

OSPRZĘT KOMPUTEROWY: PAMIĘĆ DYSKOWA MERA 9450, KOMPATYBILNOŚĆ ELEKTROMAGNETYCZNA
BADANIA ZAKŁÓCALNOŚCI.

Analiza dokumentacyjna

Protokoł z badań zakłócalności elektromagnetycznej pamięci dyskowej MERA 9450. Zakres badań obejmował sprawdzenie odporności na zakłócenia sieciowe impulsowe nanosekundowe, impulsowe dużej energii, krótkotrwałe zaniki napięcia sieci, zakłócenia obwodu interfejsowego, wyladowania elektryczności statycznej. Badania wykonano metodami wg PN-86/E-06600 /projekt/. Protokoł zawiera wyniki badań i wnioski dotyczące poprawy odporności.

Dokumenty normalizacyjne

~~Tytuły poprzednich sprawozdań~~

- [1] PN-86/E-06600 /projekt/. Automatyka i pomiary przemysłowe. Kompatybilność elektromagnetyczna urządzeń. Ogólne wymagania i badania.
- [2] Techničeskie sriedstva SM EVM pomiechożasčisčennost' i pomiechoizlučenie. Metodičeskij material. Techničeskie trebovanija. Projekt. MM EMC redakcije: 1 /1979r./, 2 /1982r./, 3 /1984rr./.

681,322.001.5 Komputery - badania

UKD

MAP-252/83-6000

SPIS TREŚCI

	str.
1. Charakterystyka badanych urządzeń	1
2. Sposób przeprowadzenia badań	1
2.1. Wykorzystywany program testowy i kryteria zakłócalności urządzeń	1
2.2. Zakres i sposób przeprowadzania badań	2
3. Wyniki badań	8
4. Analiza wyników i obserwacje	15
5. Analiza układów i dodatkowe pomiary	17
6. Wnioski	18

1. Charakterystyka badanych urządzeń

Badany układ składa się z:

- pamięci dyskowej MERA 9450 wyk. 01 nr 01849, rok produkcji 1985,
- testera DDPT nr JU 3549 produkcji FMiK "Era".

Zasilanie urządzeń: jednofazowe z sieci prądu przemiennego 220 V, 50 Hz. Zarówno tester jak i pamięć wykonane są jako urządzenia w I klasie ochronności. Przyłącze sieciowe pamięci dyskowej /PD/ jest zrealizowane kablem sieciowym o długości ok. 4 m.

Pamięć i tester są połączone kablem interfejsowym o długości ok. 3 m.

Pamięć dyskowa dostarczona do badań wykazywała objawy błędnego funkcjonowania we współpracy z testerem w warunkach bez zakłóceń. Objawy te występowały podczas odczytu pamięci z automatycznym przełączaniem głowic dla wzorca informacji zerowej i polegały na ciągłym zliczaniu przez tester błędów CLOCK, DATA, ADDRESS. Objawów tych nie zaobserwowano przy pracy z pojedynczą głowicą oraz z parami głowic 0, 1 lub 2, 3. Obudowy testera i pamięci połączone przewodem LY 2,5. W pamięci zacisk DC GND był połączony z zaciskiem AC GND.

2. Sposób przeprowadzenia badań

2.1. Wykorzystywany program testowy i kryteria zakłócalności urządzeń

W uzgodnieniu ze zleceniodawcą ustalono, że badania zakłócalności pamięci będą wykonywane dla funkcji szukania oraz zapisu i odczytu dla jednego sektora na ścieżkę i różnych wzorców informacji, w szczególności:

- a/ WRITE FORMAT, SEQ FWD dla wzorców informacji 0000 i F708 i automatycznie przełączanych głowicach 0...3 lub dla głowic pracujących pojedynczo,
- b/ READ, SEQ FWD dla wzorców informacji jak wyżej i głowic pracujących pojedynczo ze względu na występujące błędy przy odczycie z automatycznym przełączaniem głowic.

Jako podstawowe kryterium zakłócalności PD przyjęto liczbę błędów wykrytych przez tester /ERROR RATE/ oraz wystąpienie innych efektów zakłóceń, przykładowo:

- niekontrolowane zatrzymanie wykonywania programu testowego,
- utrata gotowości przez pamięć dyskową /sygnalizowana zgaśnięciem wskaźnika READY/,
- niekontrolowane wystąpienie FAULT /zaświecenie FAULT na pulpicie pamięci lub jednego ze wskaźników na pakiecie PD-PS/.

Ponieważ czas jednego cyklu szukania SEQ FWD od ścieżki 0 do 203 dla głowicy pracującej pojedynczo był stały /ok. 11 s/, zatem przy stałej częstotliwości generacji zakłóceń liczba błędów zliczona przez tester dla danego poziomu zakłóceń może być wskaźnikiem stopnia zakłócania się pamięci.

2.2. Zakres i sposób przeprowadzania badań

Zakres badań obejmował badania zakłócalności pamięci dyskowej oraz testera dla obwodu sieciowego, obwodu interfejsowego oraz obudowy pamięci.

Badania przeprowadzono z wykorzystaniem metod zalecanych w projekcie PN/E [1] dla zakłóceń impulsowych nanosekundowych, impulsowych dużej energii, dynamicznych zmian napięcia zasilania oraz wyładowań elektryczności statycznej. W tabelicy 2.2.1 podano zestawienie urządzeń pomiarowych i urządzeń pomocniczych stosowanych w badaniach, oznaczenie metod symulacji oraz podano numery rysunków przedstawiających układy do symulacji zakłóceń. Z powodu braku generatora impulsów 5/50 ns zalecanego w PN/E zastosowano zastępczo generator wytwarzający impuls zakłócający o parametrach 5/100 ns.

Tablica 2.2.1

Obwód zakłócany	Symulator zakłóceń	Urządzenie pomocnicze		Oznaczenie metody wg PN-86/E-06600	Nr rys. układu symulacji
		sprzęgające	oddzielające		
sieciowy	NSG-222	10 nF	NSG-200C	SN1	2
	GZI-50	1 μ F	1,5 mH	SS30, SN30	3
	SZS-2	-	-	SS70	4
interfejsowy	NSG-222	klamra pojemnościowa	-	SE11	5
	GZI-50	przewód testowy 2zw/m	-	SM30	5
obudowa pamięci dyskowej	SED-2	-	-	SE-80	6

W przypadku badań zakłócalności od strony zasilania sieciowego wykonano badania dla następujących przypadków:

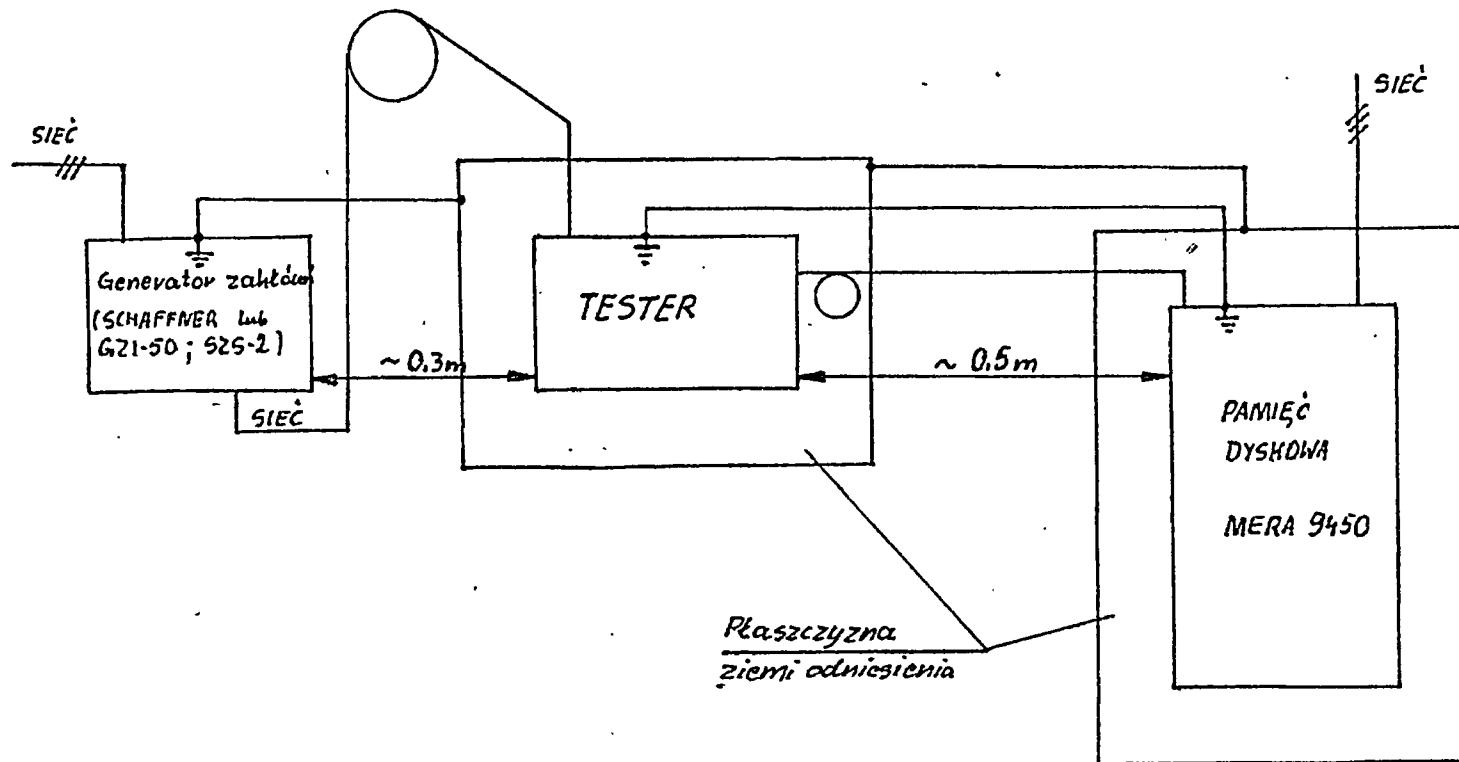
- zakłócano pamięć dyskową /tester niezakłócany/,
- zakłócano tester /pamięć niezakłócana/,
- zakłócano jednocześnie tester i pamięć.

W każdym z tych przypadków punktami pomiarowymi były odpowiednio: wtyczka kabla sieciowego pamięci, testera oraz testera i pamięci / pamięć zasilana z testera/.

Procedura badania zakłócalności podczas odczytu polegała na zakłócaniu urządzenia podczas czynności odczyt i obserwacji efektów zakłócenia /liczba błędów oraz inne objawy/ dla zapisanej informacji w warunkach bez zakłóceń.

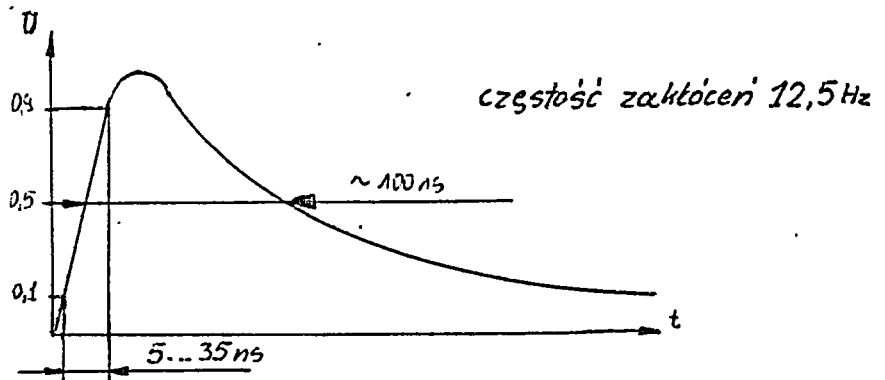
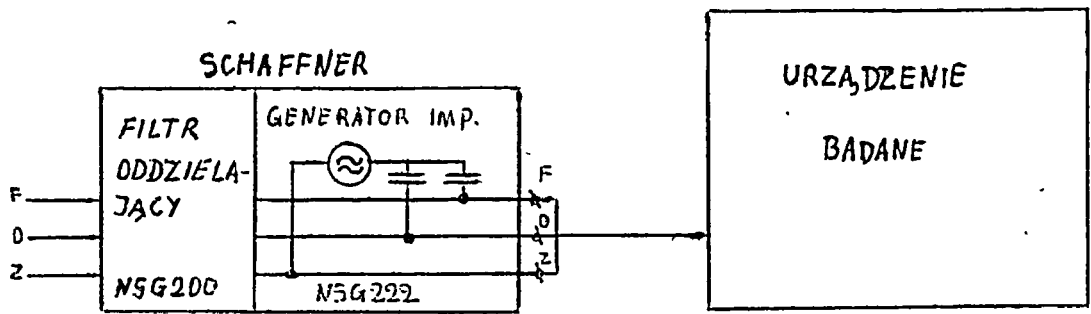
Procedura badania zakłócalności podczas zapisu polegała na zakłócaniu urządzenia podczas czynności zapis i obserwacji efektów zakłócenia. Następnie przy braku efektów zakłócenia przy zapisie dokonywano w warunkach bez zakłóceń odczytu poprawności informacji zapisanej.

W celu określenia poziomu zakłócalności badania przeprowadzono od najniższych poziomów zakłóceń generowanych przez symulatory i generatory, stopniowo zwiększając poziom aż do wystąpienia efektów zakłóceń. W czasie przeprowadzania pomiarów tester, pamięć i kabel interfejsowy usytuowano na wysokości 100 mm nad płaszczyznami ziemi odniesienia. Nadmiar kabla interfejsowego zwinięto w pętlę o średnicy 150 mm. Ogólne usytuowanie urządzeń na stanowisku przedstawiono na rys. 1. Czas narażenia zakłóceniami impulsowymi wynosił w przypadku pracy automatycznej głowic ok. 30 s, tj. ok. 380 impulsów, a w przypadku pracy pojedynczej głowic ok. 11 s, tj. ok. 140 impulsów. Przy badaniach zakłócalności na zaniki napięcia sieci częstość generacji zakłóceń wynosiła 0,5 Hz, co odpowiada narażeniu 15 zanikami dla pracy automatycznej i ok. 6 zanikami dla pracy z pojedynczą głowicą.

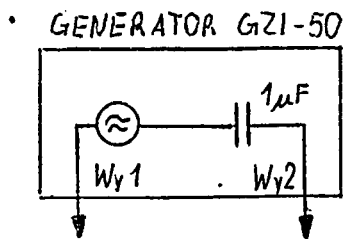


Rys.1 Podstawowa konfiguracja urządzeń w czasie badań zakłócalności od strony obwodu sieciowego /widok z góry/

7

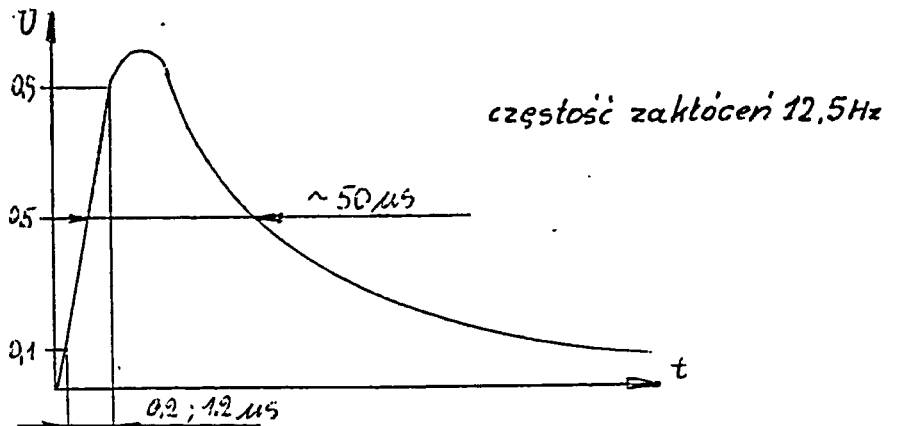
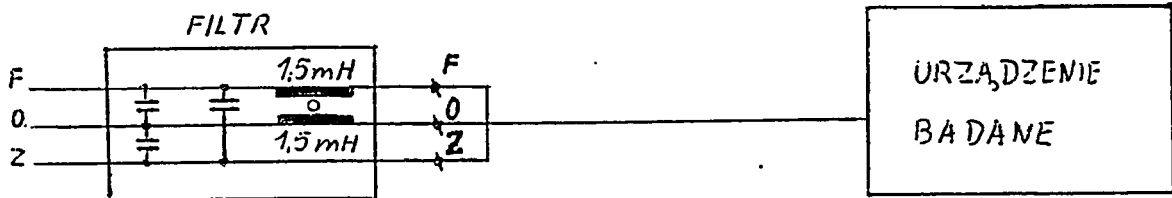


Rys.2 Układ do symulacji zakłóceń impulsowych nanosekundowych oraz kształt impulsu zakłócającego w obwodzie sieciowym

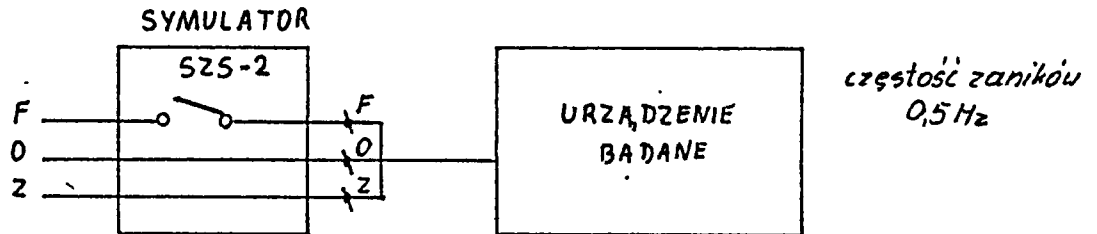


Łączenia generatora

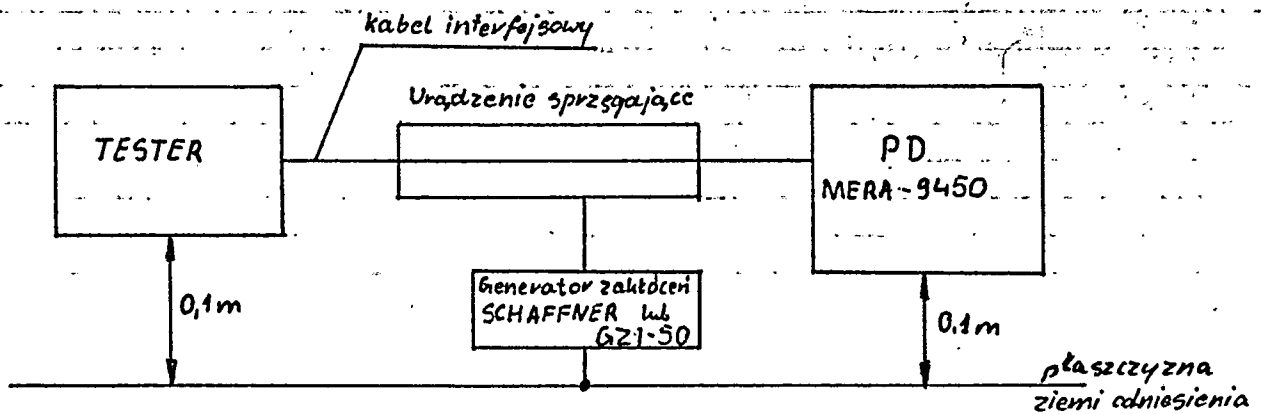
Wy1	Wy2	
F	0	symetr.
F	Z	niesymetr.
0	Z	niesymetr.



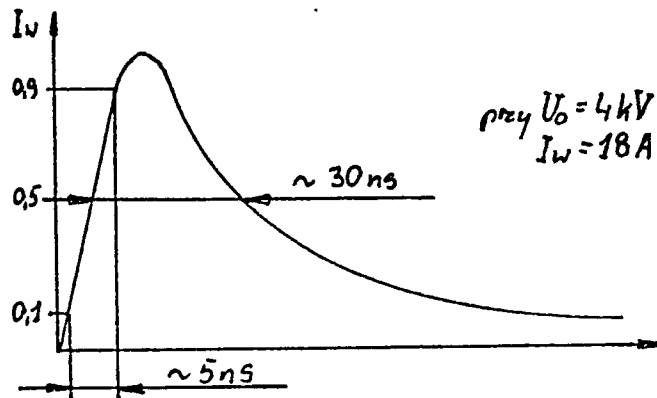
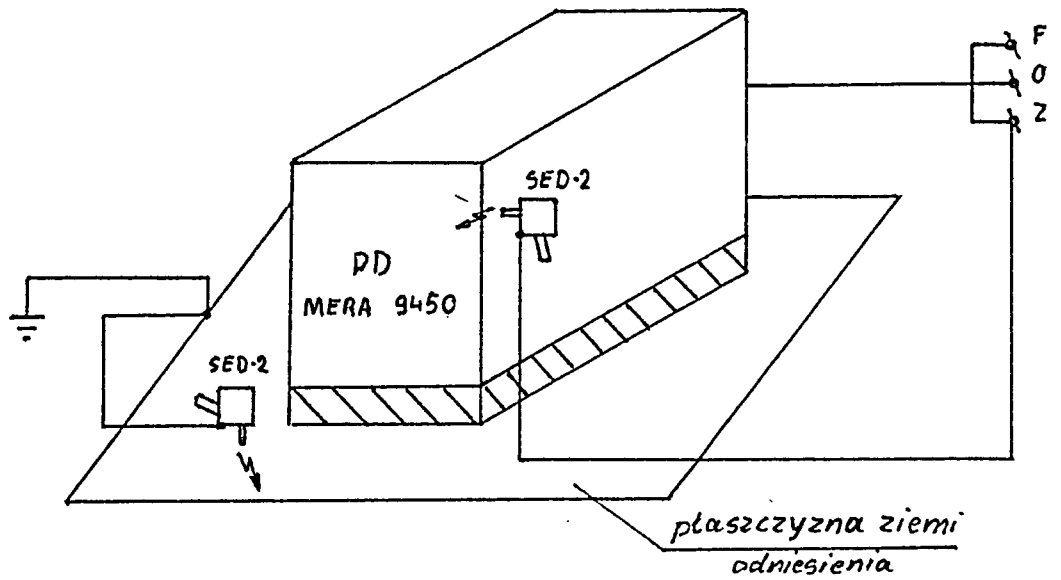
Rys.3 Układ do symulacji zakłóceń impulsowych dużej energii w obwodzie sieciowym i kształt impulsu zakłócającego



Rys.4 Układ do symulacji krótkotrwałych zaników napięcia sieci zasilającej



Rys.5 Uproszczony schemat układu do symulacji zakłóceń obwodu interfejsowego. Urządzenie sprzęgające dla zakłóceń nanosekundowych stanowi klamra pojemnościowa a dla zakłóceń dużej energii przewód testowy



Rys. 6 Układy do symulacji wyładowań elektryczności statycznej pośrednich i bezpośrednich na PD oraz kształt i parametry prądu wyładowania symulatora

3. Wyniki badań

Wyniki badań zakłócalności zestawiono w tabelach:

Zakłócalność pamięci dyskowej testera oraz pamięci i testera od strony obwo-
du sieciowego dla zakłóceń:

a/ impulsowych nanosekundowych /metoda SN1/

dla odczytu - tabela 3.1

dla zapisu - tabela 3.2

b/ impulsowych dużej energii 0,2/50 μ s /metoda SS30, SN30/

dla odczytu - tabela 3.3

dla zapisu - tabela 3.4

Zakłócalność pamięci dyskowej oraz testera od strony obwo-
du sieciowego dla:

c/ krótkotrwałych zaników napięcia sieci /metoda SS70/

dla odczytu i zapisu - tabela 3.5.

Zakłócalność pamięci dyskowej i testera od strony kabla interfejsowego dla
zakłóceń:

d/ impulsowych nanosekundowych /metoda SE11/

dla odczytu i zapisu - tabela 3.6

e/ impulsowych dużej energii 0,2/50 μ s /metoda SM10/

dla odczytu i zapisu - tabela 3.7

Zakłócalność pamięci dyskowej

f/ dla wyładowań elektryczności statycznej /metoda SE80/ pośrednich na płytę
ziemi odniesienia i bezpośrednich na obudowę PD przy odczycie wynosi:

Poziom zakłócenia	Objawy zakłócenia
poniżej 1 kV wyładowanie względem bolca uzie- miającego przyłącza sieciowego na obudowę pamię- ci i na płaszczyznę uziemienia.	liczne błędy CLOCK, DATA, wycofanie ka- retki i utrata goto- wości.

W tabelach 3.1 - 3.7 wprowadzono dodatkowe oznaczenia skróto-
we objawów zakłócenia urządzeń:

ACCES - zmiana stanu pracy testera z WRITE FORMAT na ACCES

b.z. - brak objawów zakłócenia

DRT SK - zmiana stanu pracy testera z SEQ FED na DRT SK

K-2 - zadziałanie w pamięci dyskowej wyłącznika K-2

SPZ - stop podczas zapisu /zatrzymanie karetki na przypadkowej ścieżce/

STOP - niekontrolowane zatrzymanie pracy testera

UG - utrata gotowości podczas zapisu /wycofanie karetki/

ZP - zapętlenie przy zapisie /niekontrolowane cykliczne ponawianie czyn-
ności zapisu począwszy od świeżki 0 aż do 203/

ZPO - zatrzymanie karetki podczas odczytu /zatrzymanie na przypadkowej
ścieżce i ciągle zliczanie błędów/

Podstawowy zapis w tabelach jest przedstawiony w postaci: poziom zakłócalności /V/ / zarejestrowana liczba błędów przez tester ERROR RATE, np. 190/26, oznacza, że dla napięcia zakłóceń równego 190 V wystąpiło dla danej głowicy 26 błędów.

Tabela 3.1

Impuls zakłócający		OBWÓD ZAKŁÓCANY						
		Tester + Pamięć		Tester		Pamięć		
Czas narastania	Polaryzacja	Głowica	Wzorec informacji		Wzorec informacji		Wzorec informacji	
			0000	F708	0000	F708	0000	F708
Poziomy zakłócalności przy odczycie pojedynczymi głowicami								
5ns	+	0	190V/26	190V/16	190V/37	190V/27	190V/57	190V/42
		1	-"/11	/13	/3	/1	/44	/27
		2	-"/53	/38	/57	/38	/60	/46
		3	-"/56	/48	/56	/33	/61	/54
	-	0	190V/54	190V/41	190V/17	190V/13	190V/60	190V/45
		1	-"/2	/3	/2	/3	/42	/19
2		-"/59	/43	/58	/41	/61	/50	
3		-"/57	/54	/55	/41	/63	/70	
35ns	+	0	160V/30	160V/29	160V/43	160V/29	160V/60	160V/42
		1	-"/3	/5	/1	/3	/39	/21
		2	-"/56	/39	/58	/39	/60	/45
		3	-"/52	/47	/55	/43	/63	/56
	-	0	160V/39	160V/23	160V/24	160V/22	160V/65	160V/45
		1	-"/2	/4	/1	/5	/51	/27
2		-"/60	/39	/55	/38	/58	/45	
3		-"/60	/49	/55	/48	/64	/63	

Tabela 3.2

Impuls zakłóć.		OBWÓD ZAKŁÓCANY						
		Tester + Pamięć		Tester		Pamięć		
Czas narastania	Polaryzacja	Głowica	Wzorzec informacji		Wzorzec informacji		Wzorzec informacji	
			0000	F708	0000	F708	0000	F708
Poziomy zakłócalności przy zapisie automatycznym								
5ns	+	0	1210V/1	930V/0	1210V/0	930V/UG	1210V/SPZ	1080V/SPZ
		1	/0	/0	/3			
		2	/0	/ZPO	/2			
		3	/0	/0	/1			
5ns	-	0	1500V/SPZ	1500V/SPZ	1080V/ZP	1080V/ZP	1210V/SPZ	1210V/SPZ
		1						
		2						
		3						
35ns	+	0	1240V/0	1240V/0	1140V/UG	1000V/UG	1100V/SPZ	1100V/SPZ
		1	/0	/0				
		2	/0	/0				
		3	/0	/0				
35ns	-	0	1240V/0	1240V/0	1240V/0	1240V/0	1240V/0	1240V/0
		1	/0	/0	/0	/0	/0	/0
		2	/0	/0	/0	/0	/0	
		3	/0	/0	/0	/0	/0	
Poziomy zakłócalności przy zapisie pojedynczymi głowicami								
5ns	+	0	1210V/2	1210V/2	1210V/0	930V/UG	1210V/SPZ	1080V/SPZ
		1	/1	/6	/5	1080V/1	/SPZ	1210V/SPZ
		2	/2	/ZPO	/4	1080V/UG	/SPZ	1210V/SPZ
		3	/0	/4	/0	930V/UG	/SPZ	1210V/SPZ
5ns	-	0	1500V/0	1500V/SPZ	1080V/ZPO	1080V/ZPO	1210V/SPZ	1210V/SPZ
		1	/0	/0	/ZPO	/SPZ	1330V/SPZ	1330V/SPZ
		2	/0	/SPZ	/55	/SPZ	1330V/SPZ	1330V/SPZ
		3	/0	/0	/ZPO	/SPZ	1380V/SPZ	1380V/SPZ
35ns	+	0	1240V/0	1240V/0	1140V/UG	1000V/UG	1100V/SPZ	1100V/SPZ
		1	/0	/0	/UG	/UG	/SPZ	1140V/SPZ
		2	/0	/0	/UG	/UG	/SPZ	1140V/SPZ
		3	/0	/0	/UG	/UG	/SPZ	1240V/SPZ
35ns	-	0	1240V/0	1240V/0	1240V/0	1240V/0	1240V/0	1240V/0
		1	/0	/0	/0	/0	/0	/0
		2	/0	/0	/0	/0	/0	
		3	/0	/0	/0	/0	/0	

14

Tabela 3.3

			OBWÓD ZAKŁÓCANY					
			Tester + Pamięć		Tester		Pamięć	
Półtażenie	Polaryzacja impulsu	Głowica	Wzorec informacji		Wzorec informacji		Wzorec informacji	
			0000	F708	0000	F708	0000	F708
Poziomy zakłócalności przy odczycie pojedynczymi głowicami.								
F-0	+	0	850V/1	800V/2	1050V/6	850V/2	800V/1	700V/4
		1	1200V/0	1050V/2	1200V/0	1200V/0	950V/2	850V/1
		2	900V/1	850V/3	950V/3	900V/4	750V/4	700V/1
		3	740V/4	700V/7	750V/2	750V/2	650V/2	650V/3
	-	0	850V/2	850V/9	1000V/2	850V/1	800V/1	700V/1
		1	1100V/0	1000V/4	1200V/0	1200V/0	950V/8	850V/3
2		850V/6	800V/3	1000V/7	850V/2	750V/12	700V/2	
		3	750V/2	700V/2	750V/4	700V/3	650V/1	650V/2
F-Z	+	0	420V/6	400V/6	1050V/5	900V/1	700V/1	700V/1
		1	520V/5	450V/7	1200V/0	1200V/1	800V/3	700V/1
		2	500V/2	450V/3	950V/6	900V/1	650V/2	600V/3
		3	380V/6	350V/3	800V/5	750V/3	600V/1	550V/1
	-	0	420V/23	400V/3	1000V/1	900V/2	850V/12	750V/1
		1	520V/10	400V/3	1200V/0	1200V/2	750V/1	700V/3
2		500V/6	450V/3	1000V/8	900V/1	650V/1	650V/4	
		3	360V/5	350V/3	800V/3	700V/1	650V/8	600V/2
0-Z	+	0	830V/7	750V/3	1050V/2	850V/1	800V/2	800V/6
		1	1000V/3	1000V/9	1200V/0	1200V/0	800V/5	700V/2
		2	900V/11	900V/8	1000V/8	900V/1	650V/2	650V/1
		3	700V/1	650V/2	800V/2	750V/2	650V/9	600V/5
	-	0	850V/11	800V/2	1100V/6	850V/1	800V/1	750V/4
		1	1000V/5	850V/1	1200V/0	1200V/0	800V/6	650V/1
2		850V/4	800V/1	1050V/5	1000V/4	650V/3	650V/4	
		3	700V/4	650V/2	850V/4	750V/4	600V/1	600V/1

Tabela 3.4

		OBWÓD ZAKŁÓCANY					
		Tester + Pamięć		Tester		Pamięć	
Płączenie	Głowice	Wzorec informacji		Wzorec informacji		Wzorec informacji	
		0000	F708	0000	F708	0000	F708
		Poziomy zakłócalności przy zapisie automatycznym					
F-0	0÷3	±1200V/0	±1200V/0	±1200V/0	±1200V/0	±1200V/0	±1200V/0
F-Z	0÷3 lub 1 2 3	±1200V/0	±1200V/0 /0 /ZPO /0	±1200V/0	±1200V/0	±1200V/0	±1200V/0
0-Z	0÷3 lub 1 2 3	±1200V/0	±1200V/0	±1200V/0	±1200V/0	±1200V/0	+1200V/0 /ZPO /ZPO /0
	0÷3						-1200V/0

Tabela 3.5

		OBWÓD ZAKŁÓCANY			
Rodzaj pracy	Tester		Pamięć		
	Wzorec informacji		Wzorec informacji		
	0000	F708	0000	F708	
ODCZYT POJEDYNCZYMI GŁOWICAMI	26ms/b.z 27ms/ZPO i stałe wyświetlanie 20 błądów 35ms/UG, DRTSK	22ms/b.z 31ms/ZPO i stałe wyświetl 21 błądów 34ms/UG, DRTSK	20ms/b.z 22ms/3 0 2 2 25ms/K-2	19ms/b.z 20ms/0 0 2 1 26ms/K-2	
ZAPIS AUTO	22ms/b.z 23ms/ACCESS 32ms/UG, ACCESS, DRTSK	20ms/b.z 25ms/ACCESS 33ms/STOP	24ms/b.z 25ms/K-2	20ms/b.z 22ms/0 0 0 2 25ms/K-2	

Tabela 3.6

Impuls zakłóć.		Głowica	OBWÓD ZAKŁÓCANY - INTERFEJS					
Czas narast.	Polaryz.		Wzorec informacji					
			0000	F708	0000	F708	0000	F708
			ODCZYT POJEDYNCZY.		ZAPIS AUTO		ZAPIS POJEDYNCZY.	
5ns	+	0	190V/100	190V/97	440V/SPZ	190V/0	440V/SPZ	300V/UG
		1	/90	/89		0	/SPZ	340V/UG
		2	/58	/100		2	/SPZ	330V/UG
	3	/117	/124		0	/SPZ	300V/UG	
	-	0	190V/102	190V/102	440V/SPZ	440V/SPZ	440V/SPZ	440V/SPZ
		1	/79	/78			/SPZ	/SPZ
2		/60	/109			/SPZ	/SPZ	
3	/118	/123			/SPZ	/SPZ		
35ns	+	0	160V/75	160V/81	450V/SPZ	520V/UG	520V/SPZ	520V/SPZ
		1	/61	/46			520V/SPZ	580V/SPZ
		2	/60	/54			520V/SPZ	640V/SPZ
	3	/92	/107			580V/UG	670V/SPZ	
	-	0	160V/73	160V/71	450V/SPZ	370V/SPZ	450V/SPZ	450V/SPZ
		1	/65	/51			450V/SPZ	450V/SPZ
2		/59	/76			450V/SPZ	450V/SPZ	
3	/100	/102			520V/SPZ	520V/SPZ		

Tabela 3.7

Polaryzacja impulsu		Głowica	OBWÓD ZAKŁÓCANY - INTERFEJS			
			Wzorec informacji			
			0000	F708	0000	F708
		Odczyt pojedynczy.		Zapis AUTO		
+	0	660V/4	680V/2	1200V/0	1200V/0	
	1	800V/3	750V/3			
	2	660V/2	650V/2			
	3	620V/14	550V/1			
-	0	640V/2	600V/1	1200V/0	1200V/0	
	1	820V/2	750V/1			
	2	660V/1	650V/6			
	3	600V/7	550V/5			

17

4. Analiza wyników i obserwacje

1. Na podstawie pomiarów można określić następujące poziomy zakłócalności badanych urządzeń:

dla ZAPISU

	PD	T	PD+T	Interfejs
zakłócenie impulsowe				
5/100 ns	1080 V	930 V	930 V	190 V
0,2/50 μ s	1200 V	1200 V	1200 V	1200 V
zanik napięcia sieci	22 ms	27 ms	-	-

O poziomie zakłócalności dla impulsów nanosekundowych decyduje poziom zakłócalności przy automatycznym zapisie czterema głowicami wzorca informacji różnego od zerowego. Wyraźna różnica w poziomach występuje dla obwodu interfejsowego / 190 V i 300 V/. Przy zakłóceniach o poziomie powyżej 930 V dla obwodów sieciowych i 300 V dla obwodu interfejsowego występują dodatkowe efekty: utraty gotowości PD, STOP na testerze, w czasie zapisu, lub STOP na przypadkowej ścieżce przy odczycie informacji. Dla impulsów dużej energii przy poziomie 1200 V występuje efekt STOP na przypadkowej ścieżce przy odczycie.

Przy zanikach napięcia sieci dla PD pierwsze objawy zakłóceń występują przy poziomie 22 ms dla zapisu automatycznego i głowicy nr 3, powyżej 25 ms działa zabezpieczenie wyłącznika K2.

Przy zanikach napięcia sieci testera pierwsze objawy występują przy poziomie 23 ms i polegają na zakłóceniu testera w postaci zmiany nastaw ACCESS, przy poziomie 32 ms występuje zerowanie nastaw testera.

dla ODCZYTU

	PD	T	PD+T	Interfejs
zakłócenia impulsowe				
5/100 ns	190 V	190 V	190 V	190 V
	gł.3 /70/	/56/	/57/	/124/
	gł.1 /44/	/3/	/13/	/90/
0,2/50 μ s	gł.3 500 V	700 V	350 V	550 V
	gł.1 700 V	350 V	400 V	750 V
zanik napięcia sieci	20 ms	27 ms	-	-

Przy najniższej amplitudzie symulowanych impulsów nanosekundowych wystąpiły objawy zakłóceń w postaci błędów zliczanych przez tester, liczba zarejestrowanych błędów podana w nawiasach. Przy stałym poziomie symulowanych zakłóceń/amplitudzie impulsów/ zdecydowanie najwięcej błędów rejestruje się dla głowicy nr 3. Więcej błędów występuje przy czytaniu wzorca informacji zerowej. Zauważono, że ze wzrostem poziomu zakłóceń liczba błędów wzrasta nieznacznie.

Intensywność rejestrowanych przez tester błędów uszeregowana od najczęstszych to ZEGAR, DANE, ADRES, DŁUGOŚĆ.

Dla zakłóceń impulsowych dużej energii niższe poziomy zakłócalności pomierzono dla odczytu informacji niezerowej i przy niesymetrycznym zakłócaniu obwodu sieciowego.

Podobnie jak dla zakłóceń nanosekundowych najniższy poziom zakłócalności występuje dla głowicy nr 3.

Przy zanikach napięcia sieci pierwsze objawy zakłóceń w postaci błędów wystąpiły przy poziomie 20 ms dla PD i poziomie 27 ms dla testera. Przy zanikach trwających ok. 25 ms działa zabezpieczenie wyłącznika K2 w PD. Tester zeruje się przy poziomie 27 ms, a przy poziomie 34 ms występują objawy utraty gotowości PD.

Przy symulacji wyładowań elektryczności statycznej ESD o najwyższym poziomie ok. 1 kV występują objawy utraty gotowości wycofania karetki na ścieżkę zerową lub błędy ZEGAR-i DANE.

2. Aktualnie brak jest obowiązujących dokumentów normalizacyjnych określających wymagane poziomy odporności urządzeń komputerowych. Dlatego do określenia wymaganych poziomów odporności wykorzystano projekty: PN-86/E-06600 [1] dla urządzeń automatyki i pomiarów przemysłowej w wykonaniu W0 /bez ochrony/ przeznaczonych do instalowania w ośrodkach ETO oraz "Materiał Metodyczny" [2] dla urządzeń SM EMC, opracowany przez ZSRR.

Poziom odporności na	PN	MM /red.3/
- zakłócenia impulsowe		
- ,nanosekundowe 5/50 ns		
w obwodzie sieci.	500 V /SN/	630 V /25/250 ns/
w obwodach interfejs.	250 V /SE/	-
- dużej energii 1,2/50 μ s		
w obwodzie sieci	500 V /SN,SS/	-
w obwodzie interfejs.	250 V/SM/	-
- krótkotrwałe zaniki napięcia sieci	20 ms /SS/	20 ms
- wyładowanie elektryczności statycznej ESD przy występowaniu w otoczeniu		
- materiałów antystatycznych	2 kV	2kV
- materiałów syntetycznych	8 kV	8kV
przy zakresie wilgotności wzgl. powyżej 40 %		

3. Porównując zalecane poziomy odporności z poziomem zakłócalności pomierzonym należy stwierdzić, że: pamięć dyskowa MERA 9450 spełnia wymagania odporności dla zakłóceń impulsowych dużej energii 1,2/50 μ s i zaników napięcia sieci. Pamięć nie spełnia wymaganych poziomów odporności dla zakłó-

ceń impulsowych nanosekundowych i wyładowań elektryczności statycznej. Pamięć wykazuje niską odporność dla zakłóceń impulsowych nanosekundowych przy funkcji odczytu /od strony sieci i interfejsu/ i zapisu /od strony interfejsu/.

W związku z niską odpornością PD na zakłócenia impulsowe nanosekundowe także odporność na wyładowania elektryczności statycznej jest niska. Podobne wnioski można sformułować dla prototypu testera.

5. Analiza układów i dodatkowe pomiary

W celu wyjaśnienia przyczyn niskiej odporności PD na zakłócenia impulsowe nanosekundowe dokonano szczegółowych oględzin połączeń zewnętrznych i wewnętrznych PD, analizy niektórych układów i wykonano dodatkowe badania.

1. Dołączenie PD do testera

Zwykle Jednostka Sterująca PD /jak i tester/ połączona jest z pamięcią kablem interfejsowym i przewodem wyrównującym potencjały obudów /uziemiającym/, zaś biegun ujemny głównego napięcia 5 V zasilającego JS i interfejs jest uziemiany lub zerowany. W związku z tym niekorzystne jest łączenie zacisków GND DE i GND AC w pamięci. Powoduje to, zależnie od jakości połączenia przewodu uziemiającego i jego impedancji, przepływ poprzez interfejs do testera /JS/ niekontrolowanych prądów zakłócających występujących w PD.

Wykonano następujące zmiany:

- w PD rozłączono zaciski GND DC i GND AC
- obudowy testera i PD połączono plecionką PL 6/10
- zacisk uziemiający testera połączono dodatkowym przewodem zerującym /2xPL10/6/ niezależnie od przewodu zerującego w kablu sieciowym testera
- nadmiar kabla interfejsowego zwinięto w pętlę o średnicy 150 mm
- odseparowano odległościowo kabel interfejsowy od przewodu uziemiającego i kabla sieciowego PD
- pokrywę PD uziemiono.

W rezultacie powyższych zmian uzyskano nieznaczne zmniejszenie liczby błędów dla odczytu, ale znacznie zwiększono ich powtarzalność.

2. Obwód sieciowy PD

Stwierdzono, że filtr przeciwzakłóceńowy FL1 jest włączony odwrotnie niż na schemacie Rys. 3.2.1 DTR /indukcyjnościami w stronę PD, a nie w stronę sieci zasilającej/. Skuteczność tłumieniowa zakłóceń z obwodu sieciowego wzrasta przy włączeniu filtra indukcyjnościami w stronę sieci.

Stwierdzono, że obwody sieciowe wewnętrzne są rozproszdzone wiązką sieciową i poprowadzone wspólnymi trasami z innymi wiązkami obwodów o niskim poziomie, obwodami zasilania i sygnałowymi.

Dla zakłóceń o charakterze impulsowym, szczególnie o nanosekundowych zbroczach, taki sposób prowadzenia zapewnia skuteczne sprzężenie zakłóceń.

między obwodem sieciowym i pozostałymi, niweczy skuteczność zastosowanych środków przeciwzakłóceń w zasilaczu /np. ekran w transformatorze sieciowym/.

Proponuje się, aby w pierwszym etapie poprawy odporności wprowadzić ekranowanie wiązki sieciowej PD, zrealizowane przez naciągnięcie odpowiedniego przewodu PL, a następnie osłonięcie koszulką izolacyjną.

Przeprowadzone badanie dodatkowe przy częściowym zaekranowaniu wiązki folią aluminiową potwierdziło celowość wprowadzenia takiej zmiany.

3. Obwody zasilania wewnętrznego PD

Na podstawie schematów montażowych i oględzin stwierdzono niekorzystne rozprzewadzenie obwodów zasilania, w szczególności występowanie pętli wyrównawczych potencjału 0V.

Proponuje się aby konsekwentnie przestrzegać zasady, że potencjałem odniesienia obwodów zasilania i interfejsu jest potencjał szyny 0 V na płycie plateru PL2. Stąd należy przerwać połączenia 0 V w wiązce między złączami plateru i wzmacniacza 8J8 - 7J1 przez odłączenie ich przy złączu 8J8 i ewentualnym ich pozostawieniu jako ekranów.

Proponuje się aby wprowadzić dodatkowy przewód 0 V dla obwodów kondensatorów C1 i C2 /+24 V/ bezpośrednio łączący zasilacz, np. LZ7, do odpowiednich biegunów C1 i C2 i poprowadzony wspólną trasą /a nawet skręcony z przewodami +24 i -24 V/.

Przewód ten wyeliminuje z głównego przewodu 0 V łączącego zasilacz /OLZ10/ i plater /BZ2/ znaczne prądy dynamiczne obwodu filtracyjnego i prądy dynamiczne. Przy szukaniu, błędne będzie połączenie C1 do GNDDC.

Proponuje się aby przewody głównego obwodu zasilania +5 V 0 V i -5 V poprowadzić wspólną trasą, np. razem skręcić.

4. Pakiet PD-DZ

Podczas zakłócania obwodu sieciowego PD przeprowadzono obserwację sygnału blokady bramek B1-3 i B1-11 w p.p. BK. Stwierdzono, że podczas zakłócania występuje on przypadkowo, synchronicznie z zakłóceniami, powoduje przerwy w nadawaniu sygnałów READ DATA i READ CLOCK.

Proponuje się, aby po etapie porządkowania zasilania przeprowadzić analizę i szczegółowe obserwacje działania układów synchronizacji i separatora danych i zegara.

5. Poziomy sygnałów odczytu głowic

Dla wyjaśnienia różnic zakłócalności odczytu z poszczególnych głowic dokonano pomiarów poziomu sygnałów odczytu za wzmacniaczem pp BA-BB. Pomiarów wykonano oscyloskopem OS710 /A-B/ dla informacji zerowej i jedynkowej oraz różnych ścieżek.

Podane wartości sygnału w [Vpp.]

	inform.	ścieżka 0	ścieżka 128	ścieżka 203
G0	0	3,9	3,6	3,1
	1	4,0	3,6	2,6
G1	0	5,4	4,2	3,2
	1	4,4	3,4	2,3
G2	0	3,2	2,8	2,8
	1	3,6	2,6	2,8
G3	0	2,1	1,2	1,0
	1	1,5	0,6	0,4

Wynik pomiaru potwierdza zależność poziomu zakłócalności odczytu z różnych głowic od poziomu sygnału głowicy. Dla określonego poziomu zakłóceń odczyt głowicą ^{nr3} o najniższym sygnale roboczym jest obciążony największymi błędami. Proponuje się aby wniosek dotyczący ustalenia wymaganego poziomu sygnału z głowicy, wymaganej jakości głowicy, ustalić na zakończenie prac poprawy odporności PD.

6. Wnioski

1. Przeprowadzone badania zakłócalności pamięci dyskowej MERA 9450 we współpracy z prototypem "Testera kontroli ostatecznej pamięci dyskowej" wykazały że w świetle proponowanych wymagań w "Materiale Metodycznym" [2] i PN-86/E-06600 [1] pamięć dyskowa MERA 9450 spełnia wymagania poziomu odporności 500 V na zakłócenia impulsowe dużej energii 1,2/50 μ s i zaniki napięcia sieci trwające 20 ms /jeden okres sieciowy/. Nie spełnia wymagań poziomu odporności na zakłócenia impulsowe nanosekundowe i wyładowanie elektryczności statycznej, szczególnie dla funkcji odczytu. Uzyskane wyniki potwierdzają obserwacje eksploatacyjne i spostrzeżenia producenta o niskiej odporności PD na zakłócenia impulsowe.
2. Przy aktualnym wykonaniu PD MERA 9450 stosując tylko zewnętrzne środki przeciwzakłóceniami nie jest możliwe podwyższenie poziomu odporności do poziomu wymaganego /zadowalającego/. Konieczne jest wprowadzenie zmian konstrukcyjnych w pamięci dyskowej.
3. Jak wykazały badania nieznaczną poprawę odporności, ale zapewniającą stabilność wyników, można uzyskać na drodze uporządkowania dołączenia PD do testera /jednostki sterującej/. Proponuje się aby producent w trybie roboczym wprowadził następujące zalecenia instalacyjne:
 - usunąć połączenie GND DC i GND AC w PD, kontrolować jakość połączeń osłon z konstrukcją,
 - obudowę PD łączyć z jednostką sterującą /testerem/ przewodem o najkrótszej długości o niskiej impedancji dla wysokich częstotliwości, np. przewodem PL10 w osłonie izolacyjnej,

- trasa kabla interfejsowego powinna być odseparowana odległościowo od trasy kabla sieciowego i przewodu uziemiającego obudowy. Nadmiar kabla interfejsowego powinien być zwinięty w pętlę o małej średnicy;
 - kontrolować jakość wykonanego połączenia uziemiającego /zerującego/ w jednostce sterującej; wymagania jak dla przewodu łączącego obudowę PD,
 - na stanowisku kontroli ostatecznej PD z testerem wprowadzić dodatkowe uziemienie /zerowanie/ testera o niskiej impedancji; zasilanie sieciowe PD realizować z pominięciem gniazd sieciowych na testerze.
4. Należy przeprowadzić kontrolę układów testera w celu wyeliminowania wadliwej współpracy z PD przy odczycie informacji zerowej z automatycznym wyborem głowic i zapewnienia działania układów kontrolnych wyprowadzonych na punkty pomiarowe testera.
5. Proponuje się następującą kolejność prac podwyższania poziomu odporności PD MERA 9450:
- a/ zaekranowanie wiązki sieciowej /p.5.2/
 - b/ uporządkowanie obwodów zasilania wewnętrznego /p.5.3/
 - c/ analiza i poprawa odporności układów pakietów /p.5.4/
 - d/ sprawdzenie odporności PD we współpracy z typowym układem jednostki sterującej, ewentualna poprawa odporności od strony interfejsu -
 - e/ określenie wymagań na głowice /p.5.5/ i instalację PD.

Należy podkreślić, że wymienione prace mogą być wykonywane jedynie w ścisłej współpracy MERA PIAP i FMiK "Era". W szczególności prace objęte pkt 5.c/ będą wymagały udziału w badaniach konstruktorów oraz wykorzystania analizatora stanów będącego w posiadaniu zleceniodawcy.