

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW
MERA-PIAP
Al. Jerozolimskie 202 02-222 Warszawa Telefon 23-70-81

Ośrodek Badań Niezawodności i Jakości

440 Grupa Problemowa d/s Kompatybilności Elektromagnetycznej BE-10

Główny wykonawca

Wykonawcy mgr inż. Cz.Godzisz, tech.tech. B.Drałus, K.Tekieli.

Konsultant mgr inż.inż. K.Stefański, J.Zakolski.

Nr zlecenia
9459D et. 22.

Opracowanie pakietu interfejsu V24 /MI24/
i pakietu wejść częstotliwościowych.
Badania odporności na zakłócenia pakietów
MI24 i MC50.

Zleceniodawca OAE - praca własna

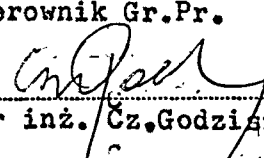
Pracę rozpoczęto dnia 86.04.01

Kierownik Gr.Pr.

Z-ca Dyrektora
d/s Pomiarów

zakończono dnia 86.06.30

Kierownik OBN


mgr inż. Cz.Godzisz.


dr inż. J.Winiecki


dr inż. St.Budzyński

Praca zawiera:

Rozdzielnik - ilość egz:

stron 14

Egz. 1 BOINTE

rysunków 4

Egz. 2 OAE

fotografii -

Egz. 3 OBN/KEM

tabel 2

Egz. 4 OBN

tablic -

Egz. 5

załączników -

Egz. 6

Nr rejestr. 5612

Nie udostępniać do wglądu!

Analiza deskryptorowa

AUTOMATYKA I POMIARY PRZEMYSŁOWE: URZĄDZENIA INTEL DIGIT PROWAY:
KOMPATYBILNOŚĆ ELEKTROMAGNETYCZNA + BADANIA ZAKŁÓCALNOŚCI.

Analiza dokumentacyjna

Sprawozdanie zawiera wyniki badań zakłócalności pakietu MI24 /dwa kanały z interfejsem V24/ i pakietu MC /osiem kanałów we/wy częstotliwościowych/ systemu INTEL DIGIT PROWAY. Sprawozdanie podaje analizę rozwiązań konstrukcyjnych pakietów i wnioski dot. podwyższenia poziomów odporności pakietów na zakłócenia impulsowe nanosekundowe.

Tytuły poprzednich sprawozdań i dokumentacji

- 1 Badania zakłócalności i podwyższenie poziomu odporności kasety INTEL DIGIT PROWAY z ośmioma prototypami pakietów. Badania zasilacza MZ21. Określenie poziomu odporności urządzeń. - PIAP nr rej. 5439
- 2 Badania zakłócalności i podwyższenie poziomu odporności kasety INTEL DIGIT PROWAY z ośmioma prototypami pakietów. - PIAP nr rej 5555
- 3 Dokumentacja DTR pakietu MI24. - nr rej. 5341
- 4 Dokumentacja konstrukcyjna i DTR pakietu MC50. nr rej. 5441 /nr arch.4571/, nr arch. 4572
- 5 Opracowanie testu do badań pełnych. nr rej. 5479
- 6 PN-86/E-06600 /projekt/

UKD

PIAP-252/03-6000

S P I S T R E Ś C I

	str.
1. Wstęp	1
2. Ogólna charakterystyka pakietów i wymagania KEM	1
3. Konfiguracja i połączenia badanych pakietów	2
4. Programy testowe i procedura badań	3
5. Wyniki pomiarów i prac dla pakietu MI24	4
5.1. Wyniki pomiarów odporności	4
5.2. Lista wprowadzonych zmian	6
5.3. Analiza rozwiązań konstrukcyjnych i układowych	6
5.4. Ocena wyników i konstrukcji pakietu	7
6. Wyniki pomiarów i prac dla pakietu MC50	8
6.1. Wyniki pomiarów odporności	8
6.2. Lista wprowadzonych zmian	8
6.3. Analiza rozwiązań konstrukcyjnych i układowych	10
6.4. Wyniki dodatkowych pomiarów	11
6.5. Ocena wyników i konstrukcji pakietu	13
7. Wnioski	14
8. Spis rysunków	
Rys. 5.3 Przykładowe prowadzenie ścieżek sygnałów TxD i RxD na pakiecie MI24	
Rys. 6.3.1 Układy wejściowe i wyjściowe pakietu MC50	
Rys. 6.3.2 Obciążenie linii danych DO...D7 w pakiecie MC50	
Rys. 6.4 Układ pomiarowy i interpretacja czasów opóźnienia i czasów trwania	

1. Wstęp

Sprawozdanie zawiera wyniki badań zakłócalności oraz prac wykonanych w celu podwyższenia poziomu odporności pakietów MI24 [3] i MC50 [4].

Badania KEM przeprowadzono metodami i w warunkach badań poprzednich urządzeń: systemu INTEL DIGIT PROWAY [1,2].

Sprawozdanie podaje listę zmian w pakietach, ocenę wyników badań i analiz rozwiązań konstrukcyjnych pakietów, wnioski.

2. Ogólna charakterystyka pakietów i wymagania KEM

Pakiet MI24 jest przeznaczony do sprzężenia z systemem INTEL DIGIT PROWAY urządzeń z interfejsem V24 lub interfejsem szeregowym 0/20 mA. Pakiet zawiera dwa kanały sprzęgające wyprowadzane na złącza obiektowe C i E.

Kanały interfejsu V24 zrealizowano bez oddzielenia galwanicznego specjalizowanymi układami nadajnika /75110/ i odbiornika /75154/.

Kanały interfejsu szeregowego zrealizowano z oddzieleniem galwanicznym na transoptorach.

Interfejs V24 przeznaczony jest do transmisji informacji na krótkie odległości /lokalnej/, interfejs szeregowy do transmisji informacji na odległość do 1,5 km.

Pakiet MC50 zawiera osiem kanałów obiektowych wejściowych lub wyjściowych o indywidualnie programowanej funkcjonalności. Każdy kanał może:

- jako kanał wejściowy:
 - zliczać liczbę impulsów wejściowych
 - mierzyć częstotliwość impulsów wejściowych
 - mierzyć czas trwania impulsu wejściowego
- jako kanał wyjściowy:
 - generować zadaną liczbę impulsów
 - generować ciąg impulsów o zadanej częstotliwości i wypełnieniu
 - generować impuls o zadanym czasie trwania

Każdy kanał posiada układy we/wy o poziomie wysokim sygnału z oddzieleniem galwanicznym /GI/ na transoptorach /wyprowadzone odpowiednio na złącza obiektowe C i D/ oraz układy we/wy o poziomie TTL wyprowadzone na złącze obiektowe E. Zadeklarowana w dokumentacji pakietu częstotliwość maksymalna sygnału wejściowego wynosi 50 kHz. Brak jest deklaracji dotyczącej parametrów linii obiektowej i dopuszczalnej długości linii.

Zgodnie z wymaganiami PN [6] i przyjętymi kryteriami oceny pakietów poprzednio badanych [2], wymagane poziomy odporności dla pakietów MI24 i MC50 wynoszą:

- dla obwodów zasilanie kasety przy zakłóceniach impulsowych
 - nanosekundowych 5/50 ns 2 kV SN10
 - dużej energii 1,2/50 μ s /8/20/ 2 kV SN30 i SS30
- dla obwodów interfejsowych przy zakłóceniach impulsowych
 - nanosekundowych 5/50 ns 1 kV SE10
 - dużej energii 1,2/50 μ s /8/20/ 1 kV SM30
 - ciągłych o częstotliwości sieci 20 A SM50

Ponieważ badania przeprowadzono przy zastosowaniu generatorów zakłóceń zastępczych, generujących niższe amplitudy zakłóceń, przyjęto zgodnie z ustaleniami [2]:

- dla obwodu zasilania sieciowego kasety
 - poziom > 1500 V 5/100 ns SN1
 - poziom > 1100 V 1,2/50 μ s SN30 i SS30
- dla obwodów interfejsowych obiektowych
 - poziom 1000 V 5/100 ns SE10
 - poziom 1000 V 1,2/50 μ s SM30
 - poziom 20 A 50 Hz SM50

3. Konfiguracja i połączenia badanych pakietów

Badania pakietów przeprowadzono w kasecie INTELDIGIT PROWAY [1] z urządzeniami MZ21, MM80, MW30, w których wprowadzono zmiany wynikające z badań i poprawy odporności KEM [2].

W czasie badań wykorzystywano urządzenia peryferyjne, monitor ekranowy z klawiaturą typ ZEKOM oraz czytnik CT2100, który odłączano po wprowadzeniu programu do pamięci jednostki centralnej MM80.

Badane pakiety umieszczano na stanowisku 07 i/lub 13 kasety.

Pakiet MI24 dostarczony do badań posiadał następujące połączenia krosowe /oznaczenie krosu i punkty krosowe/:

h/2-3/, r/3-4/, F/1-4/, E/3-2/, C/1-2/, K/2-3/, L/1-2/, A/2-13,4-11,7-8/, m/5-7,1-10-9,6-2,8-3/, o /przy elemencie A10 13-14-15-16-17/, n/15-1/, o /przy elemencie A11 9-10-11-12-17-18/, o /przy elemencie B7 4-3-17, 1-2-18/, o /przy elemencie B8 5-8-17,6-7-18/, n /przy elemencie B7 4-18 przy B8/.

Interfejs pakietu połączono dwoma parami skręcanych przewodów o długości ok. 2m

C7/T/ - E23/R/

C8/oV/ - E7/oV/

C4/R/ - E20/T/

C8/oV/ - E7/oV/

dotatkowo połączono zworami styki złącz C6-C16, E12-E10.

Pakiet MC50 dostarczony do badań posiadał następujące połączenia krosowe na pakiecie:

G3/8-9/, E1/4-13/, B2/8-9/, B3/4-13/, 7-10/, B6/1-16, 4-13, 5-12/, B7/1-16, 6-11/
oraz dodatkowe połączenie B2/6/ - PP/9/ i odłączony przewód od złącza obiektowego D13.

Interfejs pakietu połączono parą skręcanych przewodów o długości ok. 2 m

- dla interfejsu o poziomie TTL

E18 - E/17-16-15-5-4-3-2/ /sygnał/

E22 - E13 /0 V/

- dla interfejsu z oddzieleniem galwanicznym

C24 - D/2-19-20-21-24-25/ /sygnał we+/

C13 - D/1-7-8-9-10-11-12-13/ /sygnał we-/

C25 zasilacz 24 V+

C13 zasilacz 24 V-

4. Programy testowe i procedura badań

Podstawowym programem testowym pakietów był wielozadaniowy test pakietu MI24 i pakietu MC50 [5]. Test w części dotyczącej obsługi pakietu MI24 realizuje:

- wysłanie zadanej informacji przez kanał 1 do kanału 2
- odbiór informacji przez kanał 2
- wysłanie przez kanał 2 do kanału 1 informacji odebranej uprzednio przez kanał 2
- odbiór informacji przez kanał 1.

W przypadku niezgodności informacji zadanej i odebranej przez kanał 1 powiększa się stan programowego licznika błędów. W przypadku braku odbioru informacji przez kanał 1 w czasie 6 sek powiększa się stan licznika time-outów.

Liczba przeprowadzonych prób jest rejestrowana w programowym liczniku prób.

Test w części dotyczącej obsługi pakietu MC50 realizuje:

- zaprogramowanie i wysłanie zadanej liczby impulsów przez licznik L7 do liczników L0...L6
- odczyt stanów liczników L0...L6

W przypadku niezgodności informacji odczytanej z dowolnego licznika i zadanej powiększa się stan programowego licznika błędów.

Liczba przeprowadzonych prób jest rejestrowana w programowym liczniku prób MC50.

Test działa repetycyjnie, stany liczników dla obu pakietów wyświetlane są na monitorze ekranowym na żądanie operatora.

Przy badaniach dodatkowych pakietu MC50 wykorzystano specjalizowany test MC50KEM o funkcjonalności podstawowej jak wyżej, z tym, że:

- zadawane są dwie informacje o małej i dużej wartości, przemiennie
- w przypadku poprawności działania dla każdej próby wyświetlany jest znak OK

- w przypadku wystąpienia błędów w odczytanej informacji z dowolnego licznika na monitorze wyświetlane są stany liczników LO...L7.

W trakcie dalszych badań ten test podlegał dalszej modyfikacji w celu umożliwienia określenia układów o najniższej odporności.

Podstawowa procedura badań polegała na wykonaniu następujących czynności:

- wczytaniu programu testowego, uruchomieniu testu i sprawdzeniu poprawności działania pakietów w czasie 2 min w warunkach bez zakłóceń
- włączeniu zakłóceń do odpowiedniego obwodu zakłócanego na czas narażenia ok. 2 min
- odczyt stanów liczników prób, błędów itp. w warunkach ~~z~~ zakłóceń.

Za kryterium odporności pakietu przyjęto poziom zakłóceń, przy którym po 2 min narażeniu stany liczników błędów i time-outów były zerowe, a liczba prób odpowiadała liczbie prób realizowanych przez 2 min w warunkach bez zakłóceń.

Zakres badań obejmował pomiary odporności pakietów przy zakłócaniu obwodu sieciowego kasety /metoda SN1, SN30, SS30/ oraz przy zakłócaniu obwodu interfejsowego, kabla interfejsowego /metoda SE1, SM30, SM50/.

Przy pracach podwyższających odporność głównym kryterium oceny skuteczności wprowadzonej zmiany były pomiary odporności pakietu dla impulsów nanosekundowych 5/100 ns.

Każda wprowadzona zmiana wymagała przeprowadzenia pomiarów odporności od strony zasilania sieciowego kasety i od strony interfejsu, obu interfejsów dla MC50.

W celu ułatwienia identyfikacji układów o najniższej odporności przeprowadzono dodatkowe pomiary odporności dla różnych stromości impulsów.

Typowy zakres badań zawierał pomiar odporności

- w przypadku pakietu MI24:

- od strony sieci kasety
- od strony interfejsu V24

- w przypadku pakietu MC50:

- od strony sieci kasety przy interfejsie TTL
- od strony sieci kasety przy interfejsie z wysokim poziomem sygnału
- od strony interfejsu TTL
- od strony interfejsu z wysokim poziomem sygnału, z oddzieleniem galwanicznym /IG/.

Dla pakietu MI24 nie wykonywano badań dla interfejsu szeregowego, ponieważ nie posiadał on uruchomionych we/wy /brak rezystorów p.p.5.3.6/.

5. Wyniki pomiarów i prac dla pakietu MI24

5.1. Wyniki pomiarów odporności

Pełne wyniki pomiarów dla pakietu zawiera zeszyt pomiarów KEM MI24/MC50/86.

W niniejszym punkcie zestawiono wybrane wyniki przedstawione w postaci poziomów odporności pomierzonych dla pakietu w stanie pierwotnym, po kolejnych wpro-

dzonych zmianach i ostateczny wynik uzyskany do momentu przerwania badań na wnioszek OAE /pismo z dn. 86.05.16/.

1/ odporność pakietu dostarczonego do badań KEM wynosiła:

- od strony sieci kasety 375 V /SN1/
- od strony interfejsu V24 < 190 V /SE1/

Przy zakłócaniu interfejsu najniższym poziomem zakłóceń wystąpiło 30 % prób błędnych oraz przypadki przekroczenia czasu obsługi /1 time-out na 30 prób/ i przerwania realizacji programu.

2/ kolejno wprowadzane zmiany dały następujące zmiany w odporności impulsowej pakietu:

zmiana	sieć /SN1/	interfejs /SE1/
Z1	770 V	< 190 V
Z1+Z2+Z3	1500 V	250 V
Z1+Z2+Z3+Z4	> 1500 V	270 V

3/ na podstawie analizy wyników i dodatkowych badań stwierdzono, że:

- poziom odporności pakietu od strony sieci /pakiet bez zmian/ zależy od wielkości pętli utworzonej przez kabel interfejsowy. Przy kablu zwiniętym w pętlę o małej średnicy blisko złącza C odporność wzrasta do poziomu 1500 V,
- bezpośrednie przyłączenie przewodów linii do nadajnika i odbiornika C8 i C9 z pominięciem długich ścieżek do tych elementów od złącza E /odcięcie ścieżek przy elemencie/ zapewnia poziom odporności od strony sieci 1300 V od strony interfejsu poniżej 190 V,
- wprowadzenie uziemianego ekranu na kablach interfejsowych /ekran typu PL uziemiany do obudowy kasety/ nieznacznie wpływa na poziomy odporności pakietu.

4/ niezadowalająca poprawa odporności /szczególnie dla interfejsu/ przy kolejnych próbach zmian oraz stwierdzone niezgodności wykonania pakietu z dokumentacją, wymusiły wykonanie analizy połączeń na płycie drukowanej pakietu. Wyniki tych prac opisano w p.5.3.

5/ ostateczny wynik poprawy odporności obejmujący zmiany od Z1 do Z4 określony poziomem odporności przedstawia się następująco:

odporność pakietu na zakłócenia od strony sieci kasety:

- zakłócenia impulsowe 5/100 ns > 1500 V /SN1/
- zakłócenia impulsowe 1,2/50 μ s 1100 V /SN30, SS30/

odporność interfejsu V24 pakietu dla zakłóceń:

- impulsowych nanosekundowych 5/100 ns 270 V /SE1/
- impulsowych dużej energii 1,2/50 μ s /8/20/ 1000 V /SM30/
- ciągłych sinusoidalnych o częstotliwości sieci > 50 A /SM50/

Powyższe poziomy określono jedynie dla interfejsu V24 gdyż interfejs szeregowy nie był uruchomiony /p.5.3/.

5.2. Lista wprowadzonych zmian

- Z1 - Przyłączenie wiszących wejść programowych liczników B7, B8, A11 do 0 V lub do rezystorów polaryzujących, blokada potencjałów kondensatorami ceramicznymi /2x33 nF/
- Z2 - Powiększenie pętli histerezy charakterystyki wejściowej odbiorników /75-154/ przez połączenie nóżek 14-15 w elementach A3, A1, C8
- Z3-- Odsprężenie długich ścieżek obwodów interfejsowych złącza C i E kondensatorami ceramicznymi 33 nF włączonymi przy złączach obiektowych: E13-7, E11-7, E10-7, E9-7, E8-7, E23-7, E22-7, E21-7, E20-7, C5-8 /10x33 nF/
- Z4 - Zablockowanie obwodu zasilania pakietu -5 V kondensatorem elektrolitycznym 33 uF i kondensatorem ceramicznym 56 nF włączonymi przy złączu magistrali B31 /2xC/.

5.3. Analiza rozwiązań konstrukcyjnych i układowych

Dla wyjaśnienia niskiej odporności pakietu przeprowadzono analizę rozwiązań konstrukcyjnych pakietu. Analizę oparto głównie na oględzinach pakietu, ponieważ stwierdzono bardzo liczne niezgodności dokumentacji z rzeczywistym wykonaniem pakietu.

1. Interfejs kanału 1 jest wyprowadzany na złącze obiektowe C. We/wy kanału obsługują elementy A1, A2, A3, A4, A5, A8 oraz transoptory I1, I2 i tranzystor T1.

Interfejs kanału 2 jest wyprowadzony na złącze obiektowe E. We/wy kanału obsługują elementy C8, C9, C10, C11, B6, I2, I3, T2. Błędne rozmieszczenie elementów obsługi kanału 2, przy złączu magistrali kasety, spowodowało konieczność prowadzenia długich ścieżek. Ścieżki te nie są odseparowane od połączeń wewnętrznych, dodatkowo obejmują one łańcuch liczników 74193 /B7, B8, A11/ tworzący dzielnik częstotliwości.

Przykładowe prowadzenie ścieżek pokazano na rys. 5.3.

Trasy ścieżek sprzyjają propagacji zakłóceń z obwodów obiektowych do układów wewnętrznych. W celu zmniejszenia wpływu zaproponowano zmianę Z3.

2. Niewykorzystane wejścia programowe liczników 74193 /A11, B7, B8/ nie są połączone do zadanych potencjałów o poziomie L lub H. Rezystory polaryzujące wejścia dla stanu H nie są zablockowane pojemnościami.

W celu wyeliminowania błędów zaproponowano zmianę Z1.

3. Na podstawie analizy danych katalogowych dotyczących odbiornika 75154 stwierdzono, że w zrealizowanym na pakiecie połączeniu tych elementów zapewnia się zawężoną pętlę histerezy charakterystyki wejściowej. W celu wyeliminowania błędu zaproponowano zmianę Z2. Zmiana ta zapewniablisko czterokrotne zwiększenie marginesu zakłóceń.

4. Stwierdzono, że obwód zasilania -5V w pakiecie nie jest zablokowany pojemnościami. Wprowadzona zmiana Z4 zapewnia zmniejszenie wpływu zakłóceń z obwodu interfejsowego na obwody zasilania kasety. Po wprowadzeniu zmiany w czasie dalszych badań nie zaobserwowano zakłóceń realizacji programu.
5. Na podstawie analizy połączeń z rys. 5.3 stwierdza się czterokrotne przeciążenie wyjścia TxD elementu 7851. Przy dopuszczalnym obciążeniu wyjścia 2,2 mA /w stanie L/ na pakiecie występuje obciążenie ok. 9 mA. Wylimitowanie błędu wymaga dodatkowych bramek.
6. Stwierdzono liczne niezgodności schematów, dokumentacji z rzeczywistym wykonaniem pakietu dostarczonym do badań KEM. Przykładowo, w oznaczeniach styków złącz C i E, oznaczeniach krosów i elementów. Brak jest zamontowanych rezystorów w obwodach interfejsu szeregowego, co świadczy o niepełnym uruchomieniu pakietu. Występują liczne dodatkowe połączenia przewodowe i zmiany w druku /naliczono ok. 25 dodatkowych połączeń/.
Na pakiecie występuje ok. 16 pól krosowych, są one trudne do zidentyfikowania i właściwej obsługi przez użytkownika.
7. Wyprowadzenia obwodów we/wy obu kanałów na złącza obiektowe C i E nie są jednakowe. Brak jest racjonalnych przesłanek do takiej realizacji.

5.4. Ocena wyników i konstrukcji pakietu

1. Prototyp pakietu MI24 cechuje się bardzo niską odpornością na zakłócenia impulsowe i nie spełnia wymagań KEM dla urządzeń systemu INTEL DIGIT PROWAY.
2. Wprowadzenie zmian Z1 do Z4 wymaga zastosowania 14 dodatkowych elementów /kondensatorów/ i wykonania znacznych zmian w montażu płytki, zapewnia jedynie uzyskanie wymaganego poziomu odporności od strony zasilania sieciowego kasety przy wykorzystaniu interfejsu V24. Należy przypomnieć, że podobny interfejs szeregowy w pakiecie MM80 zapewnia trzykrotnie wyższą odporność transmisji informacji [2].
3. Błędy projektowe i konstrukcyjne dotyczące rozmieszczenia elementów i prowadzenia ścieżek, przeciążenia wyjść elementów 7851, liczne niezgodności pomiędzy dokumentacją pakietu i jego wykonaniem, nie-uruchomione we/wy kanału szeregowego /stwierdzone w p.5.3/ dyskwalifikują konstrukcję pakietu dla celów automatyki i pomiarów i do wprowadzenia pakietu do urządzeń INTEL DIGIT PROWAY.
4. Biorąc pod uwagę powyższe oceny proponuje się:
 - wstrzymać produkcję pakietu MI24 wg dokumentacji nr rej. 5340 i DTR nr rej. 5341,
 - opracować nowe rozwiązanie pakietu.Wniosek o wstrzymanie produkcji MI24 przekazano w piśmie OBN do OAE z dnia 86.04.16.
Przy projektowaniu nowego pakietu należy jednoznacznie określić: wymagania

na interfejs V24 w tym: długość i rodzaj linii transmisji, typowe zastosowania w systemie, wybrać rodzaj linii /symetryczny lub/i niesymetryczny/, rozmieszczenie sygnałów na złączach obiektowych, rodzaj złącz.

6. Wyniki pomiarów i prac dla pakietu MC50

6.1. Wyniki pomiarów odporności

Pełne wyniki pomiarów dla pakietu zawiera zeszyt pomiarów KEM MI24/MC50/86. W niniejszym punkcie przedstawiono wybrane wyniki ilustrujące problematykę poprawy odporności pakietu dla kolejnych wprowadzanych zmian.

1. Odporność pakietu dostarczonego do badań KEM /stan ZO/ wynosiła:

- od strony sieci zasilającej kasetę
 - przy interfejsie TTL 805 V /SN1/
 - przy interfejsie GI < 190 V /SN1/
- od strony interfejsów
 - interfejsu TTL < 190 V /SE1/
 - interfejsu GI < 190 V /SE1/

2. Wyniki pomiarów dla kolejno wprowadzanych zmian zestawiono w tabl. 6.1.

3. Przy wprowadzonych zmianach Z1, Z2, Z3, Z5, Z6, Z8, Z9 pomierzona odporność dla zakłóceń impulsowych 1,2/50 μ s wynosiła:

- od strony sieci dla obu interfejsów > 1100 V /SN30,SS30/
- od strony interfejsu TTL 400 V /SM30/
- od strony interfejsu GI > 1100 V /SM30/

Przy zakłócaniu interfejsów sygnałem ciągłym sinusoidalnym 50 Hz odporność > 50 A /SM50/.

4. Minimalny zakres zmian w pakiecie konieczny do osiągnięcia wymaganych poziomów odporności wymaga wprowadzenia zmian Z1, Z2, Z3, Z5, Z9, Z10 /24 dodatkowe elementy/.

6.2. Lista wprowadzanych zmian

- Z1 - Blokowanie kondensatorami ceramicznymi szyn zasilających układy we/wy pakietu, przy elementach H1, H3, T10, T16, /4x56 nF/
- Z2 - Wprowadzono kondensatory odsprzęgające bazy tranzystorów wejściowych T9...T16 /8x10 nF/
- Z3 - Blokowanie kondensatorem ścieżki polaryzującej wejścia przy R107 /1x56 nF/
- Z4 - Blokowanie kondensatorem ścieżki polaryzującej wejścia przy R105 /1x10nF/
- Z5 - Rozdzielono na dwie grupy wejścia polaryzowane rezystorem R107, przecięcie ścieżkę przy elemencie G8, dodano rezystor R107d 1 k przy elemencie G6 i kondensator 56 nF /1 k, 56 nF, przecięcie ścieżki/
- Z6 - Wlutowano brakujące rezystory polaryzujące szyny danych R1...R8 /8x10 k/
- Z7 - Blokowanie zasilania elementów H3, E2, C4, D4, C5 kondensatorami ceramicznymi /5x56 nF/

11

Tabela 6.1

Pomierzony poziom odporności dla zakłóceń nanosekundowych 5/100 ns /test MI24, /MC50/

Lp.	Wprowadzone zmiany	Zakłócana sieć przy interfejsia /SN1/		Zakłócany interfejs	
		TTL	GI	TTL	GI
1	Z0	800	< 190	< 190	< 190
2	Z1, Z2	700	540	190	920
3	Z1, Z2, Z3, Z5	1200	770	< 190	760
4	Z1, Z2, Z3, Z5, Z6, Z7	760	800	< 190	370
5	Z1, Z2, Z3, Z5, Z6, Z7, Z8, Z9	930	870	< 190	370
6	Z1, Z3, Z5, Z6, Z8, Z9, Z10	1500	1080	1080	370
7	Z1, Z3, Z5, Z6, Z9, Z10, Z4, Z8	1500	1080	1080	370
8	Z1, Z3, Z5, Z6, Z8, Z9, Z10, Z11	1500 /1500x/	1380 /1380x/	1080 /1380x/	540 /440x/
9	Z1, Z3, Z5, Z6, Z8, Z9, Z10, Z12, Z13	-	1500	-	870
10	Z1, Z3, Z5, Z6, Z8, Z9, Z10, Z12, Z13, Z12a test MC50/KEM f=2,5 kHz	-	1500 ^x	-	930 ^x
11	Z1, Z2, Z3, Z5, Z6, Z9, Z10, Z13 /MC50/KEM	1500 ^x	1500 ^x	1330 ^x	1330 ^x

^x - poziomy określone przy teście MC50/KEM.

- Z8 - Blokowanie kondensatorem ścieżki polaryzującej wejścia przy rezystorze R106 /1x56 nF/
- Z9 - Odsprężenie kondensatorem długiej ścieżki ze złącza E25 przy elemencie G8 /1x10 nF/
- Z10 - Wprowadzono kondensatory na węzły sumujące układów wejściowych kolektory tranzystorów T9...T16 /8x10 nF/
- Z11 - Odłączono rezystory BE transoptorów i zablokowano bazę transoptora przez 82 pF do 0 V
- Z12 - j.w. z kondensatorami 1,5 nF
- Z12a - j.w. z przyłączonymi rezystorami BE w transoptorach
- Z13 - Obniżono częstotliwość zegara z 10 kHz na 2,5 kHz.

6.3. Analiza rozwiązań konstrukcyjnych i układowych

W celu wyjaśnienia niskiej odporności pakietu przeprowadzono szczegółową analizę niektórych fragmentów układu na podstawie schematów oraz na podstawie oględzin rzeczywistego wykonania pakietu /rys. 6.3.1/.

1. Stwierdzono niezgodność wykonania pakietu z dokumentacją w następujących układach:
 - a/ układ wyjściowy GI o innej konfiguracji
 - b/ brak rezystorów R1...R8 polaryzujących linie danych DO...D7 /trójstanowe/
 - c/ wejścia dwóch układów 74175 /D6 D7/ odłączono od linii danych DO...D7 i przyłączono do wyjść układów C6 D12.
 2. Występuje długa ścieżka od rezystora R107 polaryzująca wejścia elementów A3, A6, A7, A8, C8, E8, F8, D8, G5, G6, G7, G8. W celu zmniejszenia wpływu zaproponowano blokadę potencjału tej ścieżki kondensatorem ceramicznym /zmiana Z3/ oraz rozdzielenie polaryzacji wejść układów G5, G6, G7, G8 od pozostałych przez przecięcie ścieżki i wprowadzenie dodatkowego rezystora R107d z kondensatorem blokującym /zmiana Z5/.
 3. Stwierdza się przeciążenie wyjść elementów 8253 współpracujących z wewnętrznymi liniami danych DO...D7 /Rys.6.3.2/.

Przeciążenie występuje nawet przy zmienionym układzie /przy odłączeniu od linii układów 74175 D6 i D7 i usunięciu rezystorów R1...R8/.

W celu zmniejszenia wpływu zakłóceń na te linie, szczególnie gdy linie znajdują się w trzecim stanie, świadomie zaproponowano włączenie rezystorów R1...R8 o wartości 10 k /zmiana Z6/. Usunięcie błędu projektowego wymaga zmiany układu przyłączania elementów do linii DO...D7 i zmiany druku.
 4. Układ wejściowy pakietu z oddzieleniem galwanicznym spełniający wymaganie przenoszenia sygnału o częstotliwości 50kHz, jest niekorzystny z punktu widzenia zakłóceń. Jak stwierdzono dodatkowymi badaniami /p.6.4/ układ zapewnia przenoszenie do 200 kHz.
- Sprawdzone zmiany Z1, Z2, Z10, Z11, Z12 potwierdzają tę wadę układu.

5. Występowanie na pakiecie złącz obiektowych o różnych poziomach sygnałów powinno być wyróżnione różnymi typami złącz. W aktualnej konstrukcji stosuje się jednakowe złącza D i E dla wejść z oddzieleniem galwanicznym i we/wy TTL.
6. Wyprowadzenie we/wy TTL na złącze obiektowe realizuje się długimi ścieżkami. Jeżeli nie jest wykorzystany interfejs TTL, to ścieżki te wiszą i stanowią skuteczną "antenę" dla zakłóceń. Fakt ten potwierdzają pomiary przy wprowadzeniu zmiany Z10.
7. Układ wyjściowy pakietu należy uzupełnić w zabezpieczenie przepięciowe wyjściowego tranzystora. Aktualne zabezpieczenie diodą włączoną pomiędzy WY i -24 V zabezpiecza przed ujemnymi przepięciami na linii. Dodatkowo przepięcia na linii mogą spowodować uszkodzenia tranzystora. Należy również rozważyć możliwość zabezpieczenia wyjściowego tranzystora przed przeciążeniem, zwarcie na linii.
W trakcie badań w wykorzystywanym WY7 kilkakrotnie uległ uszkodzeniu tranzystor T8. Należy przypuszczać, że powodem uszkodzenia było: przeciążenie prądowe /tranzystor steruje 7 wejść 20 mA, co przekracza dopuszczalny prąd 100 mA/ oraz przepięcia od symulowanych zakłóceń.

6.4. Wyniki dodatkowych pomiarów

Przeprowadzono pomiary pasma przenoszenia układu wejściowego z oddzieleniem galwanicznym. Pomiary wykonano w układzie jak na rys. 6.4. dla różnych wariantów układu wejściowego:

W0 - układ bez zmian

W01 - z dodatkowym kondensatorem włączonym pomiędzy bazę tranzystora i 0 V

W02 - z dodatkowym kondensatorem włączonym pomiędzy bazę tranzystora wyjściowego i 0 V

W1 - układ bez rezystora BE w tranzystorze

W11 układ z dodatkowym kondensatorem jak w W01

W12 - układ z dodatkowym kondensatorem jak w W02

Wyniki pomiarów zestawiono w tabl. 6.4., w której podano czasy opóźnienia zbocza i czasy trwania sygnału na wyjściu bramki Schmitta 74132 przy symetrycznym sygnale wejściowym o wypełnieniu 1/2.

14

Tabela 6.4.

Lp.	Układ wejściowy	Czas / μ s/				Uwagi
		t_{LH}	t_H	t_{HL}	t_L	
1	W0	2	11,5	3,5	8,5	50 kHz
2	W0	-	4,8	-	0,2	200 kHz
3	W01 C = 82 pF	3,5	11,5	5	8,5	50 kHz
4	W01 C = 160 pF	3,5	12,5	6	7,5	50 kHz
5	W01 C = 300 pF	3	15	8	5	50 kHz
6	W01 C = 380 pF	2	18	10	2	50 kHz
7	C = 10 nF	20	280	140	40	3 kHz
8	W02 C = 10 nF	2,5	12	4,5	8	50 kHz /fg=160k/
9	W1	2	13	5	7	50 kHz /fg=130k/
10	W11 C = 82 pF	2	15	7	5	50 kHz
11	W11 160 pF	2	18	10	2	50 kHz
12	W12 C = 10 nF	2	14	6	5,5	50 kHz /fg=100k/

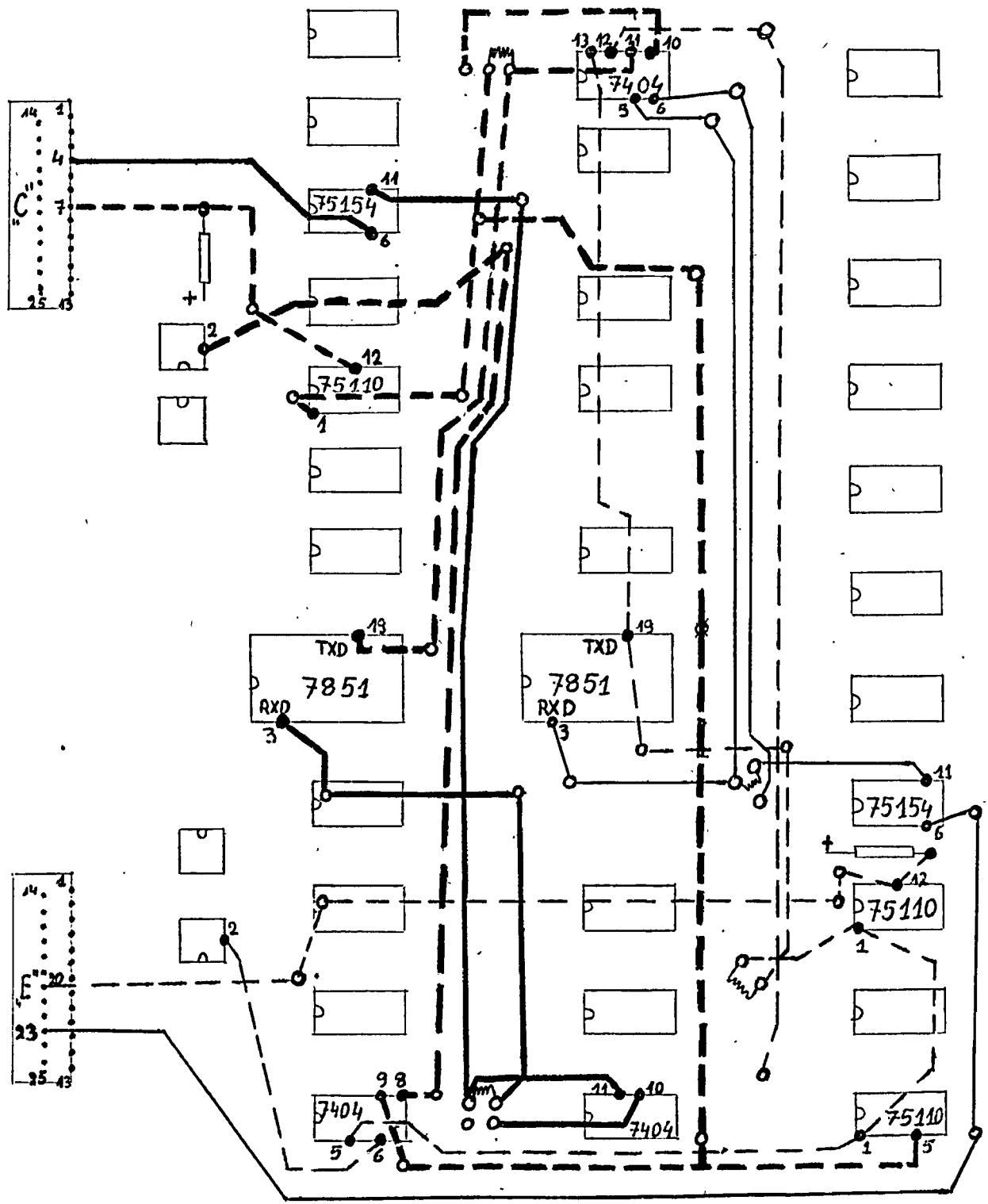
6.5. Ocena wyników i konstrukcji pakietu

1. Prototyp pakietu MC50 cechuje się bardzo niskimi poziomami odporności na zakłócenia impulsowe i nie spełnia wymagań dla urządzeń systemu INTEL DIGIT PROWAY /p.2./
2. Zaproponowane zmiany nie zapewniły osiągnięcia wymaganych poziomów odporności dla interfejsu z oddzieleniem galwanicznym. Przeprowadzone badania odporności umożliwiają sformułowanie następujących wniosków:
 - układy wejściowe z oddzieleniem galwanicznym i TTL posiadają szerokie pasmo przenoszenia sygnału roboczego, Ograniczenie tego pasma /np. przez zmiany Z2, Z10, Z12/ umożliwia podwyższenie poziomu odporności
 - zakłócenia wewnątrz pakietu są łatwo propagowane przez obwody zasilania, np. przez obwody zasilania 5 V obwodów wejściowych /Z1/, długie ścieżki polaryzujące niewykorzystane wejścia bramek /rezystor R107 i zmiany Z3, Z5/
 - daje się zauważyć przeciwna tendencja zmian odporności dla interfejsu TTL i interfejsu z oddzieleniem galwanicznym /np. lp. 2 i lp. 6 w tab. 6.1/.
3. W związku z powyższym zasadny jest wniosek o konieczności weryfikacji założeń technicznych na pakiet. W szczególności w zakresie:
 - ograniczenia liczby interfejsów, tylko do interfejsu z oddzieleniem galwanicznym
 - maksymalnego ograniczenia pasma przenoszenia wejścia do pasma wynikającego z zastosowań pakietu np. do kilkudziesięciu Hz z możliwością poszerzenia pasma do kilku kHz /wykonanie specjalne/Dodatkowo należy zweryfikować podstawową funkcjonalność pakietu. Obecne szerokie możliwości pakietu okupione są złożonym rozwiązaniem konstrukcyjnym wynikającym z przyjętej techniki zadawania funkcji przez lutowane krosy.
4. Biorąc pod uwagę wyniki badań proponuje się:
 - wstrzymać produkcję pakietu MC50 wg dokumentacji nr rej. 5441, nr arch. 4571
 - opracować nowe rozwiązanie pakietu.
5. Do czasu wprowadzenia nowego rozwiązania ograniczyć stosowanie pakietu do przypadków koniecznych. W zastosowanych pakietach wprowadzić następujące zmiany: Z1, Z2, Z3, Z5, Z9, Z10 /opis p.6.2/ oraz nie wyprowadzać we/wy TTL na złącze obiektowe E, jeżeli będzie wykorzystywany interfejs z oddzieleniem galwanicznym. Wprowadzić dodatkowe diody przepięciowe zabezpieczające tranzystor wyjściowy dla wyjść z oddzieleniem galwanicznym. Powyższe zmiany wymagają wprowadzenia dodatkowo: 32 elementów typu C 23 szt, R - 1 szt, D - 8 szt.
Zaleca się sprawdzać funkcjonalność pakietu dla każdego zastosowania i przy wykorzystaniu programu użytkownika.
6. Przy projektowaniu nowego rozwiązania pakietu proponuje się rozważyć możli-

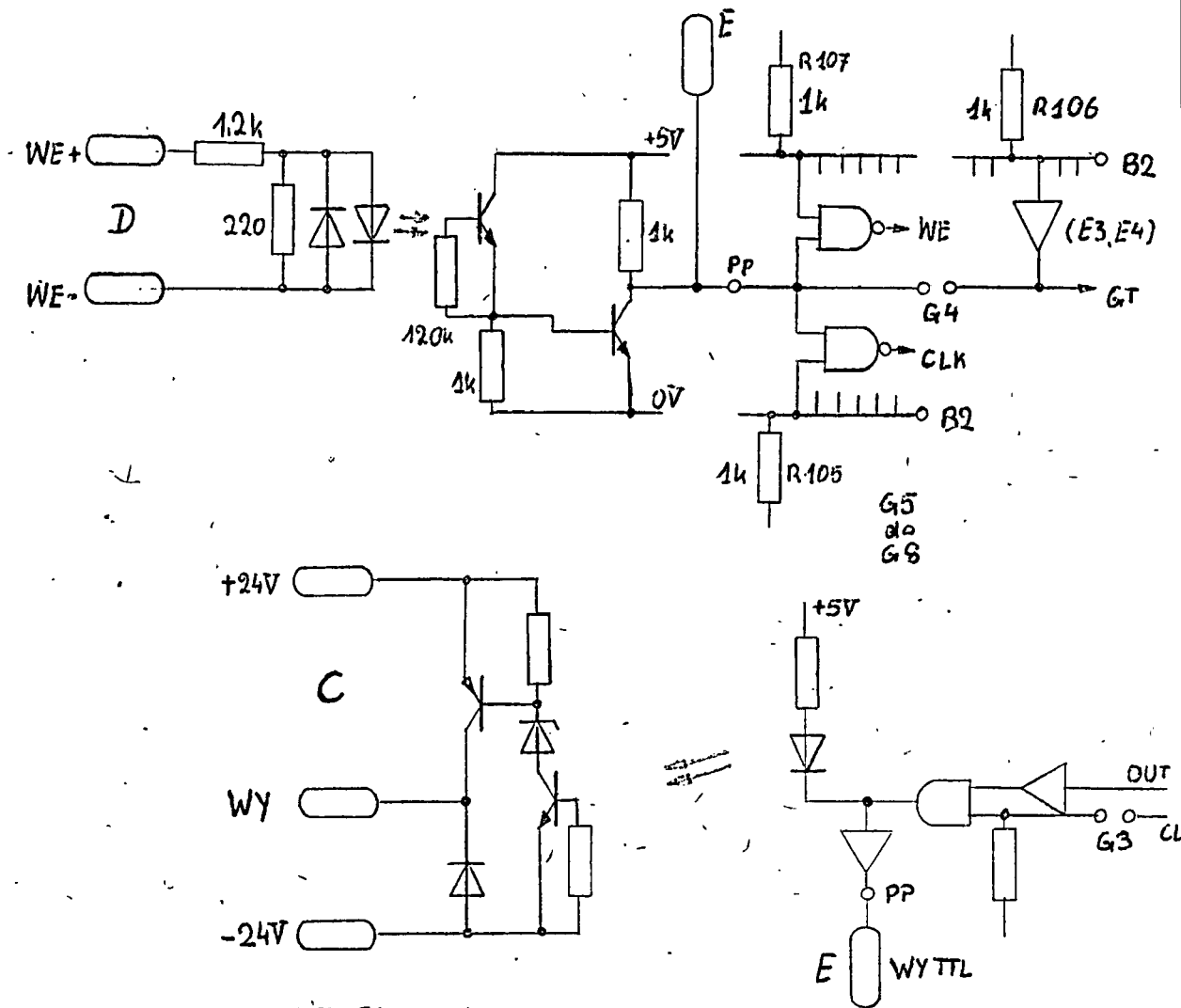
wość wykorzystania układu wejściowego z nowo opracowanego pakietu MCO1. Fakt ten zapewni ujednoczenie układów wejściowych stosowanych w systemie INTEL DIGIT PROWAY.

7. Wnioski

1. Prototypy pakietów MI24 i MC50 ze względu na niski poziom odporności na zakłócenia impulsowe nanosekundowe nie spełniają wymagań KEM dla urządzeń automatyki i pomiarów [6] i dla urządzeń systemu INTEL DIGIT PROWAY. Postuluje się wstrzymanie produkcji tych pakietów i opracowanie nowych rozwiązań konstrukcyjnych. Dla pakietu MC50 należy zweryfikować założenia techniczne głównie dotyczące ograniczenia częstotliwości sygnału wejściowego.
2. Pakiet MI24 ze względu na błędy konstrukcyjne /p.5.4.3/ nie może być stosowany w zestawach INTEL DIGIT PROWAY.
3. Pakiet MC50 ze zmianami podanymi w p.6.5.5 o ograniczonej częstotliwości sygnału wejściowego może być wykorzystywany w zakresie ograniczonym, do czasu opracowania nowego pakietu.
4. W związku z powtarzającymi się błędami konstrukcyjnymi polegającymi na:
 - nieprzebrnięciu wymagań bazy elementowej
 - niewłaściwym rozmieszczeniu elementów na płycie
 - niewłaściwym projekcie połączeń na płycie drukowanej /powodujących obniżenie poziomu odporności na zakłócenia zewnętrzne, podwyższenie poziomu zakłóceń emitowanych własnych/ proponuje się opracowanie zaleceń projektowania pakietów dla systemu INTEL DIGIT PROWAY. Do czasu opracowania zaleceń proponuje się przeprowadzenie kilkugodzinnego szkolenia dla projektantów, omawiającego typowe błędy konstrukcyjne. Powyższe propozycje zostały zgłoszone do OAE w piśmie z dn. 86.04.16.
5. W trakcie badań wykryto uszkodzenia magistrali kasety polegające na wystąpieniu niekontrolowanych zwarc obwodów plateru z obudową kasety. Fakt ten sygnalizuje pilną potrzebę zastosowania do przyszłych badań kasety z docelową magistralą produkcji ZAP.

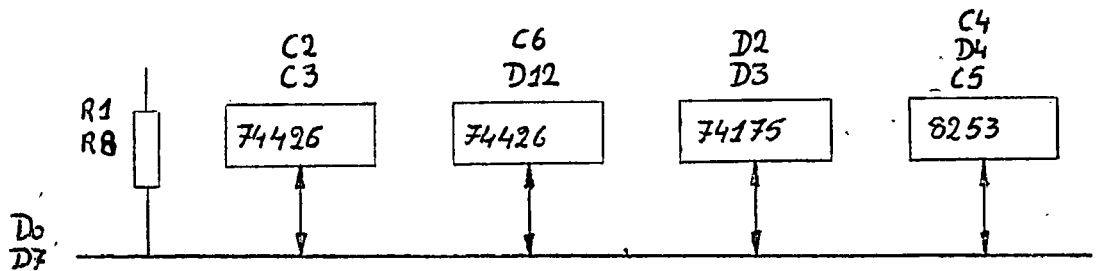


Rys. 5.3. Przykładowe prowadzenie ścieżek sygnałów
TxD i RxD na pakiecie MI24

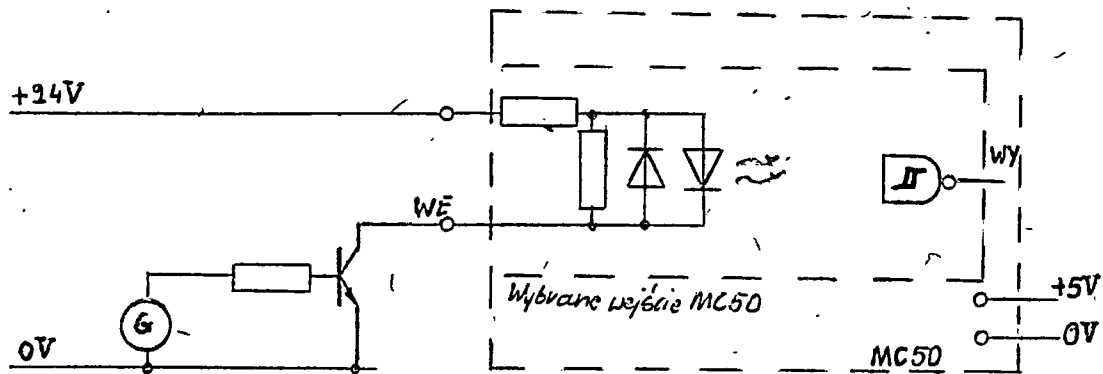


ZŁĄCZA OBIEKTOWE PAKIETU:
 C wtyk
 D, E gniazda

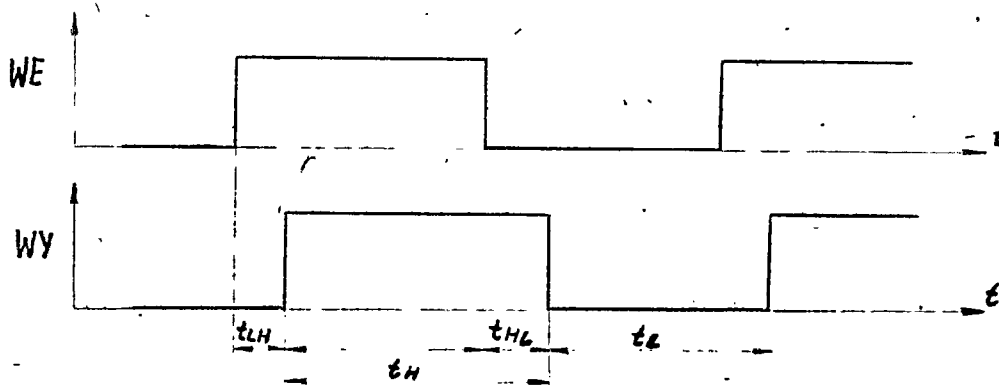
Rys.6.3.1 Układy wejściowe i wyjściowe pakietu MC50



Rys.6.3.2. Obciążenie linii danych D0-D7 w pakiecie MC50



Rys.



Rys.6.4. Układ pomiarowy i interpretacja czasów opóźnienia i czasów trwania.