

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW
MERA-PIAP
Al. Jerozolimskie 202 02-222 Warszawa Telefon 23-70-81

OSRODEK AUTOMATYKI ELEKTRYCZNEJ

BE 10

ZESPÓŁ BUDOWY CYFROWYCH URZĄDZEN SYSTEMOWYCH

442
Główny wykonawca - dr inż. Andrzej Syrczyński

Wykonawcy dr inż. Andrzej Syrczyński,
mgr inż. Kazimierz Majdan, mgr inż. Mirosław Słodczyk

Konsultant

Nr zlecenia 1033

Nr umowy 284/86

Opracowanie lokalnej linii
transmisyjnej PROWAY-A dla
systemu INTELEKTRAN-M.

Etap 2. Dokumentacja modelu
laboratoryjnego

Zleceniodawca IKSAiP

Pracę rozpoczęto dnia 86.09.01

Kierownik Zespołu

dr inż. A. Syrczyński

zakończono dnia 86.12.15

Kierownik Ośrodka

prof. dr inż. T. Missala

Praca zawiera:

Rozdzielnik - ilość egz: 6

stron 5

Egz. 1 BOINTE

rysunków 6

Egz. 2 IKSAiP

fotografii

Egz. 3 IKSAiP

tabel

Egz. 4 IKSAiP

tablic

Egz. 5 OAE-8

załączników

Egz. 6 OAE-8

Nr rejestr. 5742

Analiza deskryptorowa

Analiza dokumentacyjna

Dokumentacja modelu laboratoryjnego
lokalnej linii transmisyjnej PROWAY-A
dla systemu INTELEKTRAN-M.

Tytuły poprzednich sprawozdań

UKD

PIAP-252/02-6000

Spis treści

- 1..Przeznaczenie
2. Konfiguracja modelu
3. Krótki opis budowy i działania
 - 3..1. Interfejs magistrali wewnętrznej mikroprocesora
 - 3.2. Nadajnik
 - 3.3. Układ interfejsu liniowego
 - 3.4. Odbiornik

Spis rysunków

1. Konfiguracja modelu
2. Interfejs magistrali wewnętrznej mikroprocesora
3. Nadajnik
4. Układ interfejsu liniowego
5. Odbiornik
6. Odgałęźnik

1. Przeznaczenie

Przeznaczeniem modelu laboratoryjnego jest sprawdzenie i przeprowadzenie badań układów pakietu transmisyjnego MK 41, przed opracowaniem w etapie 3 dokumentacji modelu użytkowego..

Rozwiązania wszystkich bloków pakietu za wyjątkiem układu synchronizacji przy odbiorze są całkowicie zmienione w stosunku do rozwiązań w pakietach MK 30 i MK 40 systemu INTEL DIGIT-PROWAY oraz w stosunku do rozwiązań wersji z układami matrycowymi i dlatego wymagają przeprowadzenia dalszych badań funkcjonalnych.

Układami sprawdzonymi w pierwszej wersji są: część mikroprocesorowa z mikroprocesorem 8086, pamięciami, interfejsem magistrali kasety, timerem i układem przerwań, oraz odgąłęźnik - jako fragment pakietu sterownika linii MK 30. Niniejsza dokumentacja jest wynikiem prac nad minimalizacją struktur pakietu MK 41 i służy do wykonania modelu.

1. Konfiguracja modelu - rys.1.

Model laboratoryjny do badań składa się z dwóch identycznych stacji, z których każda zawiera następujące urządzenia:

- pakiet jednostki centralnej 16-bitowej z wyprowadzoną magistralą wewnętrzną.. Pakiet zawiera mikroprocesor 8086 pracujący w modzie maksymalnym. Podstawowa konfiguracja tego pakietu będzie przeniesiona do pakietu MK 41,
- płytę modelową zawierającą interfejs magistrali wewnętrznej mikroprocesora, nadajnik, odbiornik i interfejs liniowy,
- odgąłęźnik w postaci części liniowej pakietu MK 30.

Modele stacji będą połączone magistralą kablową PROWAY, Rysunek nr 1 nie podaje kaset z wyposażeniem, w których będą umieszczone pakiety jednostek centralnych.

3. Krótki opis budowy i działania

3.1. Interfejs magistrali wewnętrznej mikroprocesora - rys..2

Interfejs wykonuje następujące funkcje:

1. Dwukierunkową zamianę formatu danych między 16-bitową szyną danych mikroprocesora 8086 a 8-bitowymi rejestrami nadajnika i odbiornika za pomocą bramek A9...A12.
2. Dekodowanie adresów obszarów danych nadajnika i odbiornika za pomocą układów A14 i C9.
3. Dekodowanie adresów typu I/O dla układu odbiornika i nadajnika za pomocą układu A8.
4. Odczyt stanu odbiornika i nadajnika bramką B9.
5. Tworzenie sygnału potwierdzenia ACK dla synchronizacji mikroprocesora z nadajnikiem i odbiornikiem bramką A7-3.

3.2. Nadajnik - rys.nr 3.

Układ nadajnika wykonuje następujące funkcje:

1. Zamianę postaci równoległej bajtów danych na szeregową w rejestrze przesuwym C9.
2. Zliczanie do ośmiu taktów zegara nadajnika T w liczniku C11 i synchronizację bajtową mikroprocesora z nadajnikiem za pomocą bramek D10.
3. Obliczenie kodu korekcyjnego CRC w filtrze cyfrowym złożonym z układów C12, C13, C14, D12.
4. Dodawanie bitów zerowych po każdym pięciu bitach jedynkowych za pomocą licznika G13, dekodera G14 i przerzutnika F12-5.
5. Kodowanie bitów sygnału wyjściowego OUT /kod typu Manchester/ bramką D12 i przerzutnikiem G11-5.
6. Tworzenie sygnałów zegarowych nadawania NESC i T licznikiem G10 i bramką F9-11.
7. Programowe sterowanie procesem nadawania za pomocą przerzutników utworzonych z bramek E10, E11, F10-8 i 5
przerzutników E12 i E13.

3.3. Układ interfejsu liniowego - rys. nr 4.

Układ interfejsu liniowego wykonuje następujące funkcje:

1. Przyjmowanie i wydawanie pięciu sygnałów wymienianych między pakietem MK 41 a odgałęźnikiem MK 10, za pomocą układów odbiornika A2 i nadajników A1 i A3 linii
2. Generacja podstawowego sygnału zegarowego 16 MHz w układzie C6.
3. Wykrywanie zboczy sygnału odbieranego IN za pomocą układu B6-3 i pętli opóźniającej.
4. Synchronizację zegara odbiornika OESC z sygnałem odbieranym IN za pomocą liczników C2, C4, C5, przerzutnika C3 i związanych z nimi bramek.
5. Sterowanie odłączeniem linii wykonywane przerzutnikiem D1-6 i D2-3.
6. Sprawdzanie długości nadawanej przesyłki timerem D9.
7. Tworzenie zbiorczego sygnału zerowania odbiornika ZER bramką D1-8.

3.4. Odbiornik - rys. nr 5.

Układ odbiornika wykonuje następujące funkcje:

1. Dekodowanie kodu typu Manchester oraz wykrywanie błędów w obrębie bitu za pomocą rejestru przesuwanego E1, dekodera E2 oraz przerzutników F1 i G1.
2. Wykrywanie bajtów synchronizujących za pomocą rejestru przesuwanego E3, dekodera E4, przerzutnika F3-5 sygnału LA rozpoczęcia odbioru oraz przerzutników F2 sygnału PRR trwania odbioru ramki.
3. Usuwanie dodatkowych zer po każdym pięciu bitach jedynekowych za pomocą przerzutnika F3-9 i bramki C1-6.

4. Zliczanie do ośmiu taktów zegara odbiornika w liczniku E5 i synchronizację bajtową mikroprocesora z odbiornikiem za pomocą przerzutnika E7-5.
5. Wykrywanie błędu nienadążania mikroprocesora za procesem odbioru przerzutnikiem E7-8.
6. Obliczanie kodu korekcyjnego CRC w filtrze cyfrowym złożonym z układów G2, G3, G5, G7.
7. Sprawdzanie poprawności końcowej wartości kodu korekcyjnego dekodерem na układach G4 i G6.
8. Zamianę postaci szeregowej danych na równoległą bajtową rejestrem przesuwym B7.