

6813 *nr.*

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW
MERA-PIAP

Al. Jerozolimskie 202 02-222 Warszawa Telefon 23-70-81

OŚRODEK AUTOMATYZACJI PROCESÓW PRODUKCJI

520

A

Główny wykonawca mgr inż. A. Nowicki

Wykonawcy: mgr inż. M. Aleksandruk
mgr inż. W. Hernik
mgr inż. R. Tarnowski
mgr inż. J. Wysocki

Konsultant

Nr zlecenia S1285

"Interfejs magistrali szeregowej
typu BITBUS do sterowników F-PLC".

Zleceniodawca

Pracę rozpoczęto dnia 01.1992r.

Kierownik Ośrodka

dr inż. M. Wrzesień

zakończono dnia 22.04.1992r.

Zastępca Dyrektora d/s
Badawczo-Rozwojowych

dr inż. J. Jabłkowski

Praca zawiera:

Rozdzielnik - ilość egz:

stron

Egz. 1 BOINTE

rysunków

Egz. 2 OAP

fotografii

Egz. 3

tabel

Egz. 4

tablic

Egz. 5

załączników

Egz. 6

Nr rejestr. 6813

1

2130

Analiza deskryptorowa

Programowalny, modułowy sterownik logiczny. Moduły automatyczne.
Struktury rozproszone. Sieci komputerowe.

Analiza dokumentacyjna

Praca zawiera wyniki badań patentowych i niezawodnościowych.

Tytuły poprzednich sprawozdań

UKD

PIAP 41/88 10000

22

BADANIA PATENTOWE

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW MERA - PIAP	ARKUSZ BADAŃ PATENTOWYCH	Nr.ewid. 2792
	Cel badań: czystość patentowa	Strona 1
		Stron 8

1. Techniczny przedmiot badań:
Interfejs magistrali szeregowej typu
BITBUS do sterowników F-PLC.
Zlecenie Nr. S 1285

2. Klasa patentowa dotycząca przed-
miotu badań wg. MKP
G06F

3. Podstawa badań /dokumentacja, wyrób, itp./
dokumentacja techniczna

Arkusze
A, B, C, D^{x/}

4. Analogiczne wyroby zagraniczne /nazwa, producent/

5. Data rozpoczęcia	badań 1992.02.03	założeń	dokumentacji	prototypu
6. Data zakończenia	badań 1992.02.21	założeń	dokumentacji	prototypu

7. Okres badań patentowych 15 lat

8. Teren badań /kraj/	Polska				
9. Nr. patentu pierwszego	115932				
10. Data pierwszeństwa	75.12.20				
11. Nr. patentu ostatniego	153605				
12. Przewidywany termin wygaśnięcia	2001. 06.04				

13. Techniczny przedmiot
badań w rozbiciu na
podzespoły

14. Ustalone klasy patentowe wg. klasyfikacji
narodowych dla poszczególnych krajów

	Polska				
Układy wyjściowe do prze- kazywania danych z proce- sora do urządzenia wyjścio- wego, np. układy interfej- sowe. Wzajemne połączenia lub przekazywanie informacji lub innych sygnałów między pamięciami, urządzeniami wej/wyj lub jednostkami centralnymi	G06F				

x/ Arkusze A-dla założeń, B-dla prototypu, C-dla serii próbnej, D-dla wyrobu

STR 2	KRAJ Polska	MKP	G06F	NKP	
----------	----------------	-----	------	-----	--

REJESTR OPISÓW PATENTOWYCH WEDŁUG KLASYFIKACJI

Lp.	Nr pat.	Kraj zgłasz.	Uwagi	Lp.	Nr pat.	Kraj zgłasz.	Uwagi
1	152 695		G06F 3/00	31	142 204		G06F 3/00
2	153 605		3/02	32	148 573		3/02
3	151 207		3/033	33	141 489		—
4	150 648		3/05	34	145 526		3/023
5	150 662		3/023	35	144 722		—
6	150 663		—	36	144 372		—
7	152 809		3/05	37	141 929		—
8	153 214		3/14	38	139 778		—
9	152 234		11/00	39	148 774		3/05
10	152 235		—	40	146 375		3/12
11	152 236		—	41	140 843		—
12	152 237		—	42	149 423		3/14
13	153 212		11/22	43	149 152		11/00
14	150 579		12/00	44	142 408		—
15	152 232		12/02	45	147 618		13/00
16	153 248		12/16	46	145 397		—
17	151 018		—	47	140 424		—
18	150 483		—	48	140 178		—
19	153 196		13/00	49	140 177		—
20	151 682		—	50	139 942		—
21	150 487		—	51	139 941		—
22	152 694		13/14	52	139 751		—
23	151 507		—	53	149 119		13/14
24	150 661		13/20	54	149 004		13/16
25	151 506		13/14	55	140 611		13/24
26	152 241		13/24	56	141 960		13/30
27	150 250		13/38	57	146 213		13/38
28	149 624		G06F 3/00	58	134 497		G06F 3/00
29	146 093		—	59	130 434		—
30	138 102		—	60	128 987		—

MKP - międzynarodowa klasyfikacja patentowa
 NKP - narodowa klasyfikacja patentowa

PLAP 296/88 1500

STR	KRAJ	MKP	G06F	NKP	
3	Polska				

REJESTR OPISÓW PATENTOWYCH WEDŁUG KLASYFIKACJI

Lp.	Nr pat.	Kraj zgłasz.	Uwagi	Lp.	Nr pat.	Kraj zgłasz.	Uwagi
61	127 431		G06F 3/00	91	117 684		G06F 3/12
62	127 147		---	92	116 594		---
63	125 809		---	93	129 734		---
64	116 130		---	94	116 874		3/14
65	118 357		---	95	125 050		3/147
66	136 271		3/03	96	116 347		3/53
67	116 610		3/04	97	132 129		9/46
68	119 790		---	98	119 599		---
69	121 858		---	99	131 694		---
70	121 966		---	100	126 509		---
71	122 007		---	101	119 430		---
72	122 008		---	102	119 429		---
73	122 186		---	103	115 932		---
74	122 257		---	104	134 541		13/00
75	123 819		---	105	133 050		---
76	123 820		---	106	128 515		---
77	123 821		---	107	128 286		---
78	125 211		---	108	125 157		13/02
79	125 264		---	109	125 153		---
80	127 232		---	110	131 066		13/04
81	129 587		---	111	134 312		13/06
82	130 176		---	112	128 994		---
83	133 464		---	113	118 231		---
84	134 804		---	114	154 102		9/22
85	134 008		3/05				
86	116 479		---				
87	130 370		G06F 3/06				
88	117 662		3/08				
89	135 945		3/12				
90	129 585		---				

MKP - międzynarodowa klasyfikacja patentowa
 NKP - narodowa klasyfikacja patentowa

PLAP 296/88 1500

10

III. MATERIAŁY WYBRANE DO BLIŻSZEJ ANALIZY

Techniczny przedmiot badań	Kraj	Nr. patentu, wzrostu użytko- wego , Klasa	Data pierwszeń- stwa	Tytuł patentu, wzrostu użytko- wego lub zgłoszenia
Interfejs ma- gistrali sze- regowej typu BIT BUS do sterowników F- PLC	Polska	<u>154102</u> G06F 9/22	86.09.23	Sekwencyjny układ sterowania. <hr/> Instytut Górnictwa Naftowego i Gazownictwa, Kraków
		<u>P-281809</u> G06F 11/00	89.10.11	Uniwersalny układ interfejsu analizatora sygnatur do spraw- dzania systemów mikroproceso- rowych nieprzystosowanych . <hr/> MERCOMP Sp. z o.o, Warszawa
		<u>P- 269327</u> G06F	87.12.09	Układ zapobiegania automatycz- nemu zwolnieniu magistrali po zakńczeniu cyklu dla sterow- ników Intel 8218/19 magistrali Multibus lub ich odpowiedników. <hr/> Politechnika Poznańska, Poznań

Tytuł patentu, wzoru użytkowego, zgłoszenia	Kraj	Nr. patentu wzoru, zgłoszenia. Klasa	Data pierwszeństwa	Przewidywany termin wygaśnięcia	Właściciel - twórca
<p>W interfejsie magistrali szeregowej typu BIT BUS do sterowników F- PLC , nie zastosowano żadnego opatentowanego wynalazku, zarejestrowanego wzoru użytkowego lub zgłoszenia.</p>					

Analiza wybranych patentów, wzorów użytkowych, zgłoszeń /wykazanie analogii, naruszeń praw wyłącznych itp./

1. Patent Nr. 154102

Przedmiotem opatentowanego wynalazku jest sekwencyjny układ sterowania zwłaszcza urządzeń technologicznych. Układ ten charakteryzuje się tym, że ma magistralę systemową, która połączona jest z wyjściami pamięci programu a ponadto do magistrali podłączony jest wieloczasowy uniwibrator, którego wyjście podłączone jest do jednego z wejść rejestru rozkazów lub do więcej niż jednego wejścia multiplexera warunków. Przytoczony wynalazek nie koliduje z przedmiotem badań.

2. Zgłoszenie nr. P-281809

Przedmiotem zgłoszenia jest uniwersalny układ interfejsu analizatora sygnatur do sprawdzania systemów mikroprocesorowych nieprzystosowanych. Układ według zgłoszenia zawiera dodatkową pamięć pełniącą funkcję dekodera programowego, której wejścia dołączone są do wyjść układu interfejsowego a wejścia danych do układu badanego. Przytoczony wynalazek nie koliduje z przedmiotem badań.

3. Zgłoszenie nr. P- 269327

Przedmiotem zgłoszenia jest układ zapobiegania automatycznemu zwolnieniu magistrali po zakończeniu cyklu dla sterowników Intel 8218/19 magistrali Multibus lub ich odpowiedników. Układ składa się z dwóch zespołów elementów logicznych, stanowiących dodatkowe elementy sprzęgające sterownik z magistralą systemową i mikroprocesorem. Jeden z zespołów złożony z pierwszego inwertera i bramki logicznej z twartym kolektorem, tworzy sygnał wspólnego żądania dostępu magistrali Multibus. Natomiast drugi zespół, złożony z drugiego inwertera i dwóch bramek logicznych, tworzy sygnał blokady sterownika. Przytoczony wynalazek nie koliduje z przedmiotem badań.

Stwierdzenie naruszenia /nienaruszenia/ obcych praw wyłącznych.
Stwierdzenie możliwości produkcji i eksportu przedmiotu badań.
Uwagi dotyczące nieuczciwej konkurencji.

1. Po przeprowadzonej analizie wybranych materiałów, które dotyczyły badanego interfejsu magistrali szeregowej typu BITBUS do sterowników F-PLC , nie stwierdzono naruszenia obcych praw wyłącznych na terenie Polski.
2. W przypadku podjęcia decyzji odnośnie produkcji seryjnej badanego interfejsu, należy przeprowadzić uzupełniające badania czystości patentowej obejmujące okres czasu od dnia zakończenia niniejszych badań.
3. Podjmując decyzję o ewentualnym eksporcie badanego interfejsu, należy przeprowadzić badania czystości patentowej na terenie kraju do którego zamierza się eksportować.

Podpis rzecznika
patentowego



Podpisy prowadzących
badania



Podpis kierownika
Ośrodka lub ZNB



BADANIA NIEZAWODNOŚCIOWE

Załącznik

Przedmiotem badań jest moduł MB sterownika urządzeń technologicznych F-PLC. Moduł umożliwia komunikację pomiędzy sterownikiem a komputerem klasy IBM PC, zgodną z protokołem BITBUS. Schemat badanego zestawu pokazano na rys. 1.

Do oceny poprawności działania modułu służy program testowy. Realizuje on sesje pomiędzy komputerem, a modułem MB. Każda sesja składa się z dwóch etapów. W pierwszym komputer wysyła komunikat będący poleceniem zapisu komórki pamięci modułu MB. W drugim etapie zostaje wysłane polecenie odczytu zapisanej poprzednio komórki. Wartość odczytana jest porównywana z wartością zapisaną. W wypadku zgodności sesję należy uznać za poprawną.

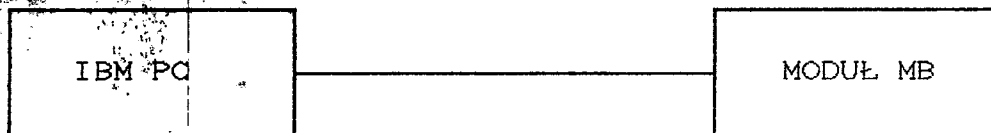
Protokół BITBUS przewiduje wysłanie potwierdzenia po każdym otrzymanym komunikacie. Umożliwia to wykrywanie następujących błędów:

- zakłóceniu uległa treść przesyłanego komunikatu (zapisu lub odczytu komórki pamięci) - informacja o błędzie przekazywana jest w potwierdzeniu przesyłanym z modułu MB do komputera,
- komputer nie otrzymał od modułu MB potwierdzenia odbioru komunikatu - wystąpienie tego błędu nie świadczy jeszcze o błędnej sesji,
- odczytana z pamięci modułu MB wartość różni się od poprzednio tam zapisanej - sesję należy uznać za błędną.

Program testowy jest zawarty w zbiorze o nazwie komun3.exe. Po jego uruchomieniu zostanie wyświetlony czas rozpoczęcia badań.

Co 10000 sesji wyświetlany jest wydruk kontrolny informujący o liczbie dotychczasowych sesji, liczbie wykrytych błędów (sumarycznej oraz w rozbiciu na poszczególne rodzaje), aktualnym czasie. Takie same informacje operator może uzyskać w dowolnej chwili naciskając klawisz "w". W razie wykrycia błędu wyświetlany jest komunikat o jego rodzaju i czasie wystąpienia.

Naciśnięcie klawisza "k" kończy działanie programu i powoduje wyświetlenie komunikatu podsumowującego wyniki badań. Program może zakończyć działanie samoczynnie, jeśli liczba błędów przekroczy 2147483647.



Rys. 1

OPROGRAMOWANIE DO BADAŃ MODUŁU KOMUNIKACYJNEGO W STANDARDZIE BITBUS SKŁADA SIĘ Z:

- OPROGRAMOWANIA MODUŁU PO STRONIE MAGISTRALI MIEJSCOWEJ BITBUS. MODUŁ PEŁNI FUNKCJĘ WĘZŁA SLAVE. SPRAWOZDANIE NIE ZAWIERA JEGO TEKSTU ŹRÓDŁOWEGO, PONIEWAŻ WYKORZYSTANO W TYM CELU OPROGRAMOWANIE FIRMOWE (FIRMWARE) ZAWARTE W PAMIĘCI ROM PROCESORA INTEL 8044.
- OPROGRAMOWANIA KOMPUTERA TYPU IBM PC, PEŁNIĄCEGO FUNKCJĘ WĘZŁA MASTER (TEKST ŹRÓDŁOWY ZAŁĄCZONY PONIŻEJ).

```

program kom;
uses Dos,Crt;
var rej :Registers;
    znak, stoj :Char;
    bufnad, bufod :Array[1..25] of Byte;
    wartosc, lowadr, highadr, odbiorca :Byte;
    gate1, gate2, segment, offset1, offset2, jest, offset:Word;
    t, i, j, n, k, l, czekaj, marek :integer;
    rok, mies, dzien, dzientyg, rok1, mies1, dzien1:Word;
    godz, min, sek, setsek, godz1, min1, sek1, setsek1:Word;
    licz1, licz2, licz3, licz4, licz5, licz6, licz7, licz0:Comp;

begin
    ClrScr;
    GetDate(rok, mies, dzien, dzientyg);
    rok1:=rok;
    mies1:=mies;
    dzien1:=dzien;
    GetTime(godz, min, sek, setsek);
    godz1:=godz;
    min1:=min;
    sek1:=sek;
    setsek1:=setsek;
    writeln('Rozpoczal sie test modulu MB');
    writeln(dzien1, '.', mies1, '.', rok1);
    writeln(godz1, ':', min1, ':', sek1);
    marek:=10;
    i:=0;
    znak:='r';
    stoj:='n';
    wartosc:=1;
    licz1:=0; {liczba sesji}
    licz2:=0; {liczba bledow}
    licz3:=0; {liczba brakow potwierdzen przy ZAPISIE}
    licz4:=0; {liczba brakow potwierdzen przy ODCZYCIE}
    licz5:=0; {liczba blednych komunikatow przy ZAPISIE}
    licz6:=0; {liczba blednych komunikatow przy ODCZYCIE}
    licz7:=0; {liczba blednych sesji}
    licz0:=0;
    repeat
        licz1:=licz1+1;
        licz0:=licz0+1;
        if licz0=10000 then
            begin
                licz0:=0;
                writeln('Wydruk kontrolny:');
                writeln('Liczba dotychczasowych sesji:',licz1);
                writeln('Liczba bledow:',licz2);
                writeln('W tym:');
                writeln(' brak potwierdzenia przy ZAPISIE: ',licz3);
                writeln(' brak potwierdzenia przy ODCZYCIE:',licz4);
                writeln(' bledna ramka przy ZAPISIE: ',licz5);
                writeln(' bledna ramka przy ODCZYCIE: ',licz6);
                writeln(' bledna sesja: ',licz7);
                GetTime(godz, min, sek, setsek);
                writeln('godzina: ', godz, ':', min, ':', sek, '.', setsek);
                writeln
            end;
        wartosc:=not wartosc;
        bufnad[1]:=10;
        bufnad[2]:=64;
        bufnad[3]:=170;
        bufnad[4]:=16;
        bufnad[5]:=9;
        bufnad[6]:=0;
        bufnad[7]:=128;
        bufnad[8]:=wartosc;

```

```

{ustawienie parametrow wejsciowych przerwania 60H}
with rej do
  begin
    AX:=$0001;
    BX:=Ofs(bufnad);
    CX:=Seg(bufnad);
  end;
{wywołanie przerwania 60H - nadanie}
Intr($60,rej);
i:=0;
{
  for t:=1 to marek do
    begin
      t:=t+1;
    end;
}
repeat
  with rej do
    begin
      AX:=$0002;
      BX:=0;
      CX:=0;
    end;
  {wywołanie przerwania 60H - odbior}
  Intr($60,rej);
  {odczytanie wartosci zwrotnych}
  with rej do
    begin
      segment:=CX;
      offset1:=BX;
      jest:=AX;
    end;
  i:=i+1;
until (jest=$00ff) or (i=10000);
if i<10000 then
  begin
    k:=Mem[segment:offset1];
    k:=k-2;
    {odczyt bufora pomocniczego}
    for j:=1 to k do
      begin
        bufod[j]:=Mem[segment:offset1];
        offset1:=offset1+1;
      end;
    if bufod[5]<>0 then
      begin
        writeln('ZAPIS - BLAD!');
        GetTime(godz,min,sek,setsek);
        writeln('godzina: ',godz,':',min,':',sek, '.',setsek);
        licz2:=licz2+1;
        licz5:=licz5+1;
      end;
    end
  else
    begin
      writeln('ZAPIS - BRAK POTWIERDZENIA!');
      GetTime(godz,min,sek,setsek);
      writeln('godzina: ',godz,':',min,':',sek, '.',setsek);
      licz2:=licz2+1;
      licz3:=licz3+1;
    end;
  bufnad[1]:=10;
  bufnad[2]:=64;
  bufnad[3]:=170;
  bufnad[4]:=16;
  bufnad[5]:=8;
  bufnad[6]:=0;
  bufnad[7]:=128;
  bufnad[8]:=0;
  {ustawienie parametrow wejsciowych przerwania 60H}
  with rej do
    begin
      AX:=$0001;
      BX:=Ofs(bufnad);

```



```

    end;
    {wywołanie przerwania 60H - nadanie}
    Intr($60, rej);
    i:=0;
    {
    for t:=1 to marek do
    begin
    t:=t+1;
    end;}
    repeat
    with rej do
    begin
    AX:=$0002;
    BX:=0;
    CX:=0;
    end;
    {wywołanie przerwania 60H - odbior}
    Intr($60, rej);
    {odczytanie wartosci zwrotnych}
    with rej do
    begin
    segment:=CX;
    offset1:=BX;
    jest:=AX;
    end;
    i:=i+1;
    until (jest=$00ff) or (i=10000);
    if i<10000 then
    begin
    k:=Mem[segment:offset1];
    k:=k-2;
    {odczyt bufora pomocniczego}
    for j:=1 to k do
    begin
    bufod[j]:=Mem[segment:offset1];
    offset1:=offset1+1
    end;
    if bufod[5]<>0 then
    begin
    writeln('ODCZYT - BLAD!');
    GetTime(godz, min, sek, setsek);
    writeln('godzina: ', godz, ':', min, ':', sek, '.', setsek);
    licz2:=licz2+1;
    licz6:=licz6+1;
    end;
    if bufod[8]<>wartosc then
    begin
    writeln('ODCZYT - BLEDNA WARTOSC!');
    GetTime(godz, min, sek, setsek);
    writeln('godzina: ', godz, ':', min, ':', sek, '.', setsek);
    licz2:=licz2+1;
    licz7:=licz7+1;
    end;
    end
    else
    begin
    writeln('ODCZYT - BRAK POTWIERDZENIA!');
    GetTime(godz, min, sek, setsek);
    writeln('godzina: ', godz, ':', min, ':', sek, '.', setsek);
    licz2:=licz2+1;
    licz4:=licz4+1;
    end;
    while KeyPressed do znak:=ReadKey;
    if znak='w' then
    begin
    writeln('Wydruk kontrolny na zyczenie operatora:');
    writeln('Liczba dotychczasowych sesji:', licz1);
    writeln('Liczba bledow:', licz2);
    writeln('W tym:');
    writeln(' brak potwierdzenia przy ZAPISIE: ', licz3);
    writeln(' brak potwierdzenia przy ODCZYCIE: ', licz4);
    writeln(' bledna ramka, przy ZAPISIE: ', licz5);

```

```

        writeln('W tym:');
        writeln(' brak potwierdzenia przy ZAPISIE: ',licz3);
        writeln(' brak potwierdzenia przy ODCZYCIE: ',licz4);
        writeln(' bledna ramka przy ZAPISIE: ',licz5);
        writeln(' bledna ramka przy ODCZYCIE: ',licz6);
        writeln(' bledna sesja: ',licz7);
        GetTime(godz,min,sek,setsek);
        writeln('godzina: ',godz,':',min,':',sek, '.',setsek);
        writeln;
        znak:='r';
    end;
until (znak='k') or (licz2=2147483647);
writeln;
writeln('          Koniec programu testujacego !');
writeln('Liczba dotychczasowych sesji:',licz1);
writeln('Liczba bledow:',licz2);
writeln('W tym:');
writeln(' brak potwierdzenia przy ZAPISIE: ',licz3);
writeln(' brak potwierdzenia przy ODCZYCIE:',licz4);
writeln(' bledna ramka przy ZAPISIE: ',licz5);
writeln(' bledna ramka przy ODCZYCIE: ',licz6);
writeln(' bledna sesja: ',licz7);
if znak='k' then writeln('Program zakonczony na zyczenie operatora');
    else writeln ('Liczba bledow osiagnela maksymalna wartosc.');
```

```

writeln('data rozpoczecia testu: ',dzien1, '.',mies1, '.',rok1);
writeln('godzina: ',godz1,':',min1,':',sek1, '.',setsek1);
getDate(rok,mies,dzien,dzientyg);
writeln('data zakonczenia testu: ',dzien, '.',mies, '.',rok);
GetTime(godz,min,sek,setsek);
writeln('godzina: ',godz,':',min,':',sek, '.',setsek);
end.
```

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW
MERA-PIAP
Al. Jerozolimskie 202 02-222 Warszawa Telefon 23-70-81

Ośrodek Badań niezawodności i jakości

Centralna Stacja Prób + Laboratorium Kompatybilności Elektromagnetycznej

Główny wykonawca

Wykonawcy mgr inż. inż. Cz. Godzisz, K. Majdan,
tech. tech. H. Michniewicz, J. Antczak, T. Jagóra

Konsultant

Nr zlecenia 81285 Interfejs magistrali szeregowej typu
RS232C do sterowników F-PLC.
et. 1 Badania pełne.
81259 Analogowe sprzężenie sterownika F-PLC
z obiektem.
et. 1 Badania pełne.

Zleceniodawca

Pracę rozpoczęto dnia 09.03.92
Kier. KEM

zakończono dnia 31.03.92
Kierownik KEM

mgr inż. Cz. Godzisz

mgr inż. K. Majdan

Praca zawiera:

Rozdzielnik - ilość egz:

stron 12

Egz. 1 ROZDZ

rysunków 1

Egz. 2 OAP

fotografii -

Egz. 3 OBN

tabel 2

Egz. 4 OAP

tablic -

Egz. 5

załączników -

Egz. 6

Nr rejestr. 6818

Analiza deskryptorowa

STEROWNIKI MIKROPROCESOROWE + SIECI LOKALNE

Analiza dokumentacyjna

Sprawozdanie z badań pełnych (w tym KEM) modułowe
- sprzężenia analogowego ANALOG I/O
- interfejsu magistrali szeregowej BITBUS
sterownika urządzeń technologicznych F-PLC.

Tytuły poprzednich sprawozdań

1. Interfejs magistrali szeregowej typ BITBUS do sterowników F-PLC. - nr rej. 6813 / 1991 r.
2. Analogowe sprzężenie sterowników F-PLC z obiektem. - nr rej. 6812 / 1991 r. (ze zmianami 03.92 r.).

1. Wstęp

1.1. Przedmiot i cel badań

Przedmiotem badań pełnych były moduły sterownika urządzeń technologicznych F-PLC.:

- moduł sprzężenia analogowego - ANALOG I/O
- moduł (MB) interfejsu magistrali szeregowej BITBUS

W ramach badań pełnych wykonano badania środowiskowe /technoklimatyczne/ oraz badania KEM.

Obwody obiektywne i transmisyjne w/w modułów zostały odpowiednio połączone z urządzeniami zewnętrznymi:

- komputerem PC wyposażonym w kartę BITBUS
- źródłami napięć i prądów typu ADZ

oraz z wewnętrznym modulem jednostki centralnej z zapewnieniem właściwych warunków zasilania, wystawiania i przekazu sygnałów. Badane moduły poddano próbie i sprawdzeniu wg ZH-90 (projekt).

W badaniach stosowane testy funkcjonalne badanych modułów zainstalowane odpowiednio:

- w pamięci sterownika dla modułu ANALOG I/O
- w komputerze PC dla modułu BITBUS.

W ocenie wyników prób i sprawdzeń zastosowano ogólne kryteria wg ZH i norm związanych oraz kryteria wyników testowania podane w Instrukcji Uruchamiania i Testowania Sterownika.

1.2. Podstawa badań

1.2.1. Moduły Sterownik Urządzeń Technologicznych - ZH-90- (proj.)

1.2.2. Instrukcja Uruchamiania i Testowania Sterownika

1.3. Aparatura do badań środowiskowych

- komora klimatyczna FEUTRON 3001
- megaceniernia indukcyjna IMI-1
- próbnik przebicia TP53
- autotransformator sieciowy
- 2 źródła sygnałów typu ADZ
- woltomierz, amperomierz syfrowy.

1.4. Aparatura do badań KEM

- komora ekranowa EK1
- symulator H38625 (Schaffner)
- symulator zakłóceń impulsowych nanssekundowych 5/50 na metodą SE10 wg zał.1 PN-86/E-06600
- klasra pojemnościowa (PIAF) do symulacji zakłóceń metodą SE-10 wg zał.1 PN
- symulator zakłóceń sieciowych S2S-2 (PIAF) do symulacji krótkotrwałych zaników napięcia sieci metodą SS70 wg zał.7 PN
- symulator wyładowań elektryczności statycznej SED-2, do symulacji bezpośrednich wyładowań ESD metodą SE30 wg zał.8 PN
- filtr sieciowy typ EP250/4 (Niflax)
- wyposażenie dodatkowe i pomocnicze (kłęski dystansowe, podkładki dystansowe, planzeryzna sieci odniesienia, itd).

2. Wyniki badań środowiskowych (technoklimatycznych)

2.1. Sprawdzenie wymagań konstrukcyjnych

Dokonano oględzin badanych modułów stwierdzając spełnienie wymagań p. 2.2.2, 2.2.3 i 2.2.5 M.

Wynik sprawdzenia pozytywny.

2.2. Sprawdzenie poboru mocy czynnej

Zmierzona wartość poboru prądu w sieci zasilającej dla badanej konfiguracji sterownika wynosiła 187 mA.

2.3. Sprawdzenie odporności na zmiany napięcia zasilania

Stwierdzono poprawne działanie badanych modułów w warunkach zasilania sieciowego o napięciu obniżonym do 187 V oraz podwyższonym do 242 V.

Wynik sprawdzenia pozytywny.

2.4. Sprawdzenie odporności na zimno

Wykonano próbę Ab wg PN-84/E-04601 Odporność na zimno w czasie 2 h pracy sterownika w stabilnych warunkach temp. $+5^{\circ}\text{C} \pm 3^{\circ}\text{C}$ stwierdzając

poprawne wyniki testowania badanych modułów podczas narażenia.
Wynik sprawdzenia pozytywny.

2.5. Sprawdzenie wytrzymałości na zimno

Wykonano próbę Ab wg PN-84/E-04601 wytrzymałości na przebywanie sterownika w czasie 8 h w stabilnych warunkach temp. $-25^{\circ}\text{C} \pm 3^{\circ}\text{C}$. Po narażeniu i stabilizacji w warunkach otoczenia wykonano testy funkcjonalne badanych modułów - stwierdzając ich poprawną pracę.
Wynik sprawdzenia pozytywny.

2.6. Sprawdzenie odporności na sucho gorące

Wykonano próbę Bb wg PN-84/E-04602 odporności na sucho gorące w czasie 2 h pracy sterownika w stabilnych warunkach temp. $+40^{\circ}\text{C} \pm 2^{\circ}\text{C}$. Stwierdzono poprawne wyniki testowania badanych modułów podczas narażenia.
Wynik sprawdzenia pozytywny.

2.7. Sprawdzenie wytrzymałości na sucho gorące

Wykonano próbę Bb wg PN-84/E-04602 wytrzymałości na przebywanie sterownika w stabilnych warunkach temp. $+55^{\circ}\text{C} \pm 2^{\circ}\text{C}$ w czasie 8 h. Po próbie i stabilizacji w normalnych warunkach otoczenia wykonano testy funkcjonalne stwierdzając poprawną pracę badanych modułów.
Wynik sprawdzenia pozytywny.

2.8. Sprawdzenie odporności na wilgotne gorące stałe

Wykonano próbę Ca wg PN-84/E-04603 odporności na wilgotne gorące stałe podczas pracy sterownika w czasie 96 h w stabilnych warunkach klimatycznych: temp. $+40^{\circ}\text{C} \pm 2^{\circ}\text{C}$, wilgotność wzgl. 93%. W czasie próby oraz po stabilizacji w warunkach normalnych otoczenia stwierdzono poprawne działanie badanych modułów - jako rezultat bezbłędnie wykonanych testów funkcjonalnych.
Wynik sprawdzenia pozytywny.

2.9. Sprawdzenie wytrzymałości na wilgotne gorące stałe

Wykonano próbę Ca wg PN-84/E-04603 wytrzymałości na wilgotne gorące stałe w czasie 96 h przebywania sterownika w stabilnych warunkach klimatycznych: temp. $+50^{\circ}\text{C} \pm 2^{\circ}\text{C}$, wilgotność wzgl. 93 %.

Po narażeniu j.w. dokonano stabilizacji w normalnych warunkach otoczenia, włączenie zasilania i wykonano testy funkcjonalne stwierdzając poprawne działanie badanych modułów.

Wynik sprawdzenia pozytywny.

2.10. Sprawdzenie rezystancji izolacji

Stwierdzono wartość rezystancji izolacji obwodu zasilania sieciowego wglądu zasilacza ochronnej oraz obudowy sterownika przy napięciu indukcyjnym 500 V - powyżej 20 M Ω .

Wynik sprawdzenia pozytywny.

2.11. Sprawdzenie wytrzymałości elektrycznej izolacji

Wykonano próbę wytrzymałości elektrycznej izolacji przykładając w obwodach - jak w p. 2.10 - napięcie 1500 V DC w czasie 1 min. Nie stwierdzono przebicia ani przeskoku iskry.

Wynik sprawdzenia pozytywny.

2.12. Sprawdzenie poprawności działania

Przed próbami narażeniowymi i po wykonaniu prób opisanych w pkt 2.5 - 2.11 sterownik poddano eksploatacji ciągłej w czasie 8 h jego pracy pod działaniem testów funkcjonalnych - stwierdzając poprawne (bezbłędne) działanie badanych modułów.

Wynik sprawdzenia pozytywny.

2.13. W uzgodnieniu z gł.wykonawcami słońca badań odporności i wytrzymałości na drgania mechaniczne odpowiednio:

- odporności na wibracje - wg wymagań pkt 2.3.4 ZH

- wytrzymałości na wibracje - wg wymagań pkt 3.2 ZH

- wytrzymałości na udary - wg wymagań pkt 3.3 ZH

nie wykonywane. Przypis pt. wykonawców: badania objęte pkt. 2.13 zostały wykonane podległym badaniom petrych modułów binarnych sterownika F-PLC.



3. Wyniki badań KEM

Sprawydzania modułów dot. wysogań KEM przeprowadzone na stanowisku laboratoryjnym w EK1 w układach pomiarowych pokazanych na rys.1.

Czas obserwacji objawów zakłóceń i narażenia zakłóceniami wynosił - dla modułu MB ok.1 min, co odpowiada ok. 3658 poprawnym sesjom.

Dla krótkotrwałych zaników co najmniej 10 zaników w zadany czas trwania zaniku symulowanego co 10 s,

- dla modułu analogowego odpowiada pełnemu cyklowi testowania TOR2 i TOR3 lub TOR0 i TOR1.

Za kryterium zakłócalności przyjęto:

- poprawną realizację programu testowego
- brak błędów dodatkowych pochodzących od narażeń,
- występowanie poprawnych stanów sygnalizacji na modułach i komunikatów do operatora
- brak objawów zakłóceń.

Badania przeprowadzono oddzielnie dla każdego modułu, przy połączeniu bieguna zasilacza (-24 V) do pze, oraz s wprowadzonym w obwód zasilania sieciowego zasilacza 24 V filtrem sieciowym.

Ze względu na obawę uszkodzenia komputera badania przeprowadzono przy poziomach zakłóceń, przy których wystąpiły pierwsze objawy zakłóceń.

3.1. Sprawdzenie odporności na zakłócenia impulsowe nanosekundowe

Sprawydzanie wykonane pomiarami zakłócalności

- dla obwodu sieciowego metodą SE10
- dla obwodów interfejsowych metodą SE10

Wyniki sprawdyceń przedstawiono w tabl.1 dla modułu MB i w tabl.2 dla modułu analogowego.

Na podstawie pomiarów stwierdzono następujące poziomy odporności:

Dla modułu MB

- dla obwodu sieciowego - bez filtru sieciowego 0,5 kV (< 1 kV)
- z filtrem sieciowym 2,0 kV (> 2 kV)
- dla kabla transmisji - bez filtru sieciowego 0,25 kV (~ 0,4 kV)
- z filtrem sieciowym 0,25 kV (~ 0,4 kV)

Dla modułu we/wy analogowych

- dla obwodu sieciowego - bez filtru sieciowego 1,0 kV (< 2 kV)
- z filtrem sieciowym 2,0 kV (> 2 kV)
- dla wejść analogowych 1,0 kV (~ 0,9 kV)
- dla wyjść analogowych 0,5 kV (~ 0,6 kV)

Tabl. 1

zakłócalność modemu MB (BITBUS) dla zakłóceń impulsowych nanosekundowych

zakłócalny obszar amplituda impulsu w /kV/	rodzaj wykryt. błędów				liczba błędnych sesji (BS)	uwagi
	BPZ	BPO	BRZ	BRO		
±0,5 LNE +1,0 L -1,0 L	-	-	-	-	-	bez filtru sieciowego
±1,0 H -1,0 H	14	13	7	1	4	
	5	8	3	3	4	
	5	9	213	215	216	
	lub zerwanie komunikacji					
	12	70	6	2	2	
	8	13	5	2	3	
	4	14	4	4	4	
kabel interf. ±0,2 +0,4 -0,4 ±0,42 -0,5	-	-	-	-	-	z filtrem w obwodzie sieciowym (FP250/4)
	8	1	-	2	1	
	2	5	1	2	2	
	zerwanie komunikacji					
	zerwanie komunikacji					
±0,5 LNE +1,0 ±2,0	-	-	-	-	-	z filtrem w obwodzie sieciowym (FP250/4)
	-	-	-	1(3)	-	
	-	-	-	-	-	
kabel interf. ±0,2 +0,4 ±0,44 -0,58	-	-	-	-	-	z filtrem w obwodzie sieciowym (FP250/4)
	2	3(+)	-	1	1(-)	
	zerwanie komunikacji					
	zerwanie komunikacji					
	zerwanie komunikacji					

BPZ błąd potwierdzenia przy zapisie

BPO " " przy odczycie

BRZ błąd ramki przy zapisie

BRO " " odczycie

BS liczba błędnych sesji (wykrycie niezgodności informacji zapisanej i odczytanej)

W czasie 1 min obserwacji wykonywane są średnio co 3658 sesji w rozumieniu programu testowego.

Objaw "zerwanie komunikacji" polegał na ciągłym ponawianym komunikacji o wykrytych błędach, wznowienie komunikacji wymagało wyl/sał obrotu sieciowego MB.

Tabl.2

Zakłócalność modułu we/wy analogowych dla zakłóceń impulsowych nadsiekundowych

zakłócający obwód amplituda impul. kV	wykryty błąd pomiaru w bitach maksymalny				uwagi
	we (TOR0) 0...10V	ws (TOR1) 0...20mA	wy - ws (TOR2) 0...20mA	wy - ws (TOR3) 0...10V	
+0,5 +1,0 +2,0	LNZ	---	---	---	bez fil- tru sie- ciowego
LNZ	---	---	---	4	
LNZ	---	---	---	4	
LNZ	---	---	> 255	> 255	
LNZ	---	---	---	4	
-2,0	LNZ	---	---	---	
LNZ	---	---	> 255	> 255	
+0,5 +1,0 +2,0	LNZ	---	---	---	s filt- rem sie- ciowym typ FP250/4
kabel we/wy (TOR2 i TOR3)					bez fil- tru sie- ciowego (s fil- trem siocio- wym nie zabiera poprawy)
+0,5			1	1	
-0,5			---	---	
+1,0			---	---	
-1,0			> 255	> 255	
-0,7			> 255	> 255	
-0,6			---	---	
wszystkie kable we/wy jednoos.					
+0,5	1	2			
-0,5	1	1			
+1,0	1	> 255			
-1,0	1	> 255			
+0,9	1	1			
-0,9	1	1			

Wynik sprawdzeń negatywny.

Wymagany poziom odporności dla obwodu sieciowego 2 kV nie został osiągnięty przy zastosowaniu filtra sieciowego w obwodzie zasilania sieciowego zasilacza 24 V. Filtr przeciwzakłócaniowy sieciowy i dodatkowe elementy przeciwzakłócaniowe były stosowane w zestawach FPIC badanych poprzednio.

Dla modułu MB (BITBUS) nie osiągnięto wymaganego poziomu odporności 0,5 kV. Ostateczna ocena konstrukcji modułu będzie możliwa po sprawdzeniu pełnej transmisji informacji pomiędzy magistralami komputera i ISB modułu. Zalecenia w tej sprawie podane we wnioskach z badań KEM. Aktualnie proponuje się obniżyć wymagany poziom odporności do 0,25 kV.

Dla wejść modułu analogowego osiągnięto wymagany poziom odporności przy uwzględnieniu dopuszczalnej tolerancji sygnału zakłócającego. Podwyższenie poziomu odporności wejść jest możliwe przez zastosowanie kabli o parami skręcanymi lub/i ekranem, względnie wprowadzenie dodatkowych elementów przeciwzakłócaniowych w moduły (p. wnioski z badań KEM).

Dla wyjść modułu analogowego w aktualnej konstrukcji nie osiągnięto wymaganego poziomu odporności 1 kV. Proponuje się obniżyć wymagany poziom odporności do 0,5 kV i zalecić stosowanie kabli ekranowanych. Problematykę podwyższenia odporności wyjść analogowych omówiono we wnioskach z badań KEM.

3.2. Sprawdzenie odporności na krótkotrwałe zaniki napięcia zasilania sieciowego

Sprawdzenie wykonane metodą symulacji SS70. Przy zanikach o czasie trwania zaniku w (ms) symulowanych co 10 s obserwowano:

Moduł analogowy

1...110 ms	bez objawów zakłóceń
110...180 ms	chwilowe przygaszenie LED POWER, realizacja programu poprawna, bez dodatkowych błędów
180...200 ms	j.w., dodatkowe przygaszenie LED Unca
powyżej 200 ms	przerwanie działania programu testowego, wygaszenie LED RUN, wznowienie programu testowego wymaga wyl./zał obwodu sieciowego (wykonania resetu)

moduł MB

- 1...170 ms bez objawów zakłóceń program testowego, poprawna wymiana informacji MB - komputer
- 170...200 ms wystąpienie błędnych sesji (błędy we wszystkich wykrywanych przypadkach)
- powyżej 200 ms zerwanie poprawnej komunikacji MB - komputer, ciągłe komunikaty o błędach, wzniesienie poprawnej pracy wysaga wyl/zał obwodu sieciowego MB

Wynik sprawdzenia pozytywny.

3.5. Sprawdzenie odporności na wyładowania elektryczności statycznej

Sprawdzenie wykonano przy inicjacji bezpośrednich wyładowań na obudowy modułów, metoda symulacji SE80, częstota wyładowań 1 s. Wstępnyymi pomiarami stwierdzono miejsca wyładowań ESD o największej odporności, są to płyty czołowe modułów w dolnej części, a mianowicie:

- dla modułu MB w pobliżu wkrętów mocujących płytę czołową
- dla modułu analogowego okolic przelączników funkcyjnych RS232/ISE oraz RUN/STOP

Następnie dokonano pomiarów dla serii 70 wyładowań w zadane miejsca pomiarowe o największej odporności.

Porcie ESD

Objawy

- | | |
|-----------|---|
| 2 kV | bez objawów zakłóceń |
| 4 kV | -"- |
| 5 do 6 kV | wystąpiły błędy pomiarowe i zatrzymanie realizacji testu modułu analogowego, występowały błędne sesje i zerwania komunikacji MB - komputer, zaobserwowano powierzchniowe wyładowania między częściami obudowy |

Wynik sprawdzenia pozytywny.

Proponuje się zwrócić uwagę konstruktorów na fakt występowania powierzchniowych wyładowań pomiędzy częściami obudowy (płytą czołową i wkrętami) świadczących o złej jakości połączeń pomiędzy częściami obudowy modułów.

3.4. Nie wykonano sprawdzeń:

- odporności na zakłócenia impulsowe dużej energii 1,2/50 μ s wg ZN p. 2.3.13 z powodu obawy uszkodzenia modułów i komputera. Badane moduły były zasilane bezpośrednio z typowego zasilacza bez żadnych środków ochrony przepięciowej w obwodzie sieciowym. W typowym zestawie sterownika FPLC występują środki ochrony w obwodzie sieciowym.
- odporności na zakłócenia sygła sinusoidalne o częstotliwości sieciowej wg ZN p. 2.3.14 i
- odporności na pola magnetyczne impulsowe wg ZN p. 2.3.11 ze względu na pozytywny wynik sprawdzenia wg p. 2.3.9 ZN i dotychczasowe doświadczenia, że te typy badań nie są krytyczne dla konstrukcji modułów.

3.5. Wnioski i zalecenia z badań KEM

1. Dostarczony do badań zestaw sterownika FPLC, zawierający moduły BITBUS i we/wy analogowych cechował się:

- brakiem środków ochrony przeciwzakłócenicowej w obwodzie sieciowym.

W dotychczas badanych zestawach sterownika stosowano filtr sieciowy przeciwzakłócenicowy typ FP250/4 oraz warystory absorbujące energię impulsów zakłócających.

- brakiem dostępnego zasięgu ochronnego umożliwiającego poprawne wykonanie połączeń obudów modułów. W dostarczonym zestawie połączenia obudów z lakierowaną płytą bakową zapewniono jedynie przez dwa skręty modułowe, co nie zapewnia dobrej jakości połączeń.

- montażem elementów obudów nie zapewniającym poprawnej dobrej jakości połączenia między skręcanyymi częściami obudów.

Złe jakościowe połączenia mechaniczne części obudów i brak możliwości poprawnego wykonania połączeń ochronnych obudów modułów spowodowały obniżenie odporności na wyładowania ESD w stosunku do wcześniejszych badanych zestawów i wystąpienie powierzchniowych wyładowań.

W związku z powyższym zaleca się:

- obowiązkowe stosowanie środków ochrony przeciwzakłócenicowych w obwodzie zasilania sieciowego zestawów, wg. n. wcześniejszymi ustaleniami.

- zwrócić szczególną uwagę na poprawny montaż mechaniczny obudów modułów oraz wprowadzić technologiczne środki przy obróbce powierzchniowej elementów obudów zapewniające dobrą jakość połączeń elektrycznych pomiędzy częściami składowymi obudów
- konstrukcja służąca do mocowania modułów powinna być wyposażona w listwę z zaciskami ochronnymi umożliwiającymi poprawne wykonanie wszystkich połączeń ochronnych (obudów, biegunów -24 V zasilaczy, ekranów kabli itp.)
- do badań KEM powinny być dostarczane zestawy, w których część podstawowa zestawu (zasilacz, konstrukcja nośna) powinna być ta sama dla wszystkich badanych modułów. Zapewnia to powtarzalność i porównywalność wyników badań KEM dla różnych modułów.

2. Program testowy wykorzystywany do badań Modułu BITBUS nie obejmował obsługi wymiany informacji pomiędzy magistralą ISB modułu i procesorem komunikacyjnym BITBUS. Również konstrukcja testu zapewniająca w czasie rzeczywistym wyświetlanie informacji o wykrytych błędach, wygodna przy występowaniu pojedynczych błędów, nie jest przydatna przy badaniach z narażeniami zakłócającymi o dużej częstotliwości występowania (serii impulsów nanosekundowych) była przyczyną występowania objawów nazwanego "zerwanie komunikacji" gdyż program zajęty jest generowaniem kolejnych komunikatów dla operatora.

Fakt wykorzystania typowego pakietu komputera PC jako urządzenia współpracującego uniemożliwił pełne sprawdzenie MB przy założonych ostrościach z powodu obawy uszkodzenia komputera nie przystosowanego do warunków przemysłowych. Badania prowadzono przy poziomach, dla których wystąpiły pierwsze objawy zakłóceń. Zaleca się aby do ostatecznej oceny konstrukcji MB przystąpiło badanie wykonać:

- przy zmienionym programie testowym obejmującym obsługę współpracy pomiędzy magistralami ISB i komputera bez fragmentu testu generującego na bieżąco komunikaty dla operatora o wykrytych błędach. Wykryte błędy powinny być zliczane i wydawane na ścisłe operatora. W teście powinny być jednocześnie sformułowane kryteria oceny wykrytych błędów
- przy współpracy dwóch modułów MB co umożliwi sprawdzenia przy ostrościach narazień występujących w warunkach przemysłowych
- przy współpracy z pakietem BITBUS komputera PC dla sprawdzenia kompatybilności funkcjonalnej rozwiązań MB i oprogramowania z typowym standardowym interfejsem

- do czasu wykonania w/w badań obniżyć wymagany poziom odporności interfejsu BITBUS do 0,25 kV

3. Przeprowadzone badania potwierdziły kompatybilność interfejsu BITBUS modułu EPIC ze standardowym urządzeniem handlowym produkcji zachodniej. Dotychczas opracowane w PIAP urządzenia do BITBUS nie były sprawdzane na współpracę z takim standardowym urządzeniem.

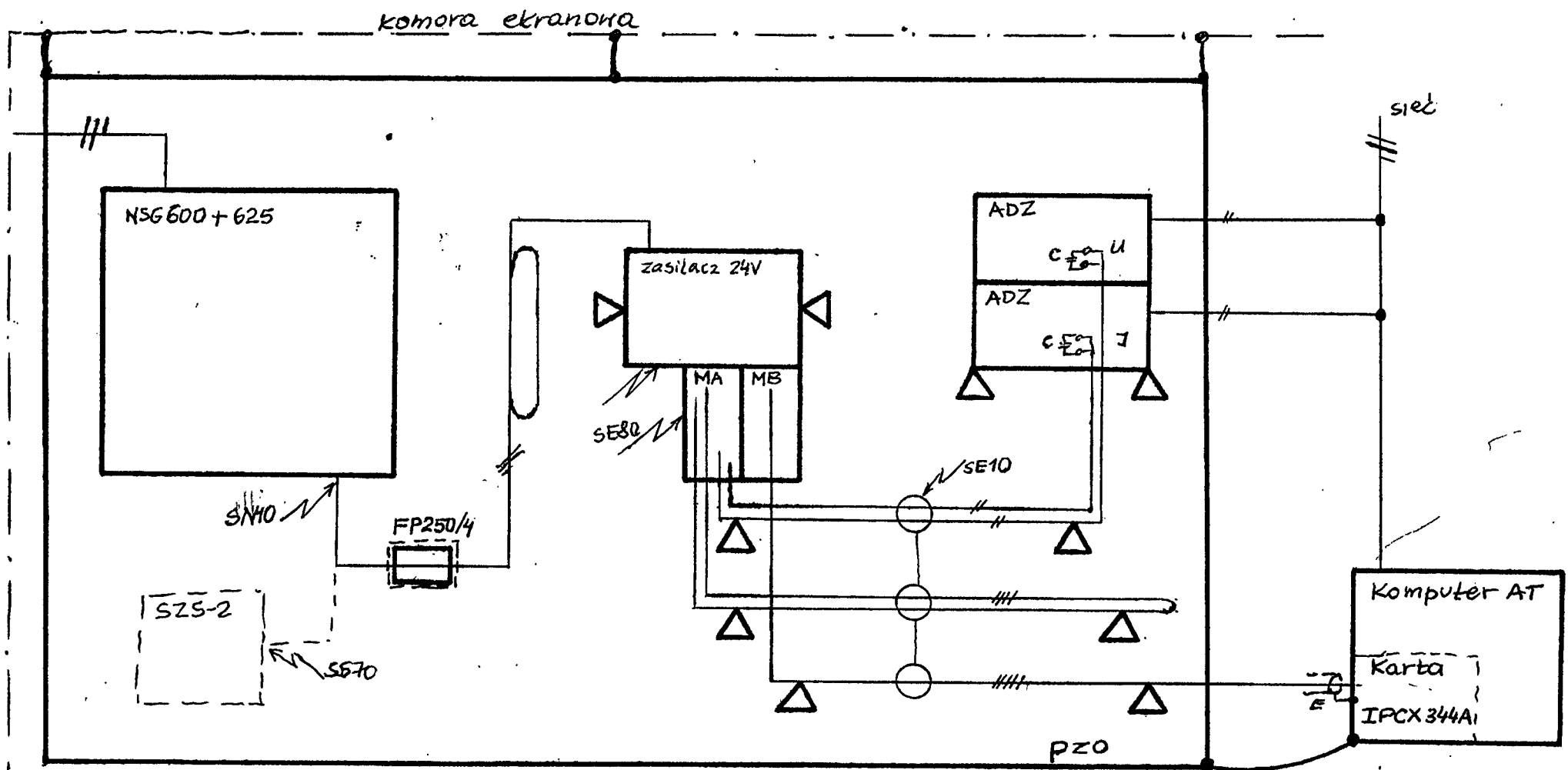
4. Problematyka odporności wyjść i wejść modułu analogowego wymaga analiz układowych poprawnego wykonania wprowadzonych zmian układowych i ewentualnego wprowadzenia do modułu dodatkowych środków przeciwwakłóceniovych. Przy stosowaniu modułu z aktualnym rozwiązaniem badania zaleca się:

- wprowadzić zalecenie dla użytkownika stosowania kabli ekranowanych dla wejść i wyjść modułu lub zewnętrznych środków przeciwwakłóceniovych
- obniżyć wymagany poziom odporności dla wyjść do poziomu 0,5 kV
- zalecić wprowadzenie do oprogramowania użytkowego fragmentów programów obróbki cyfrowej sygnałów mierzonych.

Należy przypuszczać, że poprawne wykonanie wprowadzonych zmian w module zapewni podwyższenie poziomu odporności we/wy modułu.

5. Wnioski końcowe

- 1) badane moduły sterownika EPIC interfejsu BITBUS (dok.nr rej. 6813) i wejść i wyjść analogowych (dok.nr rej. 6812 ze zmianami 03.92) przeszły badania z wynikiem pozytywnym pod warunkiem obniżenia wymaganego poziomu odporności na zakłócenia impulsowe nanosekundowe dla obwodu interfejsowego BITBUS do poziomu 0,25 kV i dla wyjść analogowych w module I/O Analog do poziomu 0,5 kV oraz zastosowaniem co najmniej filtru przeciwwakłóceniovego w obwodzie sieciowym zasilacza 24 V zestawu
- 2) przy weryfikacji dokumentacji modułów po badaniach należy uwzględnić uwagi i zalecenia z badań KEM
- 3) stwierdzono, że moduł interfejsu BITBUS współpracuje ze standardowym urządzeniem handlowym produkcji zachodniej. Ostateczna ocena konstrukcji modułu będzie możliwa po uwzględnieniu wniosków i zaleceń po badaniach KEM
- 4) w przyszłych badaniach urządzeń z interfejsem BITBUS należy przeprowadzić badania umożliwiające określenie wymagań na kable i sposób połączeń interfejsu, zapewniające najwyższe poziomy odporności.



Kondensator blokujący ADZ $C = 1\mu F + 33nF$

długości kabli:

TOR0 i TOR1 do ADZ $l = 2m$

petla TOR2 i TOR3 $l = 2,5m$

interfejsu BITBUS $l \approx 5m$

pzo - płaszczyna ziemi odniesienia $1m \times 1,8m$

Rys. 1. Rozmieszczenie urządzeń na stanowisku badań KEM