

6829_{up}

PRZEMYSŁOWY INSTYTUT AUTOMATYKI I POMIARÓW
MERA-PIAP
Al. Jerozolimskie 202 02-222 Warszawa Telefon 23-70-81

OŚRODEK POMIARÓW RUCHU I CZASU

440

BE 40

Główny wykonawca mgr inż. Rafał Więcko

Wykonawcy mgr inż. Andrzej Zasucha,
mgr inż. Dariusz Okrasa

Konsultant

Nr zlecenia S 1297.

Opracowanie koncepcji modułu
przejściowego Master/Slave
magistrali szeregowej zgodnej
ze standardem Bitbus.

Zleceniodawca

Pracę rozpoczęto dnia 22.04.92

zakończono dnia 20.05.92

Gł. Wykonawca

Z-ca Dyr. A/s DB

Kierownik Ośrodka

mgr inż. Rafał Więcko

dr inż. J. Jabłkowski

mgr inż. A. Cybulski

Praca zawiera:

Roździelnik - ilość egz:

stron 16

Egz. 1 BOINTE

rysunków 9

Egz. 2 ORC

fotografii

Egz. 3 ORC

tabel

Egz. 4

tablic

Egz. 5

załączników

Egz. 6

Nr rejestr. 6829

1

638

Analiza deskryptorowa

Analiza dokumentacyjna

Tytuły poprzednich sprawozdań

UKD

PIAP 41/88 10000

2

OPRACOWANIE KONCEPCJI MODUŁU PRZEJŚCIOWEGO MASTER/SLAVE
MAGISTRALI SZEREGOWEJ ZGODNEJ ZE STANDARDEM BITBUS

Zlecenie nr S1297

1. Przeznaczenie modułu

Moduł pośredniczący umożliwia wymianę informacji pomiędzy dwoma magistralami szeregowymi standardu BITBUS (nadrzędnej i podrzędnej). Pozwala to konstruować wielopoziomowe sieci hierarchiczne urządzeń posiadających wbudowane interfejsy komunikacyjne standardu BITBUS. Architektura sieci dwupoziomowej przedstawiono na rys.1.

2. Architektura modułu

Konstrukcję modułu zrealizowano w oparciu o dwa mikrokontrolery komunikacyjne 8344AH firmy Intel, posiadające wbudowane moduły komunikacyjne SDLC. Każdy z mikrokontrolerów dołączony jest do odrębnej magistrali szeregowej. Wymiana informacji pomiędzy mikrokontrolerami odbywa się za pomocą zespołu rejestrów FIFO 64x8 - U11,U12 (74LS2232), umieszczonego w zewnętrznej przestrzeni adresowej pamięci danych. Ograniczone zasoby wbudowanych pamięci danych rozszerzono dołączając zewnętrzną pamięć RAM 32kb (62256). Magistrale szeregowe izolowane są galwanicznie od masy systemu mikroprocesorowego oraz pomiędzy sobą. Układ dostosowany jest do zasilania napięciem przemiennym 220 V. Moduł wyposażono w układy kontroli obecności napięcia zasilania i poprawności działania (watchdog). Mikrokontroler magistrali nadrzędnej posiada dodatkowo zespół 8 przełączników SW1, umożliwiających określenie adresu modułu w sieci nadrzędnej. Stan przełączników odczytywany jest przez mikrokontroler szeregowo, za pomocą rejestru U14 (74LS165) dołączonego do portu P1.

Schemat blokowy modułu przedstawiono na rys.2.

Schemat ideowy zespołu mikrokontrolerów przedstawiono na rys.3.

Schemat ideowy zespołu zasilacza przedstawiono na rys.4.

Projekt płytki drukowanej zespołu mikrokontrolerów przedstawiono na rys.5.

Projekt płytki drukowanej zespołu zasilacza przedstawiono na rys.6.

3. Organizacja przestrzeni adresowej pamięci danych.

W zewnętrznej przestrzeni adresowej pamięci danych obu mikrokontrolerów umieszczono dodatkowe urządzenia:

- pamięć danych RAM 32kb (62256): 0000-7FFFh
- bufor dwudostępny FIFO (2x74ALS2232) : 8000-FFFFh

4. Organizacja wymiany informacji poprzez bufor dwudostępny

Pamięci RAM dostępne są wyłącznie lokalnie, tzn. dla mikrokontrolera do którego zostały dołączone. Bufor dwudostępny umożliwia pseudodwukierunkową wymianę informacji pomiędzy mikrokontrolerami, tzn. dany mikrokontroler może wpisać do niego informację przeznaczoną dla drugiego mikrokontrolera i odczytać z bufora informacje wpisane przez drugi mikrokontroler. Zaden z mikrokontrolerów nie może odczytać informacji, którą wpisał do bufora dwudostępnego (np. w celu jej weryfikacji).

Bufor dwudostępny składa się z dwóch jednokierunkowych rejestrów FIFO - U11,U12(74ALS2232), umieszczonych w tej samej przestrzeni adresowej zewnętrznej pamięci danych (8000-FFFFh). Dostęp do wybranego rejestru rozróżniany jest na podstawie cyklu maszynowego odczytu lub zapisu zewnętrznej pamięci danych.

Wymiana informacji obsługiwana jest programowo, na podstawie oceny stanu linii statusu rejestrów FIFO.

- FULL\ (0 - bufor pełny, nie przyjmuje danych) P1.1
- EMPTY\ (0 - bufor pusty, brak danych w buforze) P1.0

Wpis bajtu danych do FIFO musi być poprzedzony sprawdzeniem stanu linii FULL\. Odczyt bajtu danych musi być poprzedzony sprawdzeniem stanu linii EMPTY\. Stan tej linii statusu bufora dwudostępnego musi być cyklicznie sprawdzany - (1) oznacza, że w buforze znajdują się dane do odbioru.

5. Odczyt stanu zespołu przełączników SW1

Do mikrokontrolera sieci nadrzędnej U3 (8344AH) dołączono zespół przełączników SW1, umożliwiających określenie adresu modułu w sieci. Procesor odczytuje stan przełączników za pomocą rejestru szeregowego U14 (74LS165), dołączonego do portu P1:

- SH/LD\ (P1.3)
- CLK (P1.4)
- QH (P1.2)

Odczyt stanu przełączników obsługiwany jest programowo. Stan przełączników wpisywany jest do rejestru przy niskim stanie linii SH/LD\ (P1.3). Stan rejestru odczytywany jest przy wysokim stanie linii SH/LD\. Narastające zbocze zegara CLK powoduje przesuwanie zawartości rejestru. Dane dostępne są na wyjściu QH (P1.2).

6. Układ kontroli obecności napięć zasilania i poprawności działania (watchdog)

Każdy z mikrokontrolerów posiada niezależny układ kontroli poprawności działania (watchdog) i obecności napięcia zasilania U6, U12 (MAX699). W momencie załączenia zasilania układ generuje sygnał RST, wymuszający restart procesora. Jeżeli napięcie zasilania jest niższe od 4.65V, generowany jest sygnał restartu. Brak zmiany stanu linii WDI (P3.2) w ciągu 1s powoduje wygenerowanie sygnału restartu (RST).

7. Układ interfejsu magistrali szeregowych

Układy interfejsów magistrali szeregowych zrealizowano w standardzie RS485, zgodnie z wymaganiami standardu BITBUS.

Izolację galwaniczną zapewnia zespół szybkich transoptorów U16, U17, U18, U19, U20, U21 (6N137), umożliwiających transmisję danych z szybkością 375kb/s.

Obydwa łącza szeregowo (sieci nadrzędnej i podrzędnej) izolowane są galwanicznie pomiędzy sobą.

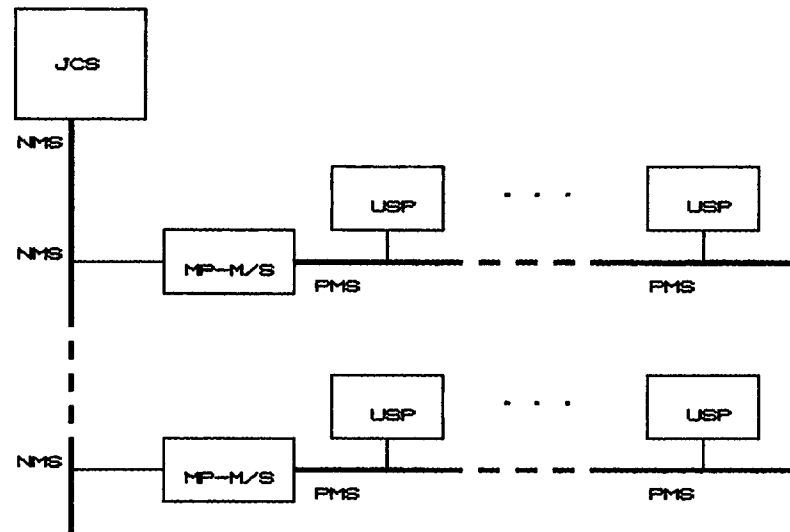
8. Układ zasilania

Układ zasilania modułu dostosowany jest do współpracy z napięciem przemiennym 220V. Napięcia zasilania systemu mikroprocesorowego i obydwu łączy magistrali szeregowych są odizolowane galwanicznie pomiędzy sobą. Układ posiada wbudowany filtr sieciowy redukujący poziom zakłóceń linii zasilania 220V.

9. Obudowa

Projekty płytek drukowanych dostosowano do handlowych obudów przemysłowych firmy Bopla (RFN) - M2401, M250. Obudowy te zapewniają niezbędne stopnie ochrony (do IP65) i umożliwiają łatwe mocowanie modułu w dowolnym miejscu (np. do ściany). W przypadku zastosowań, które nie wymagają tej klasy ochrony, np. instalacje w pomieszczeniach biurowych itp., stosowane mogą być obudowy typu Ultramas 19 (UM32609), charakteryzujące się estetycznym wyglądem.

Rys.1. ARCHITEKTURA SIECI DWUPOZIOMOWEJ

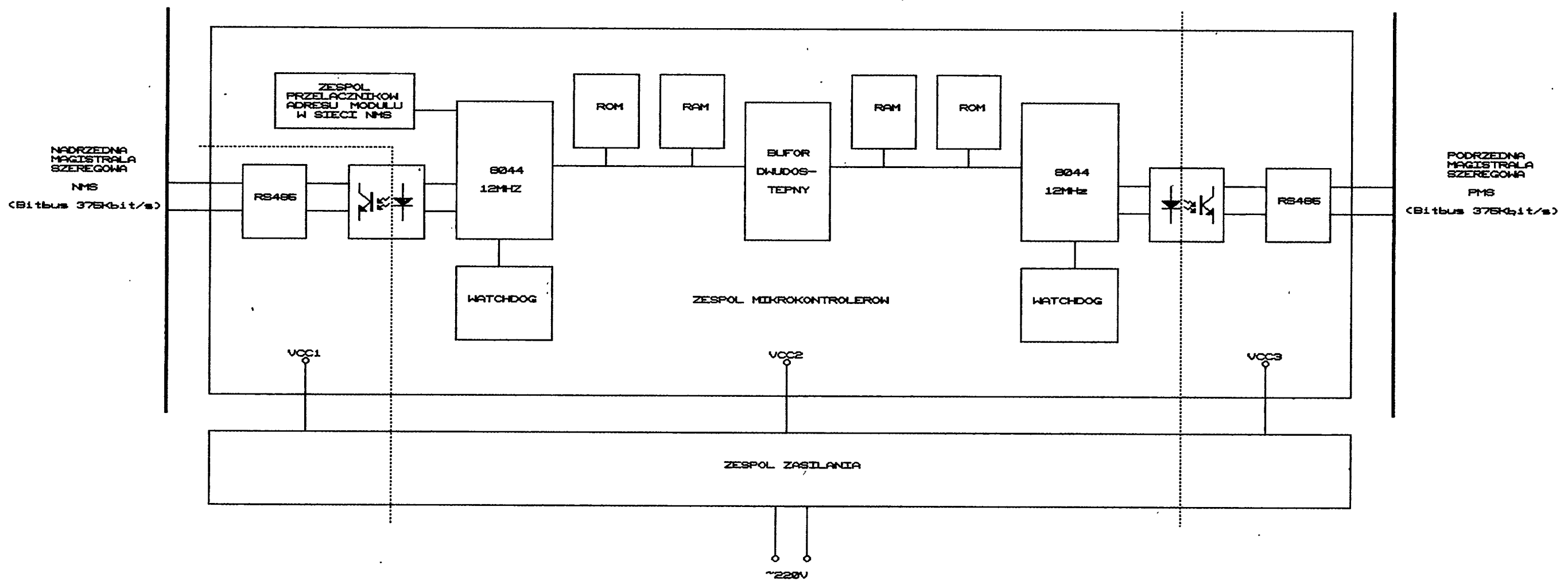


OZNACZENIA:

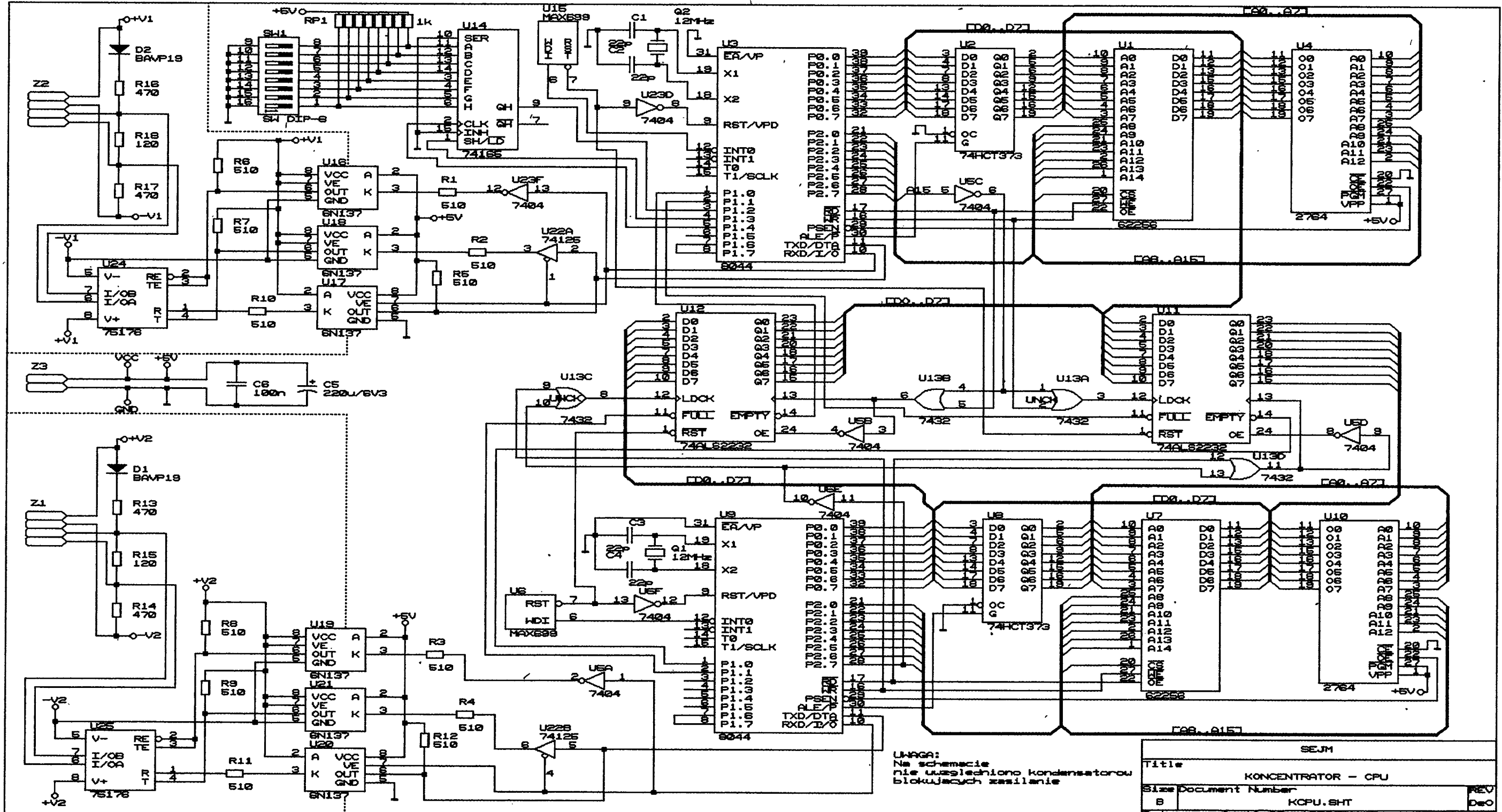
- NMS - nadrzędna magistrala szeregową
- PMS - podrzędna magistrala szeregową
- JCS - jednostka centralna sieci wielopoziomowej
- USP - urządzenie sieci podrzędnej
- MP-M/S - moduł pośredniczący MASTER/SLAVE

Size	Document Number	REV
A		
Date:	May 22, 1982	Sheet of

Rys.2. SHEMAT BLOKOWY MODULU POSREDNICZACEGO MASTER/SLAVE

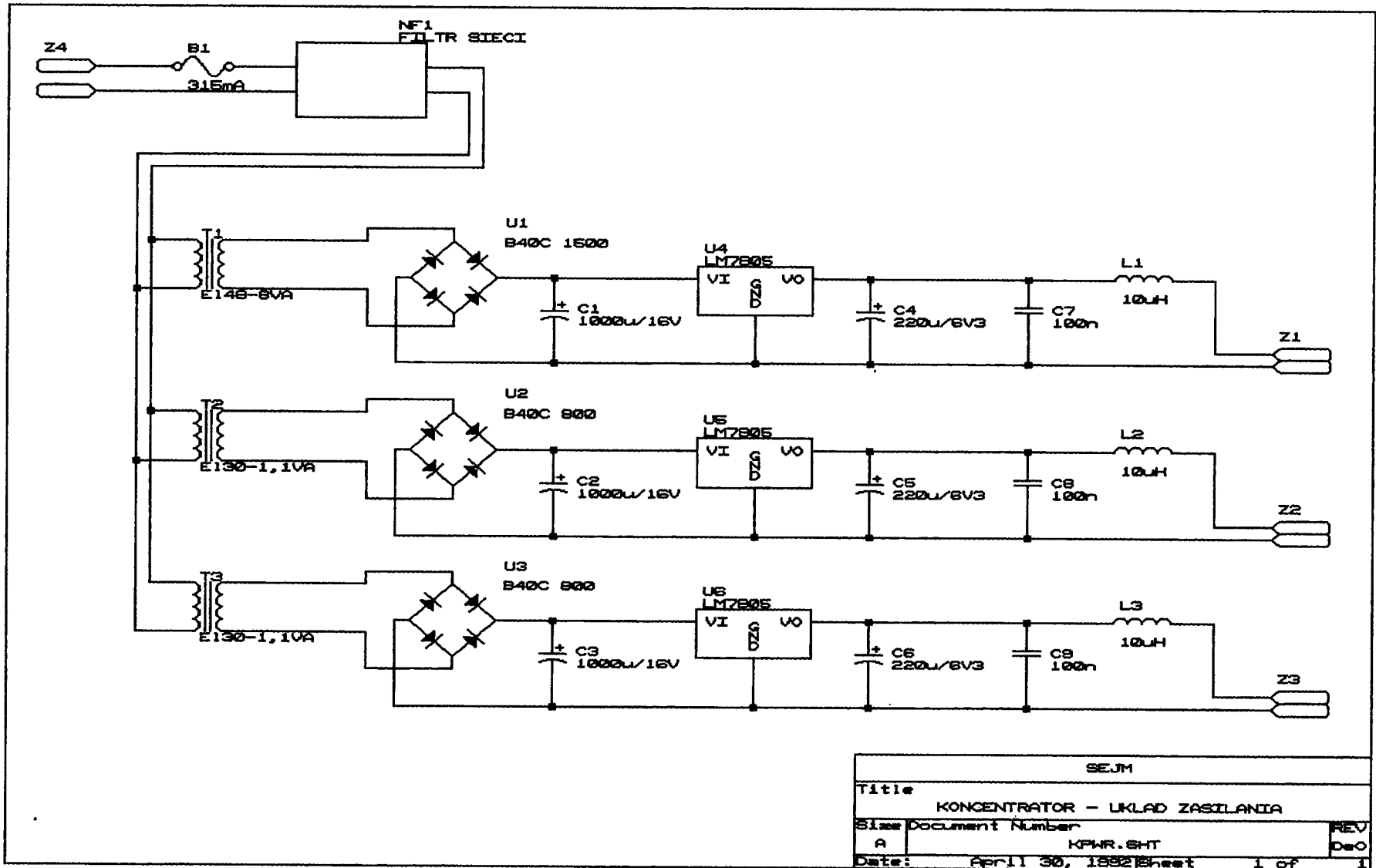


Size	Document Number	REV
B		
Date:	May 22, 1992	Sheet of



UWAGA:
 Na schemacie
 nie uwzględniono kondensatorów
 blokujących zasilanie

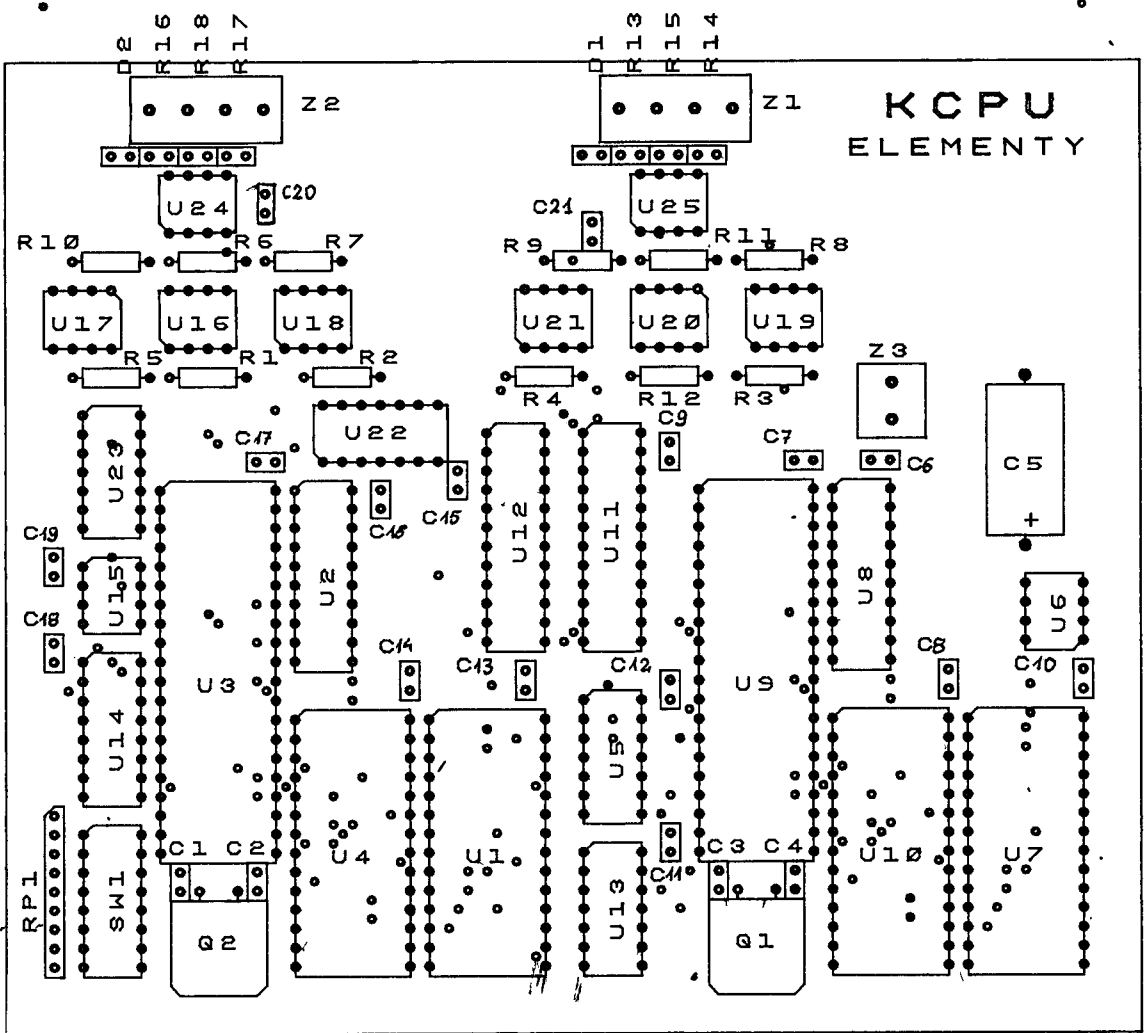
SEJM	
Title	KONCENTRATOR - CPU
Size Document Number	KCPU.SHT
Date:	April 30, 1982 Sheet 1 of 1

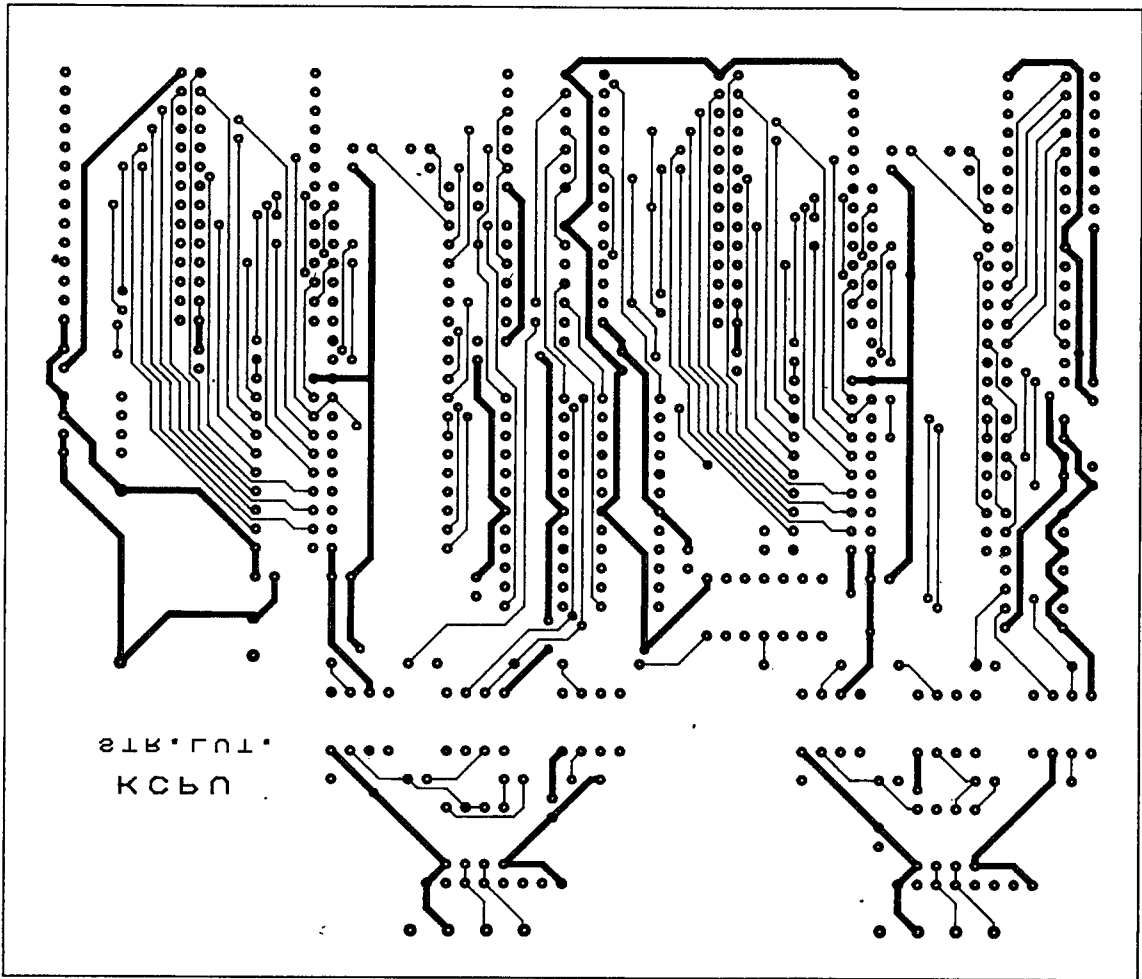


SEJM			
Title			
KONCENTRATOR - UKLAD ZASILANIA			
Size	Document Number		REV
A	KPNR.SHT		DeO
Date:	April 30, 1992		Sheet 1 of 1

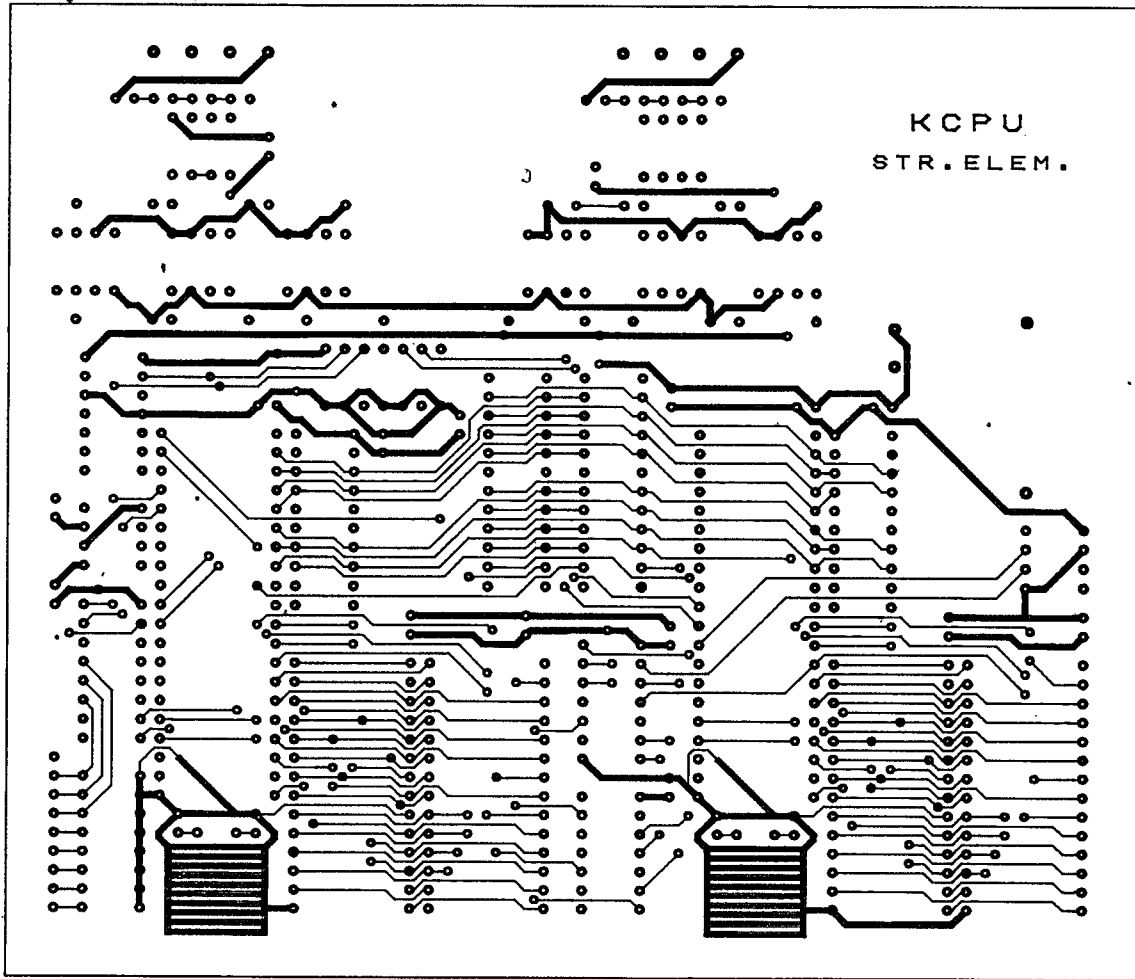
11

12

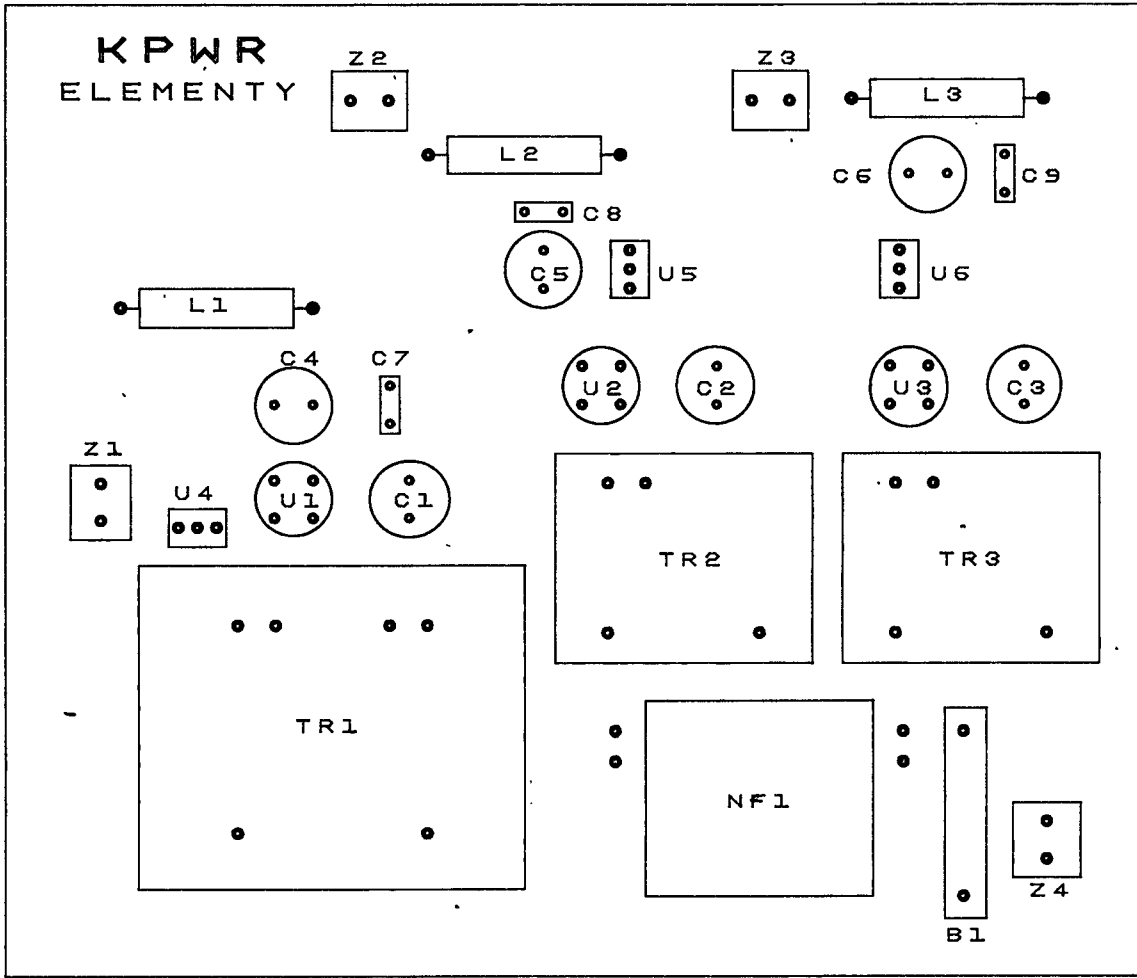


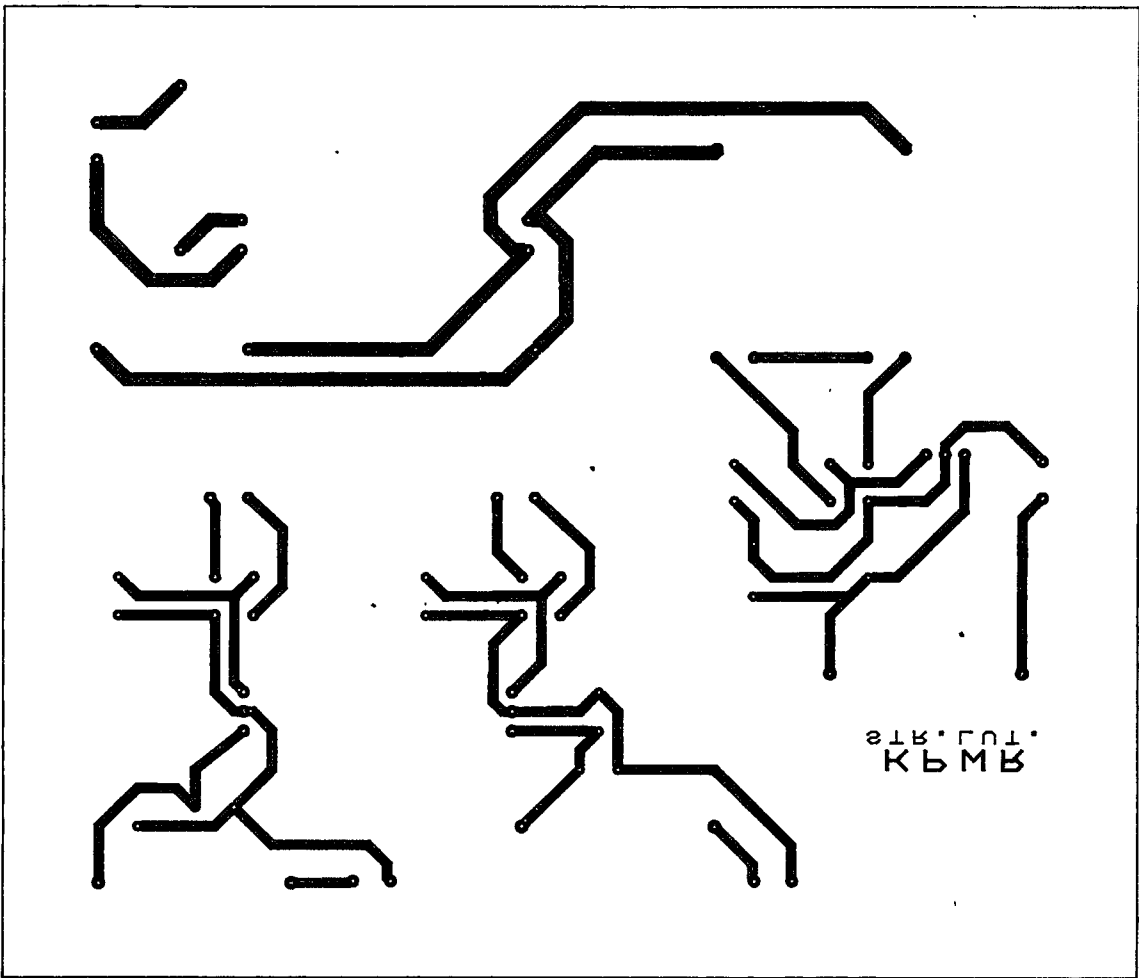


KCPN
STR.FUT.



NA





01R.001.
KPMB

SPIS ELEMENTOW PAKIETU KCPU

KONCENTRATOR - JEDNOSTKA CENTRALNA
KCPU.SHT

Nr.	Ilosc	Oznaczenie	Symbol	Nazwa
1	2	U1,U7	62256	uklad scalony
2	2	U2,U8	74HCT373	uklad scalony
3	2	U3,U9	8044	uklad scalony
4	2	U4,U10	27C64	uklad scalony
5	4	C1,C2,C3,C4	KCPm/22p/63V	kondensator
6	2	U6,U15	MAX699	uklad scalony
7	2	U5,U23	74HCT04	uklad scalony
8	2	Q1,Q2	12MHz/3011	oscylator kwarcowy
9	2	U11,U12	74ALS2232	uklad scalony
10	1	U13	74HCT32	uklad scalony
11	1	U14	74HCT165	uklad scalony
12	1	SW1	SW DIP-8	zestaw mikroprzelacznikow
13	1	RP1	MLT/1k/0,25W/10%	rezystor
14	6	U16,U17,U18, U19,U20,U21	6N137	uklad scalony
15	12	R1,R2,R3,R4,R5, R6,R7,R8,R9, R10,R11,R12	MLT/510/0,25W/10%	rezystor
16	1	U22	74HCT125	uklad scalony
17	2	U24,U25	75176	uklad scalony
18	4	R13,R14,R16,R17	MLT/470/0,25W/10%	rezystor
19	2	R15,R18	MLT/120/0,25W/10%	rezystor
20	2	D1,D2	BAVP19	dioda
21	16	C6,C7,C8,C9, C10,C11,C12, C13,C14,C15, C16,C17,C18, C19,C20,C21	KFPm/100n/63V	kondensator
22	1	C5	196D/220u/6V3	kondensator elektrolityczny
23	5	Z1,Z2,Z3	A02-KLG-T-D	listwa zaciskowa 2 pozycyjna

SPIS ELEMENTOW PAKIETU KPWR

KONCENTRATOR - UKLAD ZASILANIA
KPWR.SHT

Nr.	Ilosc	Oznaczenie	Symbol	Nazwa
1	3	U4,U5,U6	LM7805	uklad scalony
2	3	L1,L2,L3	10uH	dlawik
3	3	C8,C7,C9	KFPm 100n/63V	kondensator
4	1	B1	315mA	bezpiecznik topik.na podstawce
5	1	T1	E148-8VA	transformator
6	2	T2,T3	E130-1,1VA	transformator
7	1	U1	B40C 1500	mostek gretza
8	2	U2,U3	B40C 800	mostek gretza
9	3	C1,C2,C3	196D/1000u/16V	kondensator elektrolityczny
10	3	C4,C5,C6	196D/220u/6V3	kondensator elektrolityczny
11	4	Z1,Z2,Z3,Z4	A02-KLG-T-D	listwa zaciskowa 2 pozycyjna