Przemysłowy Instytut Automatyki i Pomiarów
Al. Jerozolimskie 202, 02-486 Warszawa

440 BE1

OŚRODEK POMIARÓW RUCHU I CZASU

Nazwa ONB/ZNB

Główny wykonawca mgr inż. Rafał Więcko

Wykonawcy mgr inż. Rafał Więcko

.....

„Optymalizacja systemu do pomiaru grubości"

praca jednoetapowa

DOKUMENT WZORCOWY

(Tytuł pracy, numer i tytuł etapu)

Zleceniodawca PIAP

Główny Wykonawca
mgr inż.R.Więcko

Z-ca Dyrektora d/s
Badawczo Rozwojowych
dr inż. Jan Jabłkowski

Kierownik ORC
mgr inż. A.Cybulski

Pracę zakończono dnia 18.12.98r.

Nr arch. **7612**

Nr zlecenia **S1851**

Abstrakt

Tytuły poprzednich sprawozdań

Rozdzielnik

Egz.1 OIN

Egz.2 ORC

Egz.3 .....

Spis treści

1. Sprawy formalne
    1.1. Cel pracy
    1.2. Podstawa wykonania pracy
2. Wstęp
3. Przedmiot pracy
4. Źródła ograniczeń parametrów użytkowych systemu i sposób ich przezwyciężenia
5. Wnioski końcowe
6. Uwagi o przebiegu pracy
7. Wykaz załączników

1. Sprawy formalne

1.1. Cel pracy

Celem pracy było napisanie rozprawy doktorskiej p.t. „Optymalizacja systemu do pomiaru grubości" i przedłożenie jej Komisji ds. przewodów doktorskich przy Instytucie Elektrotechniki Teoretycznej i Miernictwa Elektrycznego Wydziału Elektrycznego Politechniki Warszawskiej.

1.2. Podstawa wykonania pracy

Podstawą wykonania pracy jest zlecenie statutowe S1851 p.t. „Optymalizacja systemu do pomiaru grubości".

2. Wstęp

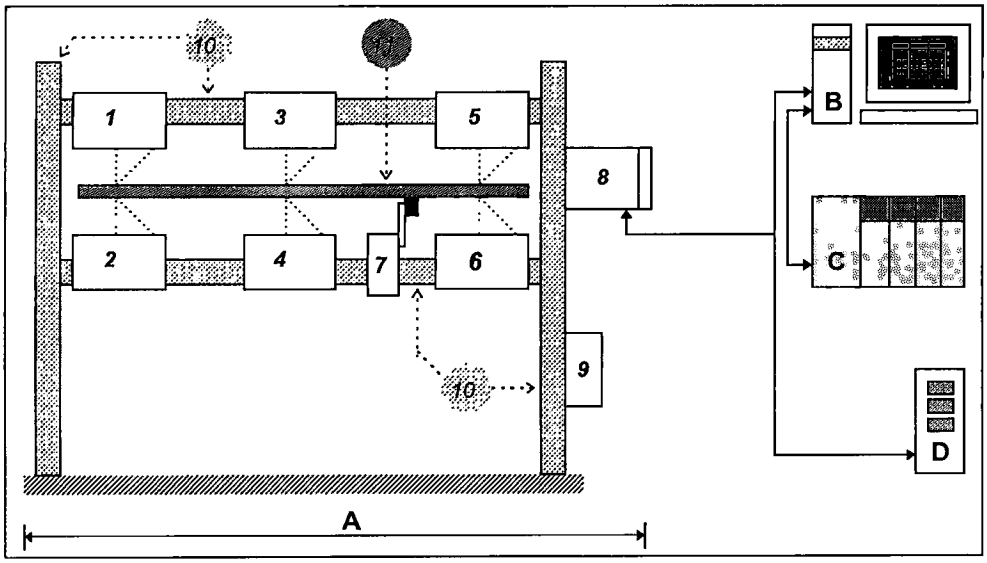
Rozprawa doktorska p.t. „Optymalizacja systemu do pomiaru grubości", powstała pod kierunkiem promotora prof. dr hab. Marka Stabrowskiego, poświęcona jest analizie i wybranym aspektom szeroko rozumianej modernizacji laserowego systemu bezdotykowego pomiaru grubości opracowanego w PIAP-ORC.

3. Przedmiot pracy

Laserowy system bezdotykowego pomiaru grubości został opracowany w PIAP-ORC w roku 1994 i wdrożony w Zakładach Płyt Wiórowych „PROSPAN" w Wieruszowie. Kolejne dwa systemy, po modernizacji konstrukcji mechanicznej głowic pomiarowych, zostały wdrożone w Zakładach Płyt Wiórowych „GRAJEWO" S.A. w roku 1996. System charakteryzuje architektura rozproszona, nietypowa dla omawianego zastosowania. W momencie opracowania pierwszej wersji systemu komercyjne głowice pomiarowe były praktycznie niedostępne na rynku. Był to jeden z powodów dla których opracowano własną konstrukcję głowicy pomiarowej z wbudowanym mikrokontrolerem przetwarzającym sygnał liniowego czujnika obrazowego CCD. Jako naturalny sposób udostępnienia wyniku pomiaru odległości wybrany został interfejs szeregowy w układzie magistrali, dostatecznie szybki w odniesieniu do wymagań odbiorcy, zapewniający jednocześnie wysoką odporność na zakłócenia przemysłowe. Ze względu na wysokie koszty i znaczne rozmiary sterowników przemysłowych standardu VME zdecydowano również o opracowaniu własnego sterownika sieci głowic pomiarowych, charakteryzującego się zwartą konstrukcją i niewielkim kosztem. System do pomiaru grubości przedstawiono na Rys.1.

Jakkolwiek opracowany system zdał egzamin w praktyce, to widoczne stały się jego ograniczenia, zawężające pole potencjalnych zastosowań (np. dwa prążki w polu widzenia kamery, pomiar szerokości prążka). Dotyczą one głównie sposobu i szybkości przetwarzania obrazu przez mikrokontroler głowicy pomiarowej. Drugim elementem o krytycznym znaczeniu jest szybkość wymiany danych między głowicami i sterownikiem sieci głowic. Oba parametry niekorzystnie ograniczają liczbę pomiarów chwilowych (skanowań) w funkcji szybkości unoszenia płyty po samotoku zakładu produkcyjnego. Zaobserwowane zostały również trudności w uzyskaniu powtarzalnych wyników pomiaru dla nieruchomej, chropowatej

powierzchni, wynikające ze spójności wiązki oświetlacza laserowego, utrudniające kalibrację zmodernizowanych głowic w procesie produkcji i okresową rekalibrację całego stanowiska pomiarowego.



Oznaczenia:

A	- stanowisko pomiarowe	*1...6*	- głowice pomiarowe
B	- terminal operatorski stanowiska brakarki	*7*	- czujnik obecności płyty
C	- sterownik PLC linii technologicznej	*8*	- sterownik sieci głowic 1...6
D	- panelowy wyświetlacz obiektowy	*9*	- puszka rozdzielcza zasilania
		10	- rama nośna
		11	- płyta wiórowa

Rys.1. Architektura systemu do pomiaru grubości płyt wiórowych

Stwierdzone ograniczenia parametrów użytkowych systemu, jak też wzrastające lub nietypowe wymagania potencjalnych odbiorców, skłoniły Głównego Wykonawcę zlecenia do rozważenia kierunków modernizacji podstawowych podzespołów systemu, gdyż nadal stanowi on rozwiązanie konkurencyjne cenowo w odniesieniu do ofert firm zagranicznych. Całkowity koszt systemu PIAP wynosi około 200000 zł, co odpowiada około 50% ceny rozwiązań konkurencyjnych. Jednocześnie łączny koszt podzespołów komercyjnych jest porównywalny z ceną kompletnego systemu PIAP (cena pojedynczej głowicy pomiarowej firmy KEYENCE wynosi około 25000 zł, wielokanałowego sterownika pomiarowego około 40000 zł). Jednocześnie cena systemu PIAP, mimo że zdecydowanie niższa od rozwiązań konkurencyjnych, stanowi główne ograniczenie w jego sprzedaży. Z powyższych powodów niemożliwe jest wykorzystanie podzespołów komercyjnych, a jedyną alternatywą jest modernizacja własnej konstrukcji, zmierzająca do przezwyciężenia ograniczeń parametrów użytkowych i rozszerzenia cech funkcjonalnych.

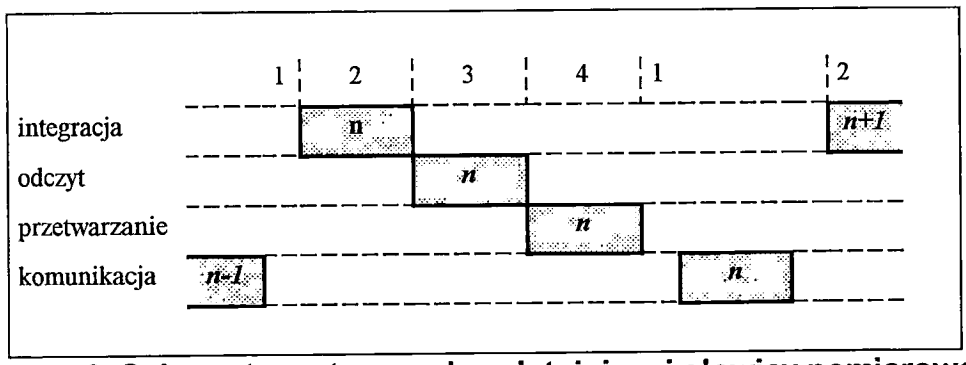
Zmianom wymagań odbiorców towarzyszy stały rozwój technik oprogramowania, zwłaszcza w zakresie graficznego interfejsu użytkownika, narzucający dodatkowe wymagania na moc przetwarzania jednostki centralnej sterownika sieci głowic (np. wizualizacja graficzna profilu płyty już na wyświetlaczu panelu operatorskiego sterownika, a nie tylko terminala stanowiska brakarki). Równocześnie w wyniku systematycznego postępu w produkcji podzespołów elektronicznych wprowadzane są nowe układy (struktury logiczne, specjalizowane

przetworniki analogowo-cyfrowe i procesory), umożliwiające realizację zwiększonych wymagań odbiorców. Procesowi temu towarzyszy wycofywanie z rynku starszych konstrukcji (np. uznanie przez Mototolę architektury 68000 za wyczerpaną i przeniesienie nowych rozwiązań na platformę PowerPC, ColdFire i M-Core).

Analiza źródeł ograniczeń parametrów użytkowych istniejącego systemu i wskazanie kierunków modernizacji, zapewniających przezwyciężenie tych ograniczeń stała się tematem przewodu doktorskiego p.t. „Optymalizacja systemu do pomiaru grubości" w Istytucie Elektrotechniki Teoretycznej i Miernictwa Elektrycznego Wydziału Elektrycznego PW pod kierunkiem prof. dr hab. M. Stabrowskiego.

4. Źródła ograniczeń parametrów użytkowych systemu i sposób ich przezwyciężenia

Przeprowadzona analiza wykazała, że głównym źródłem ograniczenia szybkości skanowania płyty jest sekwencyjny sposób obsługi elementu liniowego CCD, związany z programowym odczytem obrazu w głowicy pomiarowej (ekspozycja, odczyt obrazu, przetwarzanie obrazu, komunikacja), przedstawiony na Rys.2.



Rys.2. Schemat przetwarzania w istniejącej głowicy pomiarowej

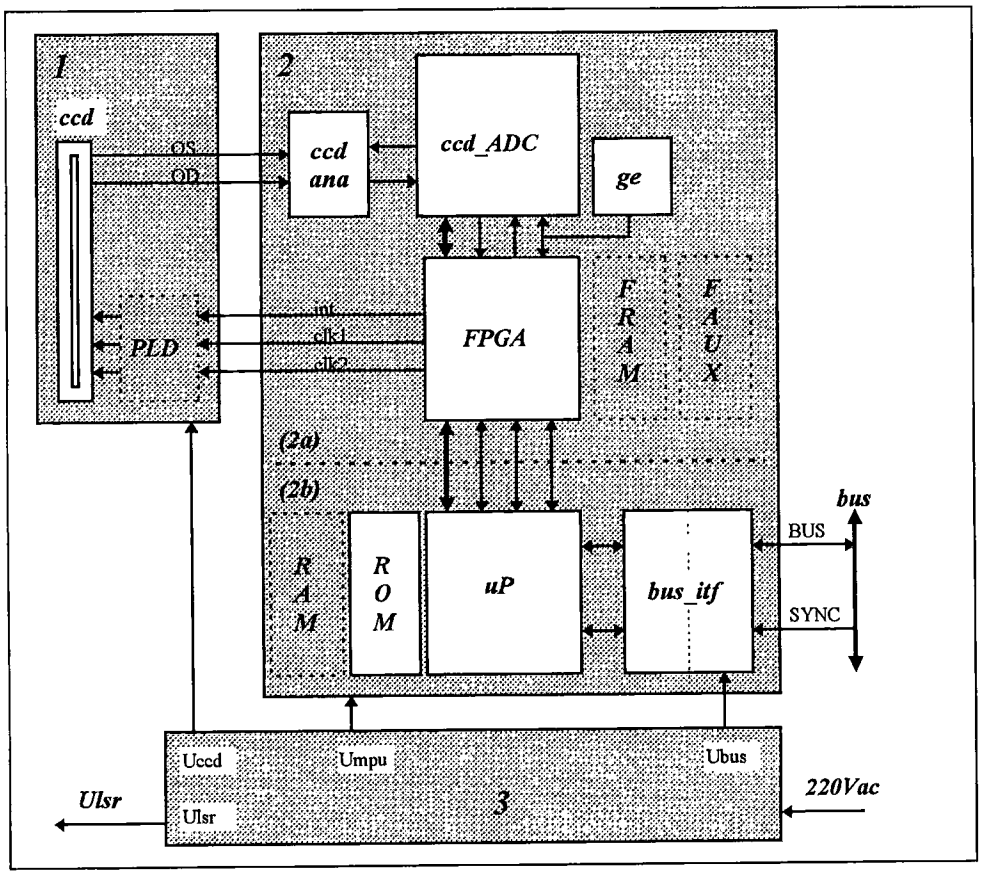
Wprowadzenie złożonych mechanizmów filtracji cyfrowej, mające na celu wyeliminowania efektów spójności wiązki laserowej w obrazie prążka w istniejącej konstrukcji jest niemożliwe, ze względu na niewystarczającą moc obliczeniową mikrokontrolera 68HC11F1. Ich wprowadzenie spowodowałoby dalsze wydłużenie interwału skanowania, prowadząc do pogorszenia jednego z podstawowych parametrów użytkowych.

Jako kolejne istotne ograniczenie, wynikające również z sekwencyjności pozyskania i przetwarzania obrazu wskazany został brak ciągłości skanowania powierzchni płyty (tzn. uzyskiwania wyników pomiarów wartości chwilowych w czasie kolejnych ekspozycji - co ok. 2.2 ms). Dalsze ograniczenie stanowi zbyt mała szybkość komunikacji szeregowej ze sterownikiem sieci głowic i brak współbieżności wykonania procedur pomiarowych i komunikacyjnych przez mikrokontroler głowicy pomiarowej. W przypadku sterownika sieci głowic istotnym ograniczeniem w zwiększeniu szybkości wymiany danych jest niewystarczająca szybkość obsługi przerwań kontrolera komunikacyjnego.

Własne doświadczenia zdobyte podczas badania głowic pomiarowych prowadzą do wniosku, że jedynym sposobem przezwyciężenia trudności

spowodowanych spójnością wiązki oświetlacza laserowego jest przetwarzanie obrazu wielopoziomowego, a nie zbinaryzowanego, jak miało to miejsce dotychczas. Spostrzeżenie to potwierdzają dostępne publikacje.

Jako rozwiązanie powyższych ograniczeń wskazano nową architekturę toru przetwarzania sygnału elementu obrazowego, przedstawioną na Rys. 3. W skład nowej głowicy wchodzą następujące podzepoły:
- przetwornik ADC, dostosowanego do współpracy z elementami CCD,
- struktura logiczna FPGA serii XC4000 z dodatkową pamięcią RAM,
- pojedynczy procesor sygnałowy, obsługujący również komunikację.

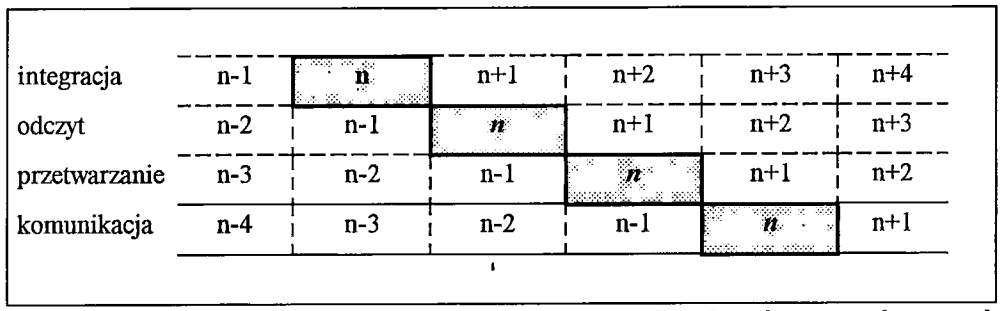


Oznaczenia:

1	- pakiet detektora wizyjnego CCD	*ccd ana*	- wejściowy układ analogowy
2	- moduł przetwarzania (a/b - podział na pakiety)	*ccd_ADC*	- specjalizowany przetwornik ADC
3	- pakiet zasilacza	*FPGA*	- struktura logiczna
		FRAM	- pomocnicza pamięć RAM (*)
ccd	- detektor obrazowy (linijka CCD)	*FAUX*	- interfejs pomocniczy (*)
PLD	- układ generacji sygnałów sterujących CCD (*)	*ge*	- generator przebiegu zegarowego
bus	- magistrala szeregowa sieci głowic pomiarowych	*uP*	- mikrokontroler lub procesor DSP
220Vac	- napięcie zasilania głowicy	*ROM*	- pamięć EPROM
Ulsr	- napięcie zasilania lasera	*RAM*	pamięć RAM (*)
(*)	- wariant realizacji	*bus_itf*	interfejs magistrali szeregowej

Rys.3. Schemat blokowy zmodernizowanej głowicy pomiarowej

Nowy tor przetwarzania sygnału pomiarowego zapewnia współbieżność kolejnych faz jego przetwarzania i komunikacji ze sterownikiem sieci głowic, co przetstawiono schematycznie na Rys.4.



Rys.4. Modyfikacja schematu przetwarzania głowicy pomiarowej

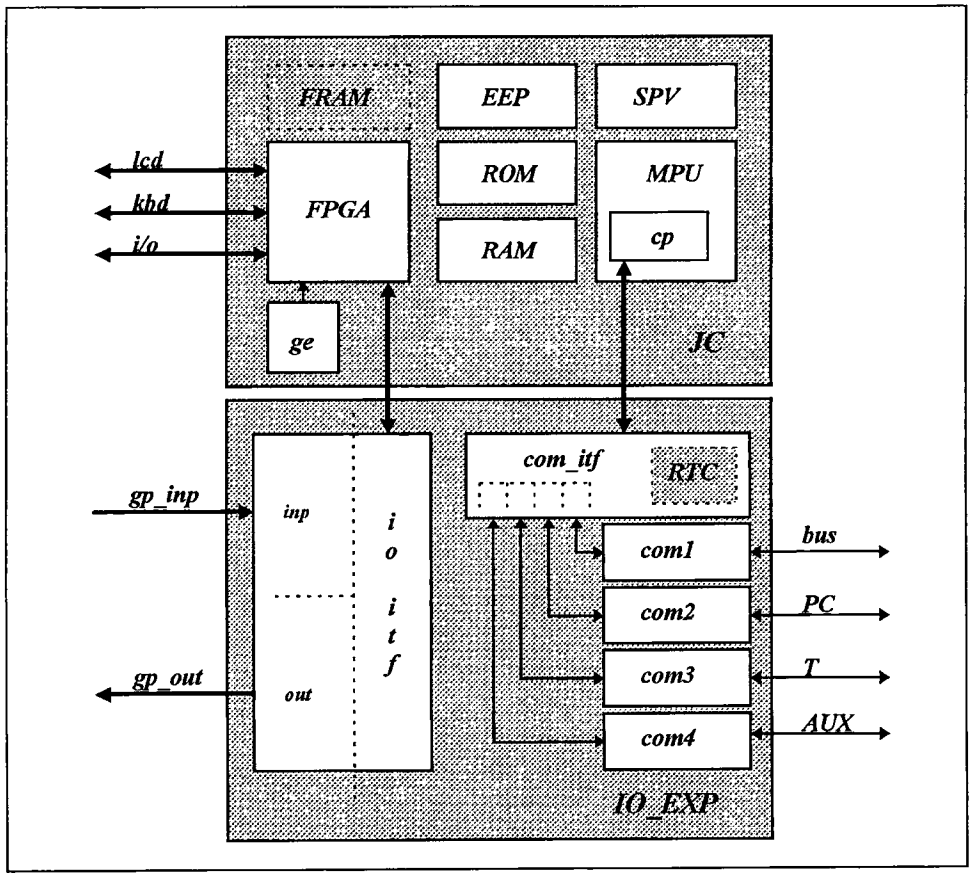
Szczegółowa analiza przeprowadzona w pracy dowodzi, że możliwe jest zrealizowanie odczytu obrazu i wykonanie złożonych algorytmów filtracji cyfrowej (medianowej) w strukturze logicznej w czasie pojedynczej ekspozycji (2.2 ms). Jednocześnie procesor sygnałowy jest w stanie wyznaczyć położenie środka ciężkości obrazu prążka w takim samym czasie za pomocą obliczeń w wykonywanych dziedzinie częstotliwości (FFT), obsługując jednocześnie komunikację szeregową w trybie przerwań.

Analiza protokołów sieci obiektowych (miejscowych) wykazała, że w przypadku osobnej transmisji wyników pomiaru z każdej ekspozycji może być wykorzystany protokół CAN 2.0A lub własny, opracowany uprzednio dla potrzeb stanowiska. Maksymalna szybkość unoszenia płyty, przy której spełniony jest warunek ciągłości skanowania wynosi 1 m/s przy szybkości transmisji 500 kbitów/s dla 6 głowic i 1 Mbit/s dla 16 głowic. Szybkość transmisji danych stanowi zatem istotne ograniczenie szybkości skanowania płyty, niezależne od sposobu przetwarzania sygnału pomiarowego elementu obrazowego CCD.

Analiza dostępnych procesorów sygnałowych wykazała, że tylko TMS320C241/243 i DSP563xx/6xx spełniają narzucone wymagania szybkości przetwarzania i szybkości komunikacji, przy uwzględnieniu fizycznych ograniczeń wielkości pakietów i poboru mocy. Są to jedyne procesory sygnałowe z wbudowanymi szeregowymi portami asynchronicznymi, wspierającymi sprzętowo wymianę danych w trybie „multidrop" (komunikacja wieloprocesorowa z wyróżnionym bajtem adresu). Jednocześnie TMS320C241/243 są jedynymi procesorami sygnałowymi z wbudowanym kontrolerem protokołu CAN 2.0. Z drugiej zaś strony kilkakrotnie wyższa moc przetwarzania procesorów serii DSP563xx, segmentacja wewnętrznej pamięci na bloki i wbudowany wielokanałowy sterownik bezpośredniego dostępu do pamięci sprawiają, że jest on bardziej przydatny zwłaszcza w fazie opracowania prototypu. Ponadto umożliwia on dostosowanie algorytmów przetwarzania toru pomiarowego głowicy do bardziej złożonych zadań, jak np. pomiar szerokości wąskich wstęg materiału (tzn. 3 prążki w polu widzenia kamery) lub materiałów półprzezroczystych i przezroczystych (pomiar grubości szkła - 2 zlewające się prążki prążki w polu widzenia kamery).

Wzrost szybkości komunikacji z 125 kbitów/s do co najmniej 500 kbitów/s (1 Mbit/s max.), spowodowany zwiększeniem szybkości przetwarzania obrazu (2.2 ms

zamiast 7 ms rozwiązania istniejącego), wynikającym ze spełnienia warunku ciągłości skanowania płyty, wymusza wprowadzenie istotnych zmian w konstrukcji jednostki centralnej sterownika sieci głowic pomiarowych. Schemat blokowy nowej jednostki centralnej przedstawiono na Rys.5.



Oznaczenia:

JC	- jednostka centralna	*io itf*	- interfejs wejścia/wyjścia
IO_EXP	- pakiet interfejsów wejścia/wyjścia i komunikacyjnych	*inp*	- układy dopasowania wejść
		out	- wyjścia obiektowe
MPU	- jednostka centralna 68360/MPC860	*gp_inp*	- wejścia obiektowe
cp	- wbudowany koprocesor komunikacyjny	*gp_out*	- wyjścia ogólnego przeznaczenia
ROM	- pamięć EPROM (64kx16/32)		
RAM	- pamięć RAM (32kx16/32)	*com_itf*	- interfejs portów szeregowych
EEP	- pamięć EEPROM (256 bajtów - SPI)	*RTC*	- zegar czasu rzeczywistego
SPV	- układ kontroli MPU	*com i*	- drivery łączy szeregowych
FPGA	- struktura logiczna	*bus*	- magistrala sieci głowic
FRAM	- pamięć pomocnicza RAM struktury FPGA	*PC*	- łącze szeregowe PC
ge	- generator przebiegu zegarowego FPGA	*T*	- łącze ręcznego terminala
		AUX	- dodatkowe łącze szer.
kbd	- interfejs klawiatury funkcyjnej		
lcd	- interfejs wyświetlacza lcd		
i/o	- dodatkowy interfejs wejścia/wyjścia		

Rys.5. Schemat blokowy zmodernizowanego sterownika głowic pomiarowych

Układy interfejsów wejścia/wyjścia (klawiatura, wyświetlacz LCD, porty równoległe) zrealizowane są w strukturze logicznej FPGA serii XC4000 firmy Xilinx,

co odpowiada współczesnej koncepcji „urządzenia wirtualnego". Rozwiązanie to może być wykonane na pakiecie pojedynczej eurokarty, co zapewnia zachowanie zwartej konstrukcji systemu. Pozostając przy własnym opracowaniu sterownika sieci głowic, z uwagi na wymaganą zwartość konstrukcji i wysokie koszty rozwiązanaia komercyjnego, wskazać należy procesory firmy Motorola 68360 i MPC860 jako jedyne spełniające powyższe wymagania. Mają one wbudowane dodatkowe układy peryferyjne m.in. czterokałowy koprocesor komunikacyjny RISC, dwukanałowy sterownik bezpośredniego dostępu do pamięci DMA, timery, układ generacji sygnałów dostępu do zewnętrznych urządzeń (chip select) i kontroli poprawności cyklu magistrali. Układy te umożliwiają zrealizowanie niezawodnego systemu jednopakietowego praktycznie bez użycia dodatkowych elementów (nie licząc pamięci). Przeniesienie obsługi powolnych peryferiów typu klawiatura, wyświetlacz LCD, obiektowe linie wejścia/wyjścia do struktury logicznej, uwalnia jednostkę centralną od czasochłonnej obsługi zadań najniższego poziomu, zwiększając tym samym jej wydajność.

Jakkolwiek w rozprawie doktorskiej do porównania z rozwiązaniem istniejącym wykorzystano procesor 68360, należący również do rodziny 68xxx, podobnie jak dotychczas stosowany 68070, to do modernizacji jednostki centralnej należy wykorzystać procesor MPC860 lub MPC821 (kompatybilny pod względem wyprowadzeń), ze względu na sukcesywne wycofywanie z produkcji procesorów serii 68xxx.

Zastosowanie procesorów seri MPC8xx w nowej jednostce centralnej umożliwia zarazem wykorzystanie uznanych komercyjnych systemów operacyjnych (OS9, WindowsCE, QNX). W przypadku procesrów serii 68xxx możliwe było wykorzystanie jedynie OS9. Ma to istotne znaczenie z uwagi na uniwersalność pakietu i znaczącą pozycję rynkową systemów konkurencyjnych tzn. WindowsCE i QNX. MPC 821 może być wykorzystany do konstrukcji terminali operatorskich z ekranem graficznym LCD (480x640 pikseli) ze względu na wbudowany sterownik ekranów LCD. W tej sytuacji możliwość zastosowania systemu WindowsCE ułatwia tworzenie własnych aplikacji GUI (Graphic User Interface) i niezależną sprzedaż terminala lub pakietu.

5. Wnioski końcowe

Porównanie kosztów zakupu podstawowych podzespołów komercyjnych (ok. 200000 zł) z możliwą do uzyskania ceną za cały system (180000-200000 zł), pozwala uznać kontynuację rozwoju własnego opracowania za uzasadnioną, tym bardziej że uzyskane w istniejącym systemie wyniki nie ustępowały pod względem parametrów użytkowych rozwiązaniom konkurencyjnym. Modernizacja systemu jest jednak konieczna, ze względu na stały rozwój urządzeń konkurencyjnych i wzrastające wymagania potencjalnych odbiorców.

Ponieważ dysponujemy większością niezbędnych narzędzi sprzętowo programowych (edytor schematów i płytek drukowanych, kompilatory programowalnych struktur logicznych PLD i FPGA) opracowanie projektów i wykonanie nowych pakietów jest możliwe. Wymagany jest jednak zakup kompilatora C i asemblera dla procesorów głowicy i jednostki centralnej sterownika sieci.

Z uwagi na gruntowny charakter zmian, wynikający z przestarzałej obecnie kontrukcji istniejących urządzeń, za właściwe należy uznać równoległe opracowanie obydwu projektów.

6. Uwagi o przebiegu realizacji pracy

Pierwotnie planowany termin ukończenia pracy (30.06.98) został przesunięty na koniec października 1998r. ze względu na konieczność wprowadzenia istotnych zmian w tekście rozprawy, zaleconych przez promotora prof. dr hab. M.Stabrowskiego. Po wprowadzeniu zmian praca została zaakceptowana przez promotora i przedłożona w październiku 1998r. Komisji ds. przewodów doktorskich przy Instytucie Elektrotechniki Teoretycznej i Miernictwa Elektrycznego Wydziału Elektrycznego PW wraz z wnioskiem o uściślenie tytułu rozprawy („Wybrane zagadnienia optymalizacji systemu do pomiaru grubości").

Na posiedzeniu w dniu 9.12.1998r. Rada Wydziału Elektrycznego PW (Załącznik nr 1) zaprobowała wniosek promotora o uściślenie tytułu rozprawy doktorskiej i jednocześnie wyznaczyła jej recenzentów: prof. nzw. dr hab. Jacka Czajewskiego (PW) i dr hab. Tomasza Zielińskiego (AGH).

Przesunięcie terminu zakończenia pracy S1851 na koniec grudnia 1998r. miało charakter formalny i służyło przede wszystkim umożliwieniu zlecenia druku okładek i oprawy pracy w ramach przyznanych środków statutowych. Ze względu na wniosek o uściślenie tytułu rozprawy doktorskiej, wymagający akceptacji Rady Wydziału Elektrycznego PW zlecenie wykonania oprawy pracy przed uzyskaniem formalnej aprobaty Rady Wydziału było niemożliwe.

7. Wykaz załączników

Załącznik nr 1. Wyciąg z posiedzenia Rady Wydziału Elektrycznego PW w dniu 9.12.1998r.

Załącznik nr 2. Rozprawa doktorska p.t. „Wybrane zagadnienia optymalizacji systemu do pomiaru grubości"

11

Wyciąg z protokółu posiedzenia Rady Wydziału Elektrycznego PW w dniu 9.12.1998 r.

Ad. pkt. 3b)

Na wniosek promotora prof. dr hab. Marka Stabrowskiego, Rada Wydziału wyraziła zgodę na uścislenie tytułu rozprawy doktorskiej w przewodzie doktorskim **mgra inż. Rafała Więcko** z: „Optymalizacja systemu do pomiaru grubości" na „Wybrane zagadnienia optymalizacji systemu do pomiaru grubości".
Decyzję podjęto w głosowaniu tajnym: obecnych 28 osób z 32 uprawnionych do głosowania 27 głosami „tak" przy 1 głosie „nie" i 0 głosach „wstrzymujących się".
Jednocześnie Rada Wydziału na wniosek Komisji ds. przewodów doktorskich przy Instytucie Elektrotechniki Teoretycznej i Miernictwa Elektrycznego wyznaczyła recenzentów rozprawy doktorskiej mgra inż. Rafała Więcko : prof.nzw.dr hab. Jacka Czajewskiego z Politechniki Warszawskiej i Dr hab. Tomasza Zielińskiego z Akademii Górniczo-Hutniczej w Krakowie.
Wyniki tajnego głosowania : obecnych 28 osób z 32 uprawnionych do głosowania, 27głosami „tak"przy 0 głosach „nie" i 1 głosie „wstrzymującym się".

Protokółowała
Maria Raźniak

za zgodność:
SPECJALISTA
Elżbieta Kurzątkowska

Przewodniczył
profnzw.dr hab. Jacek Czajewski

12